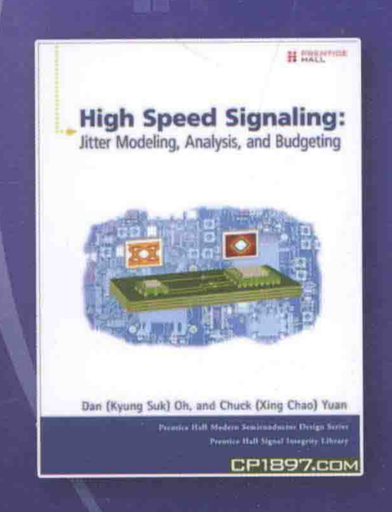
国外电子与通信教材系列

PEARSON

高速信令
——抖动建模、分析与预算

High-Speed Signaling
Jitter Modeling, Analysis, and Budgeting



[美] Kyung Suk (Dan) Oh
Xingchao (Chuck)Yuan（袁兴朝） 主编
李玉山　初秀琴　路建民　等译

電子工業出版社
PHEI
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

高速信令——抖动建模、分析与预算

High-Speed Signaling：Jitter Modeling, Analysis, and Budgeting

由Rambus公司、斯坦福大学、加州大学伯克利分校和麻省理工学院前沿创新学者共同提供：

——在高速接口中用于优化信号/电源完整性的最新系统级技术——

随着数据通信速率加快进入数吉赫兹范围，确保片上及片外信号的完整性已经变得至关重要。信号完整性不再只需通过改进封装或电路板级设计就能加以解决：不同的工程团队必须从最早的设计阶段开始就紧密合作，才能找出最佳的系统级解决方案。在本书中，为了迎接这一挑战，几个领域中最受尊敬的理论研究和工程研发人员，提出了最前沿的建模、仿真和优化技术。

本书在顶级专家Kyung Suk(Dan) Oh、袁兴朝博士的主编下，有贡献的合著作者诠释了为什么噪声和抖动不可再分离；演绎了如何对日益复杂的相互作用建模；完整地引入了一个新的仿真方法学以高精度预估链路级性能。作者们从信号完整性的体系结构到大批量生产，深入地阐述了设计、实现和验证技术。选题范围包括：

- 无源通道建模、电源噪声和抖动建模、系统容限预估的最新进展
- 以一种方法学通过平衡系统的电压预算和时序预算，提高大批量生产的系统鲁棒性
- 实用、稳定的关键网络参数转换公式
- 针对宽带互连建模中难题的改进方案
- 优化通道性能的均衡技术
- 对抖动与时令拓扑间关系的重要新见解
- 原地测试链路性能的片上测量新技术
- 信号完整性设计的发展趋势和走向

本书以极高的广度和深度给出了由Rambus、其他领先高科技公司和大学共同开创的新技术实用细节。这对于每个关心信号完整性的人，包括：信号和电源完整性工程师、高速I/O电路设计师、系统级电路板设计工程师而言，都是极其珍贵的。

作者简介

Kyung Suk (Dan) Oh(吴琼硕)，担任Rambus公司的高级首席工程师，领导着对串口、并口、存储器接口等产品进行信号完整性分析及工具开发。研究兴趣包括：先进的SI/PI建模和仿真；I/O链路的通道优化设计；信令技术在高速数字链路中的应用等。已发表80余篇论文；拥有7项美国专利和10项专利申请。

Xingchao (Chuck) Yuan (袁兴朝)，从2012年10月起到苹果公司工作，负责SI/PI方法学。袁博士在Rambus公司曾任企业发展战略高级总监。负责设计Rambus用于图形显示和主存储器的数吉赫兹信令技术。领导团队研制出的Rambus高级XDR存储器架构，已成功应用于索尼PlayStation3、DLP投影仪、数字电视中。袁博士是IEEE高级会员，已发表了130多篇论文；拥有8项美国专利。

PEARSON

www.pearson.com





策划编辑：马　岚
责任编辑：李秦华
责任美编：孙焱津




ISBN 978-7-121-21739-5

定价：49.00元

国外电子与通信教材系列

高速信令

——抖动建模、分析与预算

High-Speed Signaling

Jitter Modeling, Analysis, and Budgeting

[美] Kyung Suk(Dan) Oh
Xingchao(Chuck) Yuan(袁兴朝) 主编

李玉山 初秀琴 路建民 等译

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内 容 简 介

本书从体系架构开始直到批量生产的全过程讨论其中的信号完整性问题，深入讨论了设计、实现和验证技术。内容包括在无源通道建模、电源噪声及抖动建模、系统容限预测等方面的最新进展；如何在电压预算和时序预算之间进行平衡折中，以改善批量生产时的鲁棒性；实用又稳定的关键网络参数转换公式；为互连宽带建模难题给出更好的解决方案；优化信道性能的均衡技术；有关抖动和时钟网络拓扑结构之间关系的新发现；有关片上底层链路性能的测试/测量技术；信号完整性技术的发展趋势和研究方向。

书中包括许多技术细节和方法，对于进行高速电路设计，包括信号/电源完整性、高速 I/O 电路、系统级电路板等方面的工程师、教师、研究生，都具有很高的参考价值。

版权贸易合同登记号　图字：01-2012-2476

图书在版编目（CIP）数据

高速信令：抖动建模、分析与预算/（美）吴琼硕，（美）袁兴朝主编；李玉山等译.
北京：电子工业出版社，2014.1
书名原文：High-speed signaling: jitter modeling, analysis, and budgeting
国外电子与通信教材系列
ISBN 978-7-121-21739-5

I. ①高…　II. ①吴…　②袁…　③李…　III. ①通信系统-高等学校-教材　IV. ①TN914

中国版本图书馆 CIP 数据核字（2013）第 253051 号

策划编辑：马　岚
责任编辑：李秦华
印　　刷：三河市鑫金马印装有限公司
装　　订：三河市鑫金马印装有限公司
出版发行：电子工业出版社
　　　　　北京市海淀区万寿路 173 信箱　邮编　100036
开　　本：787×1092　1/16　印张：23　字数：649 千字
印　　次：2014 年 1 月第 1 次印刷
定　　价：49.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

序

2001年7月间，电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师，商量引进国外教材问题。与会同志对出版社提出的计划十分赞同，大家认为，这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材，意味着开设了一门好的课程，甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书，对近代电子学科、特别是对雷达技术的推动作用，就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代，在原教委教材编审委员会的领导下，汇集了高等院校几百位富有教学经验的专家，编写、出版了一大批教材；很多院校还根据学校的特点和需要，陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来，随着教学改革不断深入和科学技术的飞速进步，有的教材内容已比较陈旧、落后，难以适应教学的要求，特别是在电子学和通信技术发展神速、可以讲是日新月异的今天，如何适应这种情况，更是一个必须认真考虑的问题。解决这个问题，除了依靠高校的老师和专家撰写新的符合要求的教科书外，引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，是会有好处的。

一年多来，电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组，选派了富有经验的业务骨干负责有关工作，收集了230余种通信教材和参考书的详细资料，调来了100余种原版教材样书，依靠由20余位专家组成的出版委员会，从中精选了40多种，内容丰富，覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面，既可作为通信专业本科生和研究生的教学用书，也可作为有关专业人员的参考材料。此外，这批教材，有的翻译为中文，还有部分教材直接影印出版，以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里，我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度，充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步，对高校教学工作会不断提出新的要求和希望。我想，无论如何，要做好引进国外教材的工作，一定要联系我国的实际。教材和学术专著不同，既要注意科学性、学术性，也要重视可读性，要深入浅出，便于读者自学；引进的教材要适应高校教学改革的需要，针对目前一些教材内容较为陈旧的问题，有目的地引进一些先进的和正在发展中的交叉学科的参考书；要与国内出版的教材相配套，安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求，希望它们能放在学生们的课桌上，发挥一定的作用。

最后，预祝“国外电子与通信教材系列”项目取得成功，为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题，提出意见和建议，以便再版时更正。

吴佑寿

中国工程院院士、清华大学教授

“国外电子与通信教材系列”出版委员会主任

出 版 说 明

进入21世纪以来，我国信息产业在生产和科研方面都大大加快了发展速度，并已成为国民经济发展的支柱产业之一。但是，与世界上其他信息产业发达的国家相比，我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天，我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社，我们始终关注着全球电子信息技术的发展方向，始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间，我社先后从世界著名出版公司引进出版了40余种教材，形成了一套“国外计算机科学教材系列”，在全国高校以及科研部门中受到了欢迎和好评，得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，将有助于我国信息产业培养具有国际竞争能力的技术人才，也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见，我们决定引进“国外电子与通信教材系列”，并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商，其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等，其中既有本科专业课程教材，也有研究生课程教材，以适应不同院系、不同专业、不同层次的师生对教材的需求，广大师生可自由选择和自由组合使用。我们还将与国外出版商一起，陆续推出一些教材的教学支持资料，为授课教师提供帮助。

此外，“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助，其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核，并得到教育部高等教育司的批准，纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作，我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望，具有丰富的教学经验，他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外，对于编辑的选择，我们达到了专业对口；对于从英文原书中发现的错误，我们通过与作者联络、从网上下载勘误表等方式，逐一进行了修订；同时，我们对审校、排版、印制质量进行了严格把关。

今后，我们将进一步加强同各高校教师的密切关系，努力引进更多的国外优秀教材和教学参考书，为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足，在选题、翻译、出版等方面的工作中还有许多需要改进的地方，恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

谨以此书——

献给我的夫人 Myung Sook，我们的孩子 Terry 和 Christopher。

——Dan Oh

献给我的夫人 Jackie，女儿 Caterina 和儿子 Michael。

——袁兴朝

Preface to Chinese Edition of "High-Speed Signaling"

It is my great pleasure to introduce "High-speed signaling, Jitter Modeling , Analysis, and Budgeting" to engineers in my homeland, China. My great appreciation goes to Prof. Li , Yu-Shan for his hard work and dedication to bring this highly and most up to date technical work to Chinese reader.

Thirty years ago when I took an airplane flight from Shanghai to New York to study at Syracuse University, I had no clue what I would do as a profession. I studied computational electromagnetics for my Ph. D. , applied it to solving EM problems in microwave hyperthermia at Dartmouth College as a researcher, and then landed job at a small startup Ansoft in Pittsburgh. I developed computational engine behind the first few versions of HFSS (i. e. High Frequency Structure Simulator). The common question in early 1990's was why one needs to use such a complicated tool. Of course, 20 years later, none would ask such a question if you are a signal integrity engineer. Many signal integrity engineers in the world now routinely use it in their design work.

I stumbled into signal integrity field 20 years ago while trying to find more users of 3D electromagnetic field solvers (quasi-static or full-wave). Together with advances in transmission line modeling in time domain, EM solvers enabled us to transition to the "era of passive interconnects" from the "era of black magic or trial and error". On the other hand, the statistical modeling and simulation of jitters helped us to usher into the "era of entire link" so that we can do signaling analysis to study the interactions of transmitter, receiver, clocking, and passive channel. The so-called signaling analysis involves design decisions of equalization architecture, clocking architecture, timing calibration architecture, coding, and error correction architecture. Looking into the future, with mobile computing driving the technology directions, we must embrace the "era of power efficient link" as the power becomes the major performance limiter in addition to data rate. Many new tools and methodology must be developed to bring new smart products or devices to market to realize the "dream" of any time, anywhere, context based computing.

Since there are many outstanding books on signal integrity, we did not want to repeat what is already available. Instead, we focused on high level or architecture signaling analysis. As a result, this book is best read by those readers who already have deep knowledge of signal integrity. Instead of providing detailed equations or derivations, we discussed high level flows and methodologies. This should help one to understand how various industry standards such as PCIe, MIPI, or DDR3/LPDDR3 are defined.

I hope many Chinese signal integrity engineers could benefit from the translation of our work into Chinese and help them to lead in the 21st century.

Yuan, Xingchao, Palo Alto, CA, USA, May, 2013

中文版序

将《高速信令——抖动建模、分析与预算》一书推介给自己祖国的工程师同行们，我感到非常荣幸。同时，我十分赞赏李玉山教授及其团队的付出和奉献，能把国外这些最新的高技术成果介绍给国内的读者。

30年前，当我乘坐飞机从上海远赴纽约的锡拉丘兹大学求学时，我无从知道今后将会从事什么职业。当初，我的博士论文是研究计算电磁学，并在达特茅斯学院作研究员时用它解决微波热疗中的电磁问题。然后，我又在匹兹堡一家小型创业公司Ansoft工作，为Ansoft研发出高频结构仿真器(HFSS)前几个版本的核心算法。在20世纪90年代初期，人们常问：为什么需要采用如此复杂的工具？然而过了20年之后，如果你是一名信号完整性工程师，就不会再有这类疑问了。现在，世界上许多信号完整性工程师，在他们例行的设计过程中都会经常用到HFSS。

20年前，当我努力为三维准静态和全波电磁场求解器寻找更多的客户时，我无意中踏入了信号完整性的研究领域。电磁场求解器加上时域的传输线建模，使得人们从"黑魔盒或试凑调试时代"进入了"无源互连时代"。之后，由于统计建模和抖动仿真的进展又将人们带入了"全链路时代"。人们通过分析信令，可以探究在发送器、接收器、时令与无源通道间发生的相互作用。所谓信令分析，涉及对均衡架构、时令架构、时序校正架构、编码及纠错架构等的设计决策内容。由于移动计算势必驱动今后信息技术产业的技术走向，电源供电已经成为除了数据率之外限制性能的主要因素，要做好准备迎接新的"高效供电的链路时代"。为此，必须开发出更多新的工具和方法学，为市场提供出新的智能产品或设备，让随时随地随情景不同都能进行相应计算的这一"梦想"成真。

在信号完整性方面已经有了许多优秀的专著。对此，本书不想重复阐述既有的内容。相反，本书专注于介绍高层或架构级的信令分析。所以，本书针对的对象是对信号完整性已有较多了解的读者。本书并未给出详细的公式及其推导，而是主要探讨高层的设计流程和方法学。这些论述会有助于人们理解行业中各种标准(如PCIe，MIPI或DDR3/LPDDR3)的含义。

我希望中国的许多信号完整性工程师能从本书的中译版中获益；我期待能协助大家在21世纪的竞争中处于领先地位。

袁兴朝[Xingchao(Chuck) Yuan]，2013年5月，
于美国加利福尼亚州帕洛阿尔托(Palo Alto)市

译 者 序

广义信号完整性(GSI)，简称信号完整性(SI)，包括4个领域的电气完整性问题：常规信号完整性(CSI，含反射和串扰)；电源完整性(PI)；时序完整性(TI)；电磁完整性(EMI)。它们之间既独立又相互作用，作为TI核心的抖动正是如此。本书是以Rambus内存闻名于世的该公司研究人员集体智慧的结晶。

本书是信号完整性领域的上乘大作，其关键词有：信令、性能、链路、通道、电路、I/O、芯片、PCB、封装、噪声、抖动、建模、仿真、测量等。作者着眼于对包括通道、时钟、器件、电源在内的整个链路建模并对性能进行协同分析。除了第1章和第2章对信令(含时令)进行综述外，其余16章由浅入深集结为4篇专题："第Ⅰ篇　通道建模与设计"，讨论无源通道时域仿真与建模技术；"第Ⅱ篇　链路性能分析"，介绍通道信令分析与链路性能改进技术；"第Ⅲ篇　电源噪声与抖动"，阐述抖动及PI/TI核心技术；"第Ⅳ篇　高级专题"，探讨前沿性测量、均衡及实用技术。

链路中的无源通道总是连接着有源器件，信号完整性关注的焦点已转到这些I/O结合部上。在高速I/O系统中，由芯片和PCB板引起的抖动不再独立。设计工程师们必须对芯片电路和PCB互连同时进行优化设计。在设计和分析抖动时还要同时考虑电源噪声的影响；要把电源造成的抖动或性能退化最小化。要将其预算到一个系统容限中加以管控……

一章章，恰似一幕幕，掩卷沉思——书中对理论与技术事无巨细的阐述，不正是国内高速电路设计与信号完整性分析界的"短板"吗？

当前，国内在高速I/O接口的信令定义与分析方面基本上没有话语权。这一点，正是需要尽快实现接轨之处。就我们所知，国内不少单位业已遇到了书中所述的诸多难题，例如SSTL并行总线与DDR3存储器设计瓶颈问题，多少人为此正苦无良策…… 此刻，研读借鉴此书可谓是"雪中送炭"！

再附一句题外话，在合著作者中有近一半是华人才俊：袁兴朝(主编之一，并应邀为中文版作序)、任继红、蓝海、常郁、施浩。他们是这一领域的开创者和先行者。如果需要求师问教，岂不是更便捷和更可行！

本书的翻译以西安电子科技大学电路CAD研究所从事信号完整性研究的教师为主，部分博士生、硕士生参与完成。李玉山负责全书的统稿、定稿和审校。参与翻译的人员主要有：初秀琴、路建民、刘洋、尚玉玲、董巧玲等。另外，蒋冬初、潘健、丁同浩、闫旭、曲咏哲、白凤莲等也参加了部分有关工作。书中定有诸多不当之处，切盼同行和读者不吝赐教，在研读中予以检视和指正！

另外，在本书的出版之前，根据原作者的最新勘误对书稿中错误逐一进行了订正。

本书的出版得到了国家自然科学基金（No. 61102012、No. 60871072、No. 60672027）、教育部“超高速电路设计与电磁兼容”重点实验室基金以及西安电子科技大学研究生院研究型课程等项目的资助。电子工业出版社高等教育分社的马岚老师提出了许多好的建议。译者在此一并谨致谢忱。

本书可以作为电子与通信类学科专业博士生、硕士生、本科生“高速电路设计与信号完整性分析”课程的教材。此外，也可以作为系统与电路设计师解决信号完整性问题的技术参考书。

李玉山

2013 年 8 月于西安电子科技大学

前　　言

大多数信号完整性的书籍都专注于物理无源通道，包括封装、印制电路板、电源配送网络等的设计和验证技术上。遗憾的是，单纯靠改进封装或电路板级设计并不能解决所有的信号完整性问题。只依靠改进物理设计，给出的可能是不理想的甚至是不切实际的系统级解决方案。对于给定的应用场合和目标，为了解决信号完整性问题，在高速 I/O 接口的设计初期阶段，需要通过各领域(如体系架构、电路、系统工程、信号完整性)工程师的共同努力，才可能找到最好的系统级解决方案。

本书是不同领域工程师之间的桥梁，因为它是从设计 I/O(输入/输出)链路的角度去写的。首先介绍一些信令技术的基础知识，以此作为电路和架构工程师深入理解信号完整性问题的出发点。然后，又转而为信号完整性和系统工程师们介绍一些 I/O 设计的概念。

在传统的 I/O 接口设计过程中，电路工程师、信号完整性工程师、系统工程师之间有着明确的角色界定。芯片电路设计师负责设计收发器以满足目标性能的要求，对通道部分则采用化简模型，或由信号完整性工程师提供的更复杂的通道模型。信号完整性工程师或系统工程师负责设计电路板和封装，最大限度地降低信号完整性问题，对芯片驱动器部分则采用简单的行为模型，或由电路设计师提供的更准确的电路模型。虽然这种做法仍在被广泛沿用，但是已经不能满足当今设计高性能系统的需求。例如，在高速 I/O 系统中，由器件和电路板引起的噪声和抖动不再是独立、可分离的，工程师们必须在设计电路和 PCB(印制电路板)时同时对它们加以优化，有时甚至需要在架构设计层面上进行优化。为了对这种噪声和抖动间复杂的相互作用建模，现代高速接口设计需要一种新的仿真方法学，这一方法学应能准确预估出链路级的性能[包括在发送器、接收器及无源通道(如封装和电路板)中噪声与抖动间的相互作用]。基于 SPICE 的传统仿真方法已经不能预估具有这样复杂相互作用时的性能。最近，在技术期刊和会议上出现了一些新颖的仿真方法，但至今还没有系统论述这方面内容的专著。本书也许是第一本系统涵盖这一新的仿真方法学的书籍。

从电源完整性的技术进展中我们得出一个教训，即对于当今功耗惊人的多核处理器，无法给出一个理想、稳定的电源配送网络设计。电路设计师要学会在有明显电源噪声的情况下进行设计。要把电源噪声造成的残余抖动或性能退化，预算到一个系统容限中。例如，在高速 I/O 接口中，电源噪声引起的抖动是器件时序误差的主导因素。因此，在编制电源噪声预算时，不能只考虑晶体管电压容限的净空余量。而且，由电源噪声引起抖动的带宽还很宽，可能会与通道的其余部分发生相互作用，使得建模问题更加复杂。本书涵盖了电源引起抖动的基础知识，并介绍了对它的表征及仿真技术。

对无源通道的分析与建模，现在是并且未来仍将是信号完整性工程师的首要任务。前人经过对传输线和宏模型建模的多年研究，已经掌握了通道的快速仿真技术。至今，这一研究仍在进行当中。在传输线仿真或宏建模方法中的数值不准确或不稳定问题，仍然是信号完整性会议上的一些最热门话题。到目前为止，一直没有找到一个单一的数值算法，可以为一般的互连结构提供一个稳定和准确的宽带模型。信号完整性工程师必须了解现有建模方

法的局限性，并在应用时小心谨慎。本书针对一些最流行数值模型的关键局限性，提供了避开这些局限的一些实用技巧。

本书面向高速系统的研发工程师和管理人员，以及在这一领域从事研究的专业人才和研究生。我们力图用足够的背景知识及例证阐释所有这些最新问题与技术。这里的大部分资料都已经得到验证并在实践中广泛应用。尽管我们已经尽力使本书成为入门级工程师和研究生的易读教材，但针对部分读者的一些高级专题仍然需要一些基本的背景知识。由于本书涵盖了不同工程领域的不同学科，所以各章节的背景要求会略有不同。其中，最低要求就是具备电路理论的基础知识。此外，不同的章节可能还需要一些电磁学和/或统计学方面的基础知识。

致　谢

正如“合著者简介”给出的有贡献的合著作者名单所示，本书是许多位在 Rambus 公司从事十几年高速信号完整性设计的工程师们经验的结晶。所有以前和目前在 Rambus 公司的信号完整性工程师，通过他们在 Rambus 发表的作品直接/间接地对本书做出了贡献。除了作为合著作者的人之外，其他人员还有：Wendem Beyene 博士、Newton Cheng 先生、Ben Chia 先生、June Feng 女士、Ching-Chao Huang 博士、Cathy Huang 博士、Woopoung Kim 博士、Qi Lin 先生、Frank Lambrecht 先生、H. J. Liaw 博士、Chris Madden 博士、Xioning Qi 博士、Ali Sarfaraz 先生、Ling Yang 女士等人。从本书的内容可以看出，这里讨论的技术超越了信号完整性工程师的工作。具体而言，在 Rambus 工作的信号完整性工程师，会跨职能部门，特别是与体系架构、电路设计、系统工程等团队密切合作。这些 Rambus 公司的工程师们通过与我们的合作，以不同方式间接地促成了本书的出版。我们感谢他们所做出的贡献。这里，我们尤其要感谢其中几位做出直接贡献的人们。数据编码(Data Coding，以减小同时开关噪声)主要是 Fred Ware 先生、John Wilson 博士、Aliazam Abbasfar 博士所做工作的成果。

特别要感谢 Rambus 公司中我们以前的和现在的经理。没有他们的支持，本书就没有可能成书。尤其要感谢 David Nguyen 先生和 Ely Tsern 博士的鼓励，使我们得以快乐地工作。此外，还要感谢 Kevin Donnelly 先生，当本书还只是一个想法时就给予了最早的鼓励。同时，对 Sharon Holt 女士和 John Kent 先生的慷慨支持并为我们提供编写资源深表谢意。

这里所介绍的传输线理论和递归卷积法基于 Dmitri Kuzetzov 博士和 Jose Schutt-Aine 教授的开创性工作。我们要感谢他们的出色工作和友好讨论。对因果性的讨论是与 Ansys 的 Subramanian Lalgudi 博士讨论获得启发的。本书主编还想表达对 Mark Horowitz 教授和其学生们开创性工作的敬意。本书中介绍的片上测量技术和统计仿真方法学，是由斯坦福大学和 Rambus 公司在 Horowitz 教授的指导下合作开发成功的。

主编们对本书的评审专家 Dale Becker 博士(IBM)、Paul Franzon 教授(NC，北卡罗来纳州立大学)和 Jose Schutt-Aine 教授(UIUC)表达诚挚的谢意，感谢他们的拨冗与鼓励。他们是信号完整性研究的先驱，其工作为本书的许多专题奠定了基础。

感谢 Prentice Hall 出版社的编辑和工作人员，包括 Bernard Goodwin、Betsy Harris、Paula Lowell、Debbie Williams、Michelle Housley 等在出版中给予的支持和鼓励。感谢 Greg Morris 先生在文字编辑和文档格式方面的帮助；感谢蒋怡女士提供的封面图片。

最后，对我们的家庭：Dan 的夫人 Myung Sook(儿子 Christopher 和 Terry)，兴朝的夫人 Jackie(女儿 Caterina 和儿子 Michael)，表示深深的歉疚，他们以无尽的爱支持着我们。本书是三年多辛劳的结果。特别要感谢我们孩子的鼓励，他们会不停地问：“爸，你们的书完成了没有?”正是家庭的爱和支撑给我们腾出了无数个周末和夜晚，否则本书是不可能完成的。

Kyung Suk(Dan) Oh，袁兴朝

合著者简介

Kyung Suk (Dan) Oh(吴琼硕) 分别于1990年、1992年和1995年获得美国伊利诺伊大学电气工程的学士、硕士和博士学位。他的博士研究是计算电磁学在传输线建模与仿真中的应用。他是Rambus公司的高级首席工程师，他领导着对串行口、并行口和存储器接口等各种产品进行信号完整性分析。他还负责开发先进的信号和电源完整性分析工具。他目前的兴趣是：先进的信号和电源完整性建模与仿真技术；各种标准或专有I/O链路的通道优化设计；信令技术在高速数字链路中的应用。

Oh博士在高速链路设计领域已发表80多篇论文；拥有7个美国专利和10个专利申请。他两次获得DesignCon最佳论文奖和2008年IEEE的*Advanced Packaging*期刊的最佳论文奖。Oh博士是IEEE EPEPS会议的技术程序委员会委员；并曾任IEC的DesignCon技术程序委员会委员。

袁兴朝[Xingchao (Chuck) Yuan] 于1982年在中国的南京工学院(现东南大学)获得电子工程学士学位；并分别于1983年和1987年在纽约州的锡拉丘兹大学获得电气工程硕士和博士学位。在获得博士学位之后的1987年到1990年间，袁博士在达特茅斯学院的Theyer工学院做博士后研究，然后担任研究教授。

从1990年到1995年，袁博士供职于Ansoft公司，在那里他领导了Ansoft公司的旗舰产品HFSS(高频结构仿真器)的研究开发。他开发出三个版本中所包括的功能有：导体和介质损耗建模；天线建模中的辐射和周期性边界条件；电磁散射/干扰问题等。他将有限元法和渐近波形估计法相结合，开创了快速扫频方法。这使得三维全波建模速度有了极大的提升。从1995年到1998年，袁博士在Cadence公司工作，在那里他领导了信号完整性和电磁完整性工具的开发。其工作主要集中在SSO噪声及引起电磁干扰的建模，这是在电源平面建模方面的最早研究。

袁博士从1998年起在加利福尼亚州Sunnyvale的Rambus公司工作，担任信号完整性工程总监。袁博士负责用常规的互连技术设计、建模并实现Rambus数吉赫兹信令技术。通过他在Rambus公司技术和管理层面的领导，带出了一支业界公认的信号和电源完整性专家团队。Rambus在信号完整性/电源完整性(SI/PI)方面发表的论文，反映了在高性能信号和电源完整性建模与设计领域的最新进展，业界其他公司总是紧随其后。袁博士的团队是一支最早将误码率(BER)和统计方法学应用于存储器接口设计的团队，并探索性地研究了电源噪声频谱和抖动谱间的关系。他们的团队创造了Rambus公司存储器体系架构XDR，已被成功地应用于Playstation 3、DLP投影机、数字电视(DTV)中。从2009年起，袁博士领导了有几十名工程师(位于美国和印度)的芯片设计团队，负责设计Rambus公司下一代图形显示和主存储器接口芯片。在2010年，该团队研制的多-模PHY(物理层)实现了投片，意在探索12.8 Gbps以上单端信令的局限；高效低功耗的20 Gbps差分接口；与现有存储器接口(包括GDDR5和DDR3)的向下兼容性。

袁博士曾升任 Rambus 企业发展战略高级总监。从 2012 年 10 月起到苹果公司工作，负责信号完整性/电源完整性方法学。袁博士已发表 130 多篇专业期刊和会议论文；拥有 8 个美国专利。他是一位 IEEE 高级会员，并于 2008 年至 2009 年担任 IEEE EPEPS 的技术程序委员会委员。

任继红(Jihong Ren) 于 2006 年获加拿大英属哥伦比亚大学计算机科学博士学位。自 2006 年 1 月至今，她一直在 Rambus 公司工作，研究高速链路分析、自适应均衡算法、高级信令方案和电路分析等。曾获得 2008 年 IEEE 的 *Advanced Packaging* 期刊的最佳论文奖。

蓝海(Hai Lan) 是 Rambus 公司的一位首席工程师，重点研究高速和/或低功耗 I/O 接口中的片上电源完整性和抖动分析；专门从事先进的建模、仿真及片上表征。他于 2006 年获得斯坦福大学电气工程博士学位。他的博士研究专注混合信号集成电路和 SoC 中的衬底耦合噪声。他于 2001 年获得俄勒冈州立大学的电气和计算机工程硕士学位，研发出与频率相关的片上互连参数闭合表达式。他于 1999 年获得清华大学电子工程系的电子工程学士学位。他的专业兴趣包括：电源完整性和信号完整性；混合信号集成电路设计；高速互连建模；先进的衬底耦合噪声等硅片效应。

Ralf Schmitt 获得德国柏林技术大学电气工程博士学位。自 2002 年至今，他是 Rambus 公司的工程部经理，负责芯片、封装和系统级电源完整性。他的专业兴趣包括：片上的信号完整性、电源完整性、时序分析、时钟分配网络、高速数字电路设计等。

常郁(Sam Chang) 是 Rambus 公司信号完整性部的一名工程师。他目前正在研究高速数字链路的建模与解决方案。常博士于 2005 年获得加州大学河滨分校的电气工程博士学位。已在高速链路设计和数字通信领域发表 20 余篇论文。获得 2008 年 IEEE 的 *Advanced Packaging* 期刊的最佳论文奖。

Joong-Ho Kim 于 2002 年获得位于佐治亚州亚特兰大市佐治亚理工学院电气与计算机工程博士学位。在攻读博士期间，曾在封装研究中心(PRC)研究用于分析封装/系统的高效电气建模技术。Kim 博士研发出分析大规模复杂电源配送网络的传输矩阵和宏建模法。

2005 年，Kim 博士加入 Rambus 公司。目前他在技术开发部任首席工程师。他负责产品在信号/电源完整性方面的生产工艺设计与分析。产品包括：高性能存储器接口(如 XDR、DDR2/3、GDDR3/4/5、移动 XDR、LPDDR1/2)；下一代移动计算；图形显示存储系统等。此前，他在 Intel 公司工作期间，曾研发 CMOS 微处理器信号/电源完整性分析的内部工具。他目前的研究兴趣包括：一种同时考虑信号和电源完整性的系统方案；高速互连的表征；基于矢量网络分析仪测量或全波求解器所得 *S* 参数的仿真技术；用于电路仿真的宏模型等。

Kim 博士在期刊和会议上发表论文 40 余篇；是 IEC 会议出版物一书的章节作者；拥有 9 个已发布专利。他曾获 2000 年 EPEP 最佳论文奖；美国国家科学基金会-封装研究中心 2000 年最佳贴报论文奖；2004 年 Intel DTTC 最佳论文奖；两篇 2008 年 IEC DesignCon 最佳论文奖。

Ravi Kollipara 一名负责高速串行链路和并行总线通道信号完整性的高级首席工程师。其职责包括：设计和表征通道无源构件(如封装和 PCB)；基于测量的连接器建模；研究系统

的电压预算和时序预算。自 1998 年至今在 Rambus 公司工作。在加入 Rambus 公司之前，Kollipara 博士曾在 LSI Logic 工作并担任客座助理教授。他分别获得印度安得拉大学、印度理工学院德里分校、美国俄勒冈州立大学的工程学士、技术硕士和博士学位。

Jared Zerbe 1987 年毕业于加利福尼亚州斯坦福大学。从 1987 年到 1992 年，他在 VLSI 技术和 MIPS 计算机系统公司工作。1992 年，他加入了 Rambus 公司，以后一直从事高速I/O、PLL/DLL 时钟恢复、均衡及数据同步电路的设计。他撰写了多篇论文，并获得高速时令(clocking)和数据传输等领域的专利。Zerbe 先生曾任教于加州大学伯克利分校和斯坦福大学，讲授链路设计。他目前是一位技术总监，专注于研发下一代信令技术。

施浩(Hao Shi) 于 1984 年获北京大学微电子学士学位；于 1993 年获密苏里大学堪萨斯分校物理学硕士学位；于 1995 年和 1997 年分别获密苏里科技大学(又称密苏里大学罗拉分校)电气工程硕士和博士学位。在 1984 年至 1993 年间，他参与了高技术超导材料的测量研究。从 1998 年到 2002 年，他在惠普和安捷伦(Agilent)技术公司工作，是一名从事 EDA、模拟和微波设计的工程师。从 2002 年到 2008 年，他作为一名信号完整性工程师供职于 Rambus 公司。目前，他在苹果公司工作，是一名首席信号完整性工程师。他的专业兴趣包括：PCB 和封装互连建模与仿真；电源配送系统去耦；开关电源的噪声抑制；连接器建模；电磁兼容性等。

在有关信号完整性的学科领域，施博士已发表同行认可的 8 篇期刊论文(第一作者 4 篇)；17 篇会议论文(第一作者 8 篇)。他是封装设计领域美国专利 7476813 和专利申请 20100096725 的主要作者之一。他是 1995 年 IEEE-EMC 学会总统纪念奖的获得者、IEEE 高级会员。

Vladimir Stojanovic 现为麻省理工学院电气工程和计算机科学 Emmanuel E. Landsman 助理教授。他的研究兴趣包括：集成系统的设计、建模及优化；包括基于 CMOS 的 VLSI 模块设计，以及采用另类器件(如 NEM 继电器、光电器件)进行的系统接口设计等。他的兴趣还有高效节能电气光纤网络的设计与实现；数字通信中的高速接口和高速混合信号集成电路设计。他是 2009 年 NSF 职业生涯奖的获得者。

Stojanovic 博士于 2005 年获得斯坦福大学电气工程博士学位。于 2000 年获得斯坦福大学电气工程科学硕士学位。于 1998 年获得塞尔维亚贝尔格莱德大学的工学硕士学位。他从 2001 年到 2004 年在 Rambus 公司工作。在 1997 年至 1998 年期间他还是美国加州大学戴维斯分校电气工程和计算机系先进计算机系统工程实验室的访问学者。

Elad Alon 分别于 2001 年、2002 年和 2006 年获得斯坦福大学电气工程学士、硕士和博士学位。在 2007 年 1 月，加入加州大学伯克利分校担任电气工程和计算机科学助理教授，目前是伯克利无线研究中心(BWRC)的共同主任。他曾在 Sun 实验室、Intel、AMD、Rambus、HP、IBM 研究中心工作，从事研发用于计算、测试测量、高速通信的数字、模拟、混合信号集成电路。Alon 博士在 2008 年获得 IBM 教师奖；2009 年获得赫尔曼家庭教师基金奖；2010 年获加州大学伯克利分校电气工程优秀教学奖。他的研究着重于节能高效的集成系统，包括电路、器件、通信产品的设计，以及设计中的优化技术。

目　　录

第 1 章　绪论 ······ 1

1.1　信号完整性分析的走向 ······ 2

1.2　高速信号完整性设计的挑战 ······ 6

1.3　本书的章节编排 ······ 7

参考文献 ······ 8

第 2 章　高速信令基础知识 ······ 10

2.1　I/O 信令的基本构件 ······ 10

2.2　噪声源 ······ 18

2.3　抖动的要点与分解 ······ 24

2.4　小结 ······ 29

参考文献 ······ 29

第 Ⅰ 篇　通道建模与设计

第 3 章　通道建模与设计方法学 ······ 32

3.1　通道的设计方法学 ······ 32

3.2　通道的建模方法学 ······ 36

3.3　用电磁场求解器建模 ······ 38

3.4　背板通道建模示例 ······ 40

3.5　小结 ······ 46

参考文献 ······ 47

第 4 章　网络参数 ······ 48

4.1　多导体系统的广义网络参数 ······ 48

4.2　构建准确的 S 参数时域模型 ······ 56

4.3　无源性条件 ······ 62

4.4　因果性条件 ······ 64

4.5　小结 ······ 71

参考文献 ······ 72

第 5 章　传输线 ······ 74

5.1　传输线理论 ······ 74

5.2　前向与后向串扰 ······ 77

5.3　传输线的时域仿真 ······ 82

5.4　基于测量的传输线建模 ······ 86

5.5　片上连线建模 ······ 96

5.6 片上、封装及 PCB 走线之对比 …… 101
5.7 小结 …… 102
参考文献 …… 102

第Ⅱ篇 链路性能分析

第 6 章 通道的电压预算与时序预算 …… 108
6.1 时序预算方程及其分量 …… 109
6.2 光纤通道的双 δ 模型 …… 110
6.3 构件分量级的时序预算 …… 113
6.4 时序预算方程的缺陷 …… 114
6.5 电压预算方程及其分量 …… 116
6.6 小结 …… 117
参考文献 …… 117

第 7 章 制造工艺波动建模 …… 118
7.1 田口法简介 …… 119
7.2 DDR DRAM 的指令/地址通道示例 …… 126
7.3 背板链路建模示例 …… 130
7.4 小结 …… 135
7.5 本章附录 …… 135
参考文献 …… 137

第 8 章 链路 BER 建模与仿真 …… 138
8.1 历史回顾与内容编排 …… 138
8.2 链路 BER 的统计建模框架 …… 139
8.3 符号间干扰建模 …… 144
8.4 发送器和接收器抖动建模 …… 148
8.5 周期性抖动建模 …… 152
8.6 小结 …… 156
参考文献 …… 156

第 9 章 快速时域通道仿真技术 …… 158
9.1 快速时域仿真流程综述 …… 159
9.2 快速系统仿真技术 …… 160
9.3 同时开关噪声示例 …… 169
9.4 抖动建模方法对比 …… 171
9.5 最大失真分析 …… 172
9.6 小结 …… 175
参考文献 …… 176

第 10 章 链路 BER 分析的时钟模型 …… 178
10.1 独立及公共时钟抖动模型 …… 179

10.2 公共时令方案建模 …… 179
10.3 CDR 电路建模 …… 185
10.4 无源通道抖动冲激响应与抖动放大 …… 189
10.5 小结 …… 191
参考文献 …… 192

第Ⅲ篇 电源噪声与抖动

第 11 章 电源完整性工程综述 …… 194
11.1 PDN 的设计指标与电源预算 …… 195
11.2 电源预算的分量 …… 195
11.3 电源预算的推导 …… 198
11.4 电源噪声分析方法学 …… 200
11.5 电源噪声分析的步骤 …… 203
11.6 小结 …… 208
参考文献 …… 208

第 12 章 SSN 的建模与仿真 …… 209
12.1 SSN 建模中的挑战 …… 210
12.2 信号完整性与电源完整性协同仿真方法学 …… 214
12.3 信号电流回路与电源噪声 …… 223
12.4 其他 SSN 建模专题 …… 225
12.5 案例分析：民品 DDR2 SSN 分析 …… 229
12.6 小结 …… 234
参考文献 …… 234

第 13 章 抑制 SSN 的编码与信令 …… 236
13.1 数据总线反相编码 …… 236
13.2 基于 4b/6b 编码的伪差分信令 …… 241
13.3 小结 …… 248
参考文献 …… 248

第 14 章 电源噪声与抖动表征 …… 250
14.1 电源噪声引起抖动的重要性 …… 250
14.2 PSIJ 建模方法学综述 …… 251
14.3 噪声与抖动仿真方法学 …… 253
14.4 案例分析 …… 259
14.5 小结 …… 262
参考文献 …… 262

第 15 章 衬底噪声引起的抖动 …… 264
15.1 简介 …… 265
15.2 建模技术 …… 266

15.3 测量技术 …… 273
15.4 案例分析 …… 274
15.5 小结 …… 278
参考文献 …… 279

第Ⅳ篇 高级专题

第16章 片上链路的测量技术 …… 282
16.1 Shmoo 与 BER 眼图测量 …… 283
16.2 获取信号波形 …… 284
16.3 链路性能的测量与关联 …… 286
16.4 片上电源噪声的测量技术 …… 287
16.5 高级电源完整性测量 …… 292
16.6 小结 …… 294
参考文献 …… 295

第17章 信号调理 …… 296
17.1 单位响应 …… 297
17.2 均衡技术 …… 297
17.3 自适应均衡算法 …… 301
17.4 CDR 与均衡自适应的相互作用 …… 308
17.5 基于 ADC 的接收均衡 …… 310
17.6 对高速线缆均衡的展望 …… 313
17.7 小结 …… 313
参考文献 …… 314

第18章 应用 …… 317
18.1 XDR：高性能差分存储系统 …… 317
18.2 移动 XDR：低功耗差分存储系统 …… 325
18.3 DDR3 后的主存储系统 …… 332
18.4 信令系统展望 …… 340
参考文献 …… 344

第1章 绪　　论

Dan Oh，袁兴朝

计算类设备，如计算机服务器、工作站、个人计算机(PC)、游戏机、智能手机等，随着一代又一代新半导体工艺的出现而变得越发强大。摩尔定律指出，芯片上的晶体管数量每两年增加一倍[1]。在一个芯片中不仅功能增多，而且性能也不断增强。与性能的提高相匹配，在计算设备各构件间的数据通信速度也在不断提高，从20世纪90年代初的数百兆比特每秒(Mb/s)，已经上升到2008年的数吉比特每秒(Gb/s)。预计，不久将提高至数十吉比特每秒(Gb/s)的数据通信速率。例如，下一代PCIe的技术规范正在把8 Gb/s作为目标数据率，并于2012年投入生产。

由于数据通信已经达到数Gb/s的速率，确保片上和片外都具有良好的信号完整性变得非常重要。理解由导线或互连引发的高频物理效应，已经和芯片设计本身同等重要。此外，为了对系统级的行为(如抖动的放大和抵消)建模，片上电路产生的抖动，现在也成为一种信号完整性(SI)的问题。以前那种当芯片做好后再研究信号完整性问题，这样的事已经是过去了。I/O接口设计师或系统设计师，必须彻底进行信号完整性分析，以避免产生不可靠或过于受限的系统，或造成要花高价从市场召回产品。

必须在事先通盘考虑信号完整性的设计，才能确保现代高速数字系统的鲁棒工作。需要引入并采用新的设计方法学，以应对那些在较低数据率时可以被忽略的物理效应。为了尽量降低高目标数据率下通道设计的时序误差，应该优化设计时令(clocking)或时序电路。在研制任何硬件或系统之前，要先评估并分析最坏情况设计参数和互连的电气性能。详细并准确地理解互连的电气性能、高级信令、电路技术(如均衡)等，有助于消除由非理想互连造成的影响。

准确预估数Gb/s数据率时系统的行为是一项艰巨的任务，需要信号完整性工程师具有几种不同工程学科的知识和经验。具体而言，这些工程师必须有数字系统工程、高速I/O电路设计、电子封装及印制电路板设计、通信理论、微波工程、计算电磁学等方面的知识。基于这种对多学科的需求，信号完整性工程师可能具有许多各不相同的技术背景，如电路和印制电路板设计、射频/微波工程、电磁建模等。信号完整性工程师需要在今后工作中再获得必要的知识和经验。面对信号完整性工程师的需求缺口日益扩大，只有很少几所大学提供了专门讲授信号完整性的课程和培养方案。

由于信号完整性属于一个相对较新、快速发展的多学科领域，关于这一问题的优秀参考书籍不多。H. B. Bakoglu在1990年出版的书，是一本介绍信号完整性的入门教材[2]。Bakoglu的主要读者对象是那些想了解高速数据传输下互连影响的芯片电路设计师。H. W. Johnson在1993年出版的书[3]，是信号完整性工程师的一本实用手册。1998年由剑桥大学出版社出版W. Dally的著作[4]，为高速数字系统设计提供了系统全面的信息。他明确指出在设计高速信令系统时，如何应对由电路设计、封装和互连设计、电源分配网络设计

造成的影响。最近，有了比较多的信号完整性设计和工程方面的书籍[5~19]。这些书籍涵盖了广泛的专题范围，包括印制电路板设计、系统时序分析、衬底噪声耦合、电源噪声建模等。

虽然上述专著对于信号完整性工程师已经够用，但是其中大部分都集中在一个特定的专题上。很少有给出系统性的解决方案；讨论如何从体系架构阶段直到生产全过程去设计一个高速系统；如何确保在最坏条件下系统仍能鲁棒工作。再者，他们很少提供如何提高大批量生产中成品率的工艺信息。因为当今的数据率已经从数 Mb/s 上升到数 Gb/s，有一些资料显得已经过时了。这样，信号完整性工程师必须在缺乏足够参考资料的情况下，面对数 Gb/s 设计的新挑战。他们必须研究在通信理论、电路理论、微波工程、计算电磁理论中遇到的共性课题，以便理解和设计出数吉赫兹的系统。

本书是一个对高速信号完整性工程的全面研讨。力图帮助信号完整性工程师们获得必要的技能和知识，以便对数 Gb/s 数字系统进行建模和设计，成为一个中级到高级水平的手册。这里，假定读者对几个电子专业学科，包括超大规模集成电路(VLSI)设计、传输线理论、微波工程等已经有了一些基本了解。本书是 Rambus 公司 20 多位工程师 10 多年从事高速信号完整性设计经验的结晶。Rambus 设计 I/O 接口数据率的范围很宽，从 20 世纪 90 年代早期的 800 Mb/s，直到 2009 年的 16 Gb/s。这些 I/O 接口大多数是 Rambus 专有的，公司的信号完整性工程师与其他电路和结构工程师们密切合作，确保了通道性能的可靠。信号完整性工程师负责定义信令和电路技术规范；表征并仿真原型虚拟通道；掌控大规模生产的环境等。本书将分享超过 10 年分析各种 I/O 接口的集体经验，包括：板上并行总线、背板、消费类存储器、PC 主存等。

什么是本书的特色呢？

- 本书给出一种系统化的方案，探究从系统架构设计阶段到大批量生产全过程的信号完整性问题。
- 本书涵盖的主题范围广泛，包括高速 I/O 接口的设计、实现和验证。
- 非常深入地讨论无源通道的建模、电源噪声和抖动的建模，并预估系统的容限等。
- 将信号完整性和电源完整性看成一个整体问题，为了求得整个系统的行为而统一设计。统一考虑电源噪声(包括片上和片外两种噪声)对信号质量的影响。
- 详细解释对系统电压预算和时序预算折中的方法学，以确保系统在大批量生产过程中的鲁棒性。
- 因为网络和传输线理论是通道分析的重要内容，本书首次给出实用又稳定的各种网络参数换算公式。互连宽带建模具有相当的挑战性。文中阐述了现有模型和工具的一些基本问题，提出一些可能避免不准确建模的技巧改进方法。
- 本书展示了信号完整性和电源完整性工程的最新进展。特别是，在较高的层次解释均衡技术对通道性能的改善。首次对大批量生产过程建模；给出链路抖动/统计的仿真方法学；详细探讨了抖动和时令拓扑之间的关系。还介绍了进行链路性能原地测试的片上测量技术。

1.1 信号完整性分析的走向

信号完整性工程是一个相对年轻的工程学科，设计出高速数字系统就是推动其发展的原动力。在 20 世纪 90 年代初，数字系统的工作速率相对较低，信号完整性往往是一种附加

的选项。工程师不必担心无源互连的寄生效应，包括封装和印制电路板的走线、过孔切换和连接器等。那时的封装和 PCB 物理设计，往往就是用版图设计工具进行简单的“点间连接”。然而，随着高速系统数据率的提高，人们遇到了无数由于寄生效应引起的系统故障，如串扰、反射、电源噪声等。因此，信号完整性工程就从默默无闻，变成为最重要的工程学科之一。本节将回顾信号完整性工程的发展史；讨论过去10年的演变历程；探讨今后的发展方向。

1.1.1 1990 年之前：“黑魔盒”时代

在计算机发展的初期阶段，晶体管器件的速度决定了 I/O 的速度。这时，数字系统上的寄生效应是微不足道的。除非是设计超级计算机，一般都不去关注信号完整性问题。在此期间，对于串扰和电源噪声等问题，都是在个案的基础上加以解决。为了调试系统故障，具有各种技术背景和经验的工程师进入信号完整性工程领域。典型的工程背景包括：模拟设计、I/O 电路设计、印制电路板(PCB)和封装设计、微波工程、电磁建模等。事实上，信号完整性任务被视为“副业”，而不是作为一种主流的工作职责。

在这些早期的日子里，信号完整性工程处于幼年期。有几个问题成为这一时期的象征：首先，对数字系统中的噪声机理知之甚少。虽然在相关的微波工程中对高频寄生效应有了深入的研究，但这些知识很少被引用到数字设计中。其次，数字设计师在设计阶段常常忽略寄生效应的影响。只有当出现系统不稳定或故障时，才在事发后去面对问题。人们并未认真地尝试去理解故障发生的机理。因此，信号完整性被戏称为“黑魔盒”，而不是工程。第三，可用的工具和方法学非常有限，无法对数字系统中寄生效应准确建模。最后，信号完整性工程师的角色和责任没有明确界定。如前所述，大多数工程师具有不同的技术背景，大多数又都有一个信号完整性工程以外的主要工作岗位。

幸运的是，在一些高端系统制造商(如 IBM、DEC、HP、Bell Labs)和工科院校工作的研究人员倾注了大量的精力对互连系统进行建模和分析。从20世纪70年代初开始，他们的成果就陆续发表在各种学术期刊和会议上。由于其应用范围局限于超级计算机和大型机等高端计算系统，所以并没有出现针对信号完整性专题内容的教科书。

1.1.2 1990 年至 2000 年：“无源通道”时代

20世纪90年代初，计算机系统内部的数据率已经达到数百 Mb/s。例如，20世纪90年代初高端 PC 系统的存储系统已经工作在 500 ~ 800 Mb/s；Intel 公司的微处理器则工作在吉赫兹频段。这种系统中的噪声设计变得非常重要。这一时期称为 EPEP(电子封装的电气性能)的信号完整性专业学术会议于1992年诞生；其他一些电气工程会议则是将信号完整性作为会议的一个专题。在此期间，信号完整性工程迅速发展并改变了技术的广度和深度。给出更多实际问题的解决方案；很快完善了早先由高端系统制造商和高等院校研究人员给出的研究成果。图1.1说明了在典型设计过程中信号完整性工程师的各项任务。必须将许多迷人的技术片段相结合，才能设计出一个鲁棒的高速数字系统。与在1990年前的早期信号完整性工程相比，现在信号完整性工程已不再是一个可有可无的东西，而是高速数字系统设计中的一个有机部分。曾经用于少数高端系统制造商的工具和方法，从各个 EDA 供应商那里已经变得随时可以得到。

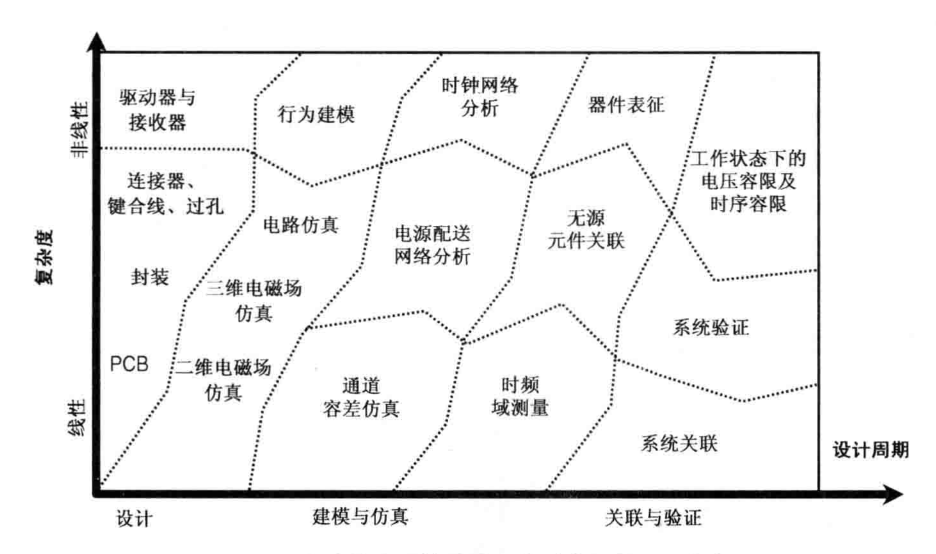


图 1.1 高速数字系统设计的信号完整性工程任务

在 20 世纪 90 年代期间，信号完整性分析侧重于对传输线的建模。有了 HSPICE 提供的稳定和准确传输线模型，工程师们终于能够评估串扰、反射和损耗的影响。采用瞬态分析可以方便地评估由介质和导体趋肤引起的频率相关损耗。电磁场的二维和三维求解器可用于提取 RLGC(电阻、电感、电导、电容)矩阵或散射参数。信号完整性工程师可以使用电磁场建模工具构建基于物理设计的 SPICE 电路模型。对无源模型与实测的关联与验证过程可以通过在时域用时域反射计(TDR)/示波器；或在频域用矢量网络分析仪(VNA)进行。最后，还要验证系统在最坏工作条件下的电压容限和时序容限。

在此期间，信号完整性工作侧重于对无源通道的建模以及它与硬件实测结果的一致性关联上。这一时期可看成“从发送芯片焊盘到接收芯片焊盘的建模”。对无源通道中所有构件进行建模。然而，芯片中的所有实现被视为黑盒子。常常采用发送器和接收器的行为模型(如 IBIS)，以尽量降低 SPICE 瞬态仿真时间。无源通道和有源(Tx/Rx)电路之间的相互作用被忽略，或者模型过于粗糙。即使发现有与无源通道技术规范相“违背”的现象，整个系统可能不一定出现故障。此外，许多企业不理解信号完整性工程的重要性，有的继续把信号完整性作为后端的一个工艺，直到设计周期后期发现问题时才加以处理。此外，仍然对信号完整性工程师职责和信号完整性工程走向有一些不同的看法[20]。总之，在 20 世纪 90 年代信号完整性工程在高速数字系统设计中发挥着重要但又有限的作用。

1.1.3 2000 年至今：“全链路”时代

目前，计算系统的数据率已经达到数吉赫兹的等级。例如，索尼(Sony)的 PlayStation 3 采用了差分 XDR 存储器系统，支持的数据率范围为 3.2 ~ 6.4 Gb/s。目前 Intel 微处理器已经工作在 3 GHz 以上。板上并行接口以及高端图形显示存储器接口的数据率已经达到数 Gb/s 的量级。现代路由器和交换机中的数据通信需要采用甚高速的串行链路。例如，根据光互联网论坛(OIF)的标准，要求背板系统的数据率为 6 ~ 12 Gb/s。对于数吉赫兹的应用，通道往往决定了速度的上限。因此，设计的关注点聚焦于如何降低通道造成的非理想物理效应，尤其是符号间干扰(ISI, Inter-Symbol Interference)上。

在此期间，信号完整性已经成为架构设计的重要推动力。在整个设计周期，包括从概念设计到批量生产、降低成本的全过程中，信号完整性工程师不停地与系统架构师、电路设计师、系统工程师进行交流互动。信号完整性工程已经超越了常规的无源互连建模，开始试图对整个链路建模。其中，包括发送器、接收器、时钟、通道等。信号完整性工程擅长于信令结构的分析和性能的权衡折中。对整个链路的信号完整性建模分析影响到设计中的许多内容，如均衡化架构、时钟架构、时序校正架构、编码和/或纠错架构等。本书的重点内容将奉献给称为“信令分析”的这一信号完整性分析新时代。

1.1.4 今后：“电源被优化的链路”时代

本节作者将根据目前的经验和对技术发展趋势的判断，探讨今后进行信号完整性分析的一些新领域。为此先简要地从器件的角度，回顾一下过去发生了什么？CMOS 特征尺寸和电压同时按比例缩小使得单位面积功耗得以维持恒定[21]，在同样的芯片面积上可以容纳更多的晶体管。这直接改善了芯片的性能，并进而要求有高速的 I/O 接口。但是，由于功耗泄漏的缘故，导致阈值电压(V_{th})无法继续下降，从而电压的下降已明显放缓。因此，每单位面积的功耗不再是恒定的，而是不断升高。图 1.2 给出了这个变化的趋势和微处理器的功耗情况。

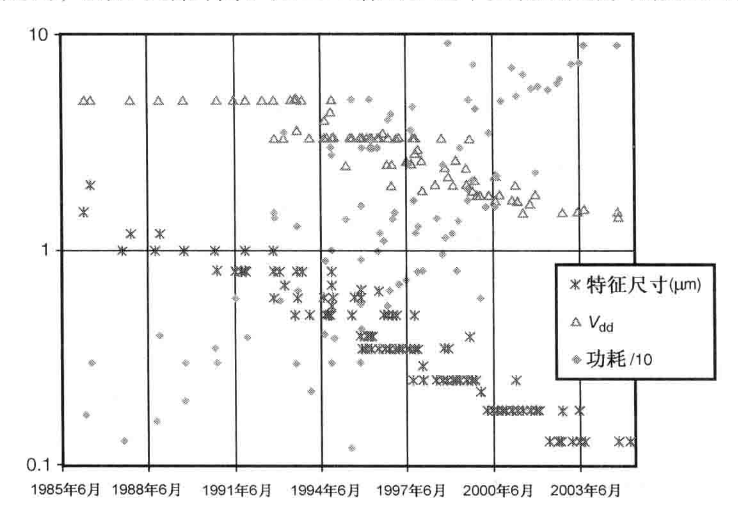


图 1.2 不同年代微处理器 V_{dd}、功耗/10、特征尺寸[21]（© 2005 IEEE）

由于电压缩减的放缓，目前这一代 I/O 接口的设计需要研究在给定目标工艺下的数据率优化问题。在评估链路性能时，将以每位的功耗而不是单纯的性能作为一个公共的量度。有人以 FO4（扇出系数为 4）的时延为基准，把给定工艺下的功耗归一化，以便预估出独立于工艺技术的最佳数据率[22]。对不同信号调理方案下的数据率和功耗进行基本的权衡折中分析，将在今后的信令分析中非常有用。

传统的 I/O 接口设计只专注于目标数据率，认为在表征性能的数据率、功耗、系统成本当中，数据率是最高要求。但是，这对于功耗是关键的场合，例如快速增长的移动设备，已经不再合适。这种系统应用的处理器具有多个 I/O 数据传输速率，为的是优化各种应用下的功耗。此外，各种电源管理方案，例如关闭全部（或部分）I/O 接口，已被普遍采用[23]。这时，信令设计必须考虑到多种数据率，信号完整性分析也必须考虑在非理想情

况(主要是在不同电源模式或数据率之间的切换)出现时，能做到不中断或 I/O 性能退化的最小化。

三维集成是运用信令分析的另一个新领域。三维集成缩短了 I/O 通道，但由于小外形下提供稳压电源的难度很大，它将承受更多的片上噪声。这类应用中，时钟树跨越的距离要比 I/O 互连本身更长，I/O 性能严重受制于时钟分配网络。建模并降低由时钟分配网络造成的抖动，是应用中的关键难题。到目前为止，芯片内核噪声对 I/O 的影响在很大程度上未被重视。以前的 I/O 有一个单独的电源轨道，但在三维集成中则不太可能。对于具有高速 I/O 的三维集成，最好在片上有电源稳压器。如何在片上稳压器设计和 I/O 接口之间进行权衡折中，就成为一个关键问题。

因为低摆幅信令适合于低功耗应用，片上稳压器配上片外接口将变得更加普遍[23]。这种接口即使是单端信令设计，也会有最小的输出电源噪声；由电源噪声引起的抖动将主要源自前置驱动器或时钟树。电路中由电源噪声引起的抖动将占有重要的分量，信令分析必须包括这类效应的影响。总之，今后的信号完整性分析将更具挑战性，需要更多接口架构方面的知识。

1.2 高速信号完整性设计的挑战

本节将详细论述在高速信号完整性设计中信号完整性工程师将面临的诸多挑战。

挑战之一就是必须改变系统设计的方法学，对信号完整性关注要从架构阶段开始，而不是放到后面的工艺中。这一问题在设计高数据率时更为重要。过去的工程师们依靠自己的经验行事，直到一些错误的出现。这样，一旦出现产品的延误和返修，就变得非常昂贵。

信号完整性工程师需要理解关键时序参数、电压参数以及在设计中的关系。很好地理解信令方案和时令架构是非常重要的。并非所有的信号完整性工程师都有机会研发一个新的信令方案；大多数工程师是基于行业协会已定义标准之上工作的。即使这种情况下，信号完整性工程师也需要理解信令的工作原理及其关键技术要求；能辨识出最坏场景是至关重要的。

信号完整性工程师还必须对无源互连，包括封装、PCB、连接器建立准确的模型。模型要能提取出与频率相关的损耗、串扰和反射；也要提取出三维及全波效应。这些模型可用于时域仿真或频域仿真。

信号完整性工程师必须在时域以及频域用 TDR 和 VNA 等硬件进行详细的关联度测试，以建立对无源模型准确性的可信度。在大批量生产时还必须考虑制造容差的影响。

信号完整性工程师还需要建立一个准确的电源分配网络模型，以分析电源噪声对系统性能的影响。电源分配网络必须不仅适用于片上电源配送网络的分析(如 IR、电磁场、电源交流噪声等)；还必须能够用于求得系统的行为，例如在信号和电源轨道之间的耦合等。必须定义出在晶体管和封装引脚处的电源电压容差。为了抑制高、中、低频电源噪声，必须定义出对芯片、封装、PCB 旁路滤波的要求。

信号完整性工程师需要掌握非理想电路行为的影响，如发送器抖动以及接收器的偏移和/或灵敏度等。必须为确定性噪声源(如占空比失真或符号间干扰)；随机噪声源(如热噪声或散弹噪声)建模。信号完整性工程师在多学科环境下的工作能力是非常重要的，

需要评价各种设计方案的风险或优势；需要根据速度和功耗定义出最佳的信令架构。此外，信号完整性工程师必须弄清在给定时令架构下电源噪声与抖动间的关系。某些时令架构比起其他架构，可能对噪声更敏感。最要紧的一件事是就求解出噪声抖动间的传递函数。

最后，信号完整性工程师必须学会实验室的实测工作，掌握各种测试技术，包括 VNA、TDR、DCA(数字采样示波器)、频谱分析仪、BERT(误码率测试仪)等。必须学会通过实验检测并提取波形，将它们与仿真进行关联，解释所观察到的系统行为。必须学会利用实测关联过的模型找出故障或不稳定的源头，提出改进设计的建议。

1.3 本书的章节编排

第 2 章对信令基础知识进行了综述。其中，阐述了 I/O 信令通道的基本模块；介绍了基本的 I/O 接口设计。该章略去对细节的介绍，描绘了 I/O 接口的总体设计，包括在传统信号完整性设计中被忽视的各种时令和拓扑结构选项。该章涵盖了高速 I/O 链路中的主要噪声分量。对这些噪声分量的基本机理及建模问题进行了讨论。

本书将其余各章组织为第Ⅰ篇至第Ⅳ篇共 4 大篇章。第Ⅰ篇由 3 章构成，探讨无源通道的建模技术。第 3 章提出了一个完整的通道建模和设计方法学，着重于无源通道建模的一般流程。通道建模往往需要不同网络模型的转换，第 4 章则提供了不同网络参数的换算公式。其中，介绍了最近很有名的 S 参数建模中的几个问题。该章还论述了网络参数的无源性条件。第 5 章讨论了传输线模型，以及一个流行的递归卷积法及其局限性。对如何从测量数据生成传输线模型的技术进行了详细的描述。对 PCB 走线、封装走线、片上互连这三个不同的互连类型特点，进行了讨论。

第Ⅱ篇讨论通道的仿真和分析问题，共计 5 章，全部用于探讨这一专题。第 6 章讨论了链路性能分析面临的挑战；综述了常规的电压预算和时序预算分析。其余 4 章是应对这些挑战的技术，涵盖了几种新的仿真方法学。第 7 章介绍了用于通道分析的实验设计(DoE)。DoE 技术确保在有工艺波动的大规模生产中系统通道性能的可靠性。第 8 章提出了一种统计链路仿真框架，它除了考虑传统的通道影响之外，还可以仿真器件的时序抖动及电压噪声。虽然统计链路仿真器是用于预估链路性能的一个强大工具，它仍有些许严重的局限性(如难以对非线性驱动器建模和解释数据编码)。第 9 章探讨快速时域仿真器，可与统计框架相结合，以改善纯粹统计方法遇到的问题。使用适当的时令架构，可以明显降低抖动或噪声分量。第 10 章对统计链路仿真器中一些常见的时令架构及其仿真模型进行了综述。

第Ⅲ篇探讨电源噪声对链路性能的影响。正如标题所意涵的，第 11 章对电源完整性工程进行了综述。同时开关噪声(SSN)分析是现代高速存储器接口设计中的一个热点问题。第 12 章讨论了一个 SSN 分析的高效、准确仿真方法学。以 DDR2 存储系统为例，证明所提出仿真方法学的有效性。对常见单端信令技术的 SSN 噪声机理也进行了解释。由于封装设计的物理限制，SSN 的降低相当具有挑战性。第 13 章提出总线编码技术，可以降低 SSN。通过使用差分信令或数据编码，输出电源的 SSN 噪声不再是时序抖动的主导

因素。前置驱动器和时钟路径上的电源噪声形成了相当量级的抖动。第 14 章论述了电源噪声引起抖动(PSIJ)的基本原理。第 14 章包括用于测量电源噪声和电源分配网络(PDN)阻抗的片上测量电路。第 15 章将这种测量技术进一步延伸到对衬底噪声的测量。

第Ⅳ篇致力于高级的 SI/PI 专题。第 16 章介绍片上信号和噪声性能的测量技术。由于三维封装，譬如 PoP(封装中封装)、SiP(系统级封装)、三维集成的普及，这类功能正变得更加重要。现代高速链路采用信号调理技术克服物理通道的限制，第 17 章对这些均衡技术进行全面的阐述。第 18 章提供了三种信令示例，列举出不同应用中的共同特征。第一个示例是应用于高端 PC、游戏和图形显示中的 XDR 存储器系统。对几个关键架构级的特征，如时序调整中的 FlexPhase 和缓解多点下传问题的动态点到点(DPP)技术进行检视。第二个示例是低功耗应用中的移动 XDR。详细介绍通过附加功能的设计降低了移动 XDR 的接口功耗。第三个示例，将这些高级信令特征用于当前一代的 DDR 主存储系统，给出了今后提高数据率的路线图。最后，预估了今后高速接口中的几个要点。

参考文献

1. G. E. Moore (1965). "Cramming more components onto integrated circuits," *Electronics Magazine.*
2. H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison-Wesley, 1990.
3. H. W. Johnson and M. Graham, *High Speed Digital Design*, Prentice Hall, 1993.
4. W. Dally and J. Poulton, *Digital System Engineering*, Cambridge University Press, 1998.
5. Balsha R. Stanisic, Rob A. Rutenbar, and L. Richard Carley, *Synthesis of Power Distribution to Manage Signal Integrity in Mixed-Signal ICs*, Springer, 1996.
6. B. Young, *Digital Signal Integrity: Modeling and Simulation with Interconnects and Packages*, Prentice Hall, 2000.
7. S. H. Hall, G. W. Hall, and J. A. McCall, *High Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*, IEEE Press, 2000.
8. R. Singh, *Signal Integrity Effects in Custom IC and ASIC Designs*, Wiley-IEEE Press, 2001.
9. S. Donnay and G. Gielen, *Substrate Noise Coupling in Mixed-Signal ASICs*, Springer, 2003.
10. E. Bogatin, *Signal Integrity - Simplified*, Prentice Hall, 2003.
11. D. Brooks, *Signal Integrity Issues and Printed Circuit Board Design*, Prentice Hall, 2003.
12. T. Granberg, *Handbook of Digital Techniques for High Speed Design*, Prentice Hall, 2004.
13. D. Miller, *Designing High-Speed Interconnect Circuits: An Introduction for Signal Integrity Engineers*, Intel Press, 2004.
14. S. C. Thierauf, *High-Speed Circuit Board Signal Integrity*, Artech House, 2004.
15. Roy G. Leventhal, L. Green, and D. J. Carpenter, *Semiconductor Modeling: For Simulating Signal, Power, and Electromagnetic Integrity*, Springer, 2006.
16. G. Edlund, *Timing Analysis and Simulation for Signal Integrity Engineers*, Prentice Hall, 2007.
17. M. P. Li, *Jitter, Noise, and Signal Integrity at High-Speed*, Prentice Hall, 2007.
18. M. Swaminathan and A. E. Engin, *Power Integrity Modeling and Design for Semiconductors and Systems*, Prentice Hall, 2007.
19. S. H. Hall and H. Heck, *Advanced Signal Integrity for High-Speed Digital Designs*, IEEE Press, 2008.

20. A. Fraser and S. Argyrakis, "Does signal integrity engineering have a future?," presented at the IEC DesignCon, Santa Clara, CA, 2003.

21. M. Horowitz, E. Alon, D. Patil, S. Naffziger, R. Kumar, and K. Bernstein, "Scaling, power, and the future of CMOS," in *International Electron Devices Meeting Technical Digest*, Dec. 2005, pp. 7-13.

22. H. Hatamkhani and C. K. Yang, "Power analysis for high-speed I/O transmitters," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 2004, pp. 142-145.

23. B. Leibowitz, R. Palmer, J. Poulton, Y. Frans, S. Li, J. Wilson, M. Bucher, A. M. Fuller, J. Eyles, M. Aleksic, T. Greer, and N. Nguyen, "A 4.3GB/s mobile memory interface with power-efficient bandwidth scaling," *IEEE Journal of Solid-State Circuits*, vol 45, no. 4, pp. 889-898, 2010.

第 2 章　高速信令基础知识

袁兴朝，Dan Oh

信号完整性分析在过去 20 年间已经取得了很大的进展，超越了传统无源通道分析的范畴。早前，驱动器和接收器的性能主导了链路的性能。由于数据率的不断升高，链路的性能更多的是受制于噪声和抖动，而不是内部晶体管的性能。随着接口速度的提高，由器件、通道和电源分配网络引起的噪声和抖动开始相互作用。这种相互作用对链路性能的分析提出了挑战，使之成为电路设计师和信号完整性工程师之间的一个公共课题。通常情况下，信号完整性工程师专注于高频建模和无源通道的仿真。当信号完整性工程师观察问题时，时常缺少一个系统级或电路级设计的视角。本章则是从系统级的角度介绍高速链路设计中各种噪声源的基础知识。

2.1　I/O 信令的基本构件

在数字系统中采用的某一特定信令方案对信号完整性具有最直接的影响。它从根本上决定了数字系统的速度、效率和鲁棒性。在过去，人们不大注意去优化高速数据传输中的信令方案，认为 I/O 的性能并未严重制约系统的整体性能。随着系统数据率接近数吉赫兹，必须仔细选择信令方案以实现预期的系统性能和鲁棒性。本节从高速 I/O 设计的角度介绍信令的基础知识；阐释信令方案的诸要素如何影响着信号的完整性。

信令是用于将数字符号(0 与 1)转化为物理量(电压或电流)的方案。信令系统可以由 6 个基本构件要素加以表征：拓扑结构、发送器、接收器、互连、端接匹配器和时钟。现在，已经有了基于这 6 要素不同组合的许多信令方案。

下面对一个典型信令系统工作原理给出简要的说明：

1. 发送器将逻辑 0 或 1 转换成电压或电流电平或模拟信号。
2. 模拟信号经位于发送器和接收器之间的互连传送到接收器。
3. 接收器将模拟信号与一个参考对象(通常是电压 V_{ref})比对，再将信号转换回逻辑 0 或 1。
4. 模拟信号到达接收器之后，由端接匹配器将其从系统中取出。
5. 时钟将通知发送器何时发送新的信号；并通知接收器何时对它们进行采样。

理想的情况下，当信号到达接收器时没有失真。然而，尤其是当数据率达到数百兆赫兹的实际情况下，这是不可能的。当数据率提高时，信号必然出现失真。此外，不同的信令方案所造成的信号失真程度有明显的不同。因此，为高速 I/O 系统选择合适的信令方案是至关重要的。在设计或确定信令方案时需要考虑的事情，包括数据传输速率、芯片面积、功耗、系统成本等。针对给定的目标应用，一个良好的信令方案需要在这些要素间进行适当的权衡折中。

2.1.1　信令拓扑

图 2.1 所示是几种常见的信令拓扑结构。对于信号完整性而言，点到点的拓扑结构是最简单和最好的。采用点到点的拓扑，一个发送器与一个接收器通信。在存储器系统中普遍采用的多点下传(multidrop)信令拓扑，对于信号完整性而言则更具挑战性。采用多点下传拓扑，几个发送器和接收器将共用同一个通信通道或互连。上述两种是最常用的拓扑结构。然而，还有其他许多有趣的拓扑结构存在，例如近端簇、远端簇、Y 形结点等。

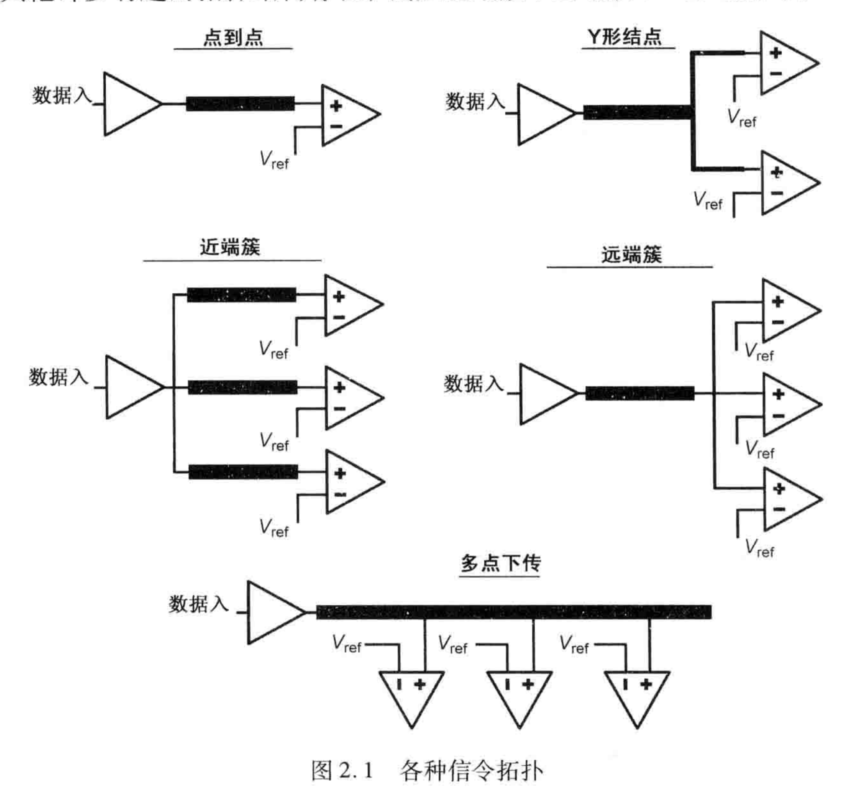


图 2.1　各种信令拓扑

2.1.2　发送器

发送器将逻辑 0 或 1 转换成模拟信号或电压/电流波形。然后，经通道将其传送到接收器。发送器的两个主要类别是单端和差分。还可以将发送器进一步分为电压模及电流模发送器。电压模发送器，直接加载电压到输出，而电流模发送器通过注入一个恒定的电流去驱动输出电压。如下面小节所述，在确定驱动器是电压模还是电流模时，发送器的输出阻抗起着非常重要的作用。

2.1.2.1　发送器输出阻抗

输出阻抗是在工作点处电压增量与电流增量之比：$R_{out}=(\Delta V/\Delta I)$。图 2.2 给出了发送器在发送逻辑 1 时的输出 I-V 特性曲线。曲线上的每个点都有一个动态输出阻抗，它是工作点的函数。当器件工作在 I-V 曲线的线性区时，R_{out}是一个恒定的较小值，使得器件成为电压模驱动器。另一种情况，当器件工作在饱和区时，R_{out}是一个恒定的很大值，使得该器

件成为电流模驱动器。如果△V大到覆盖了线性区和饱和区时，输出阻抗则随电压而变得非线性。

2.1.2.2　单端发送器与差分发送器

单端信令从发送器到接收器采用一条导线传送信号。相比之下，差分信令需要两条线传送信号。从引脚数的角度看，差分信令的开销为2∶1。然而，为确保高速下可靠工作，差分所需的信号与电源/地比要比单端信令小，所以这一比例实际上约为1.3～1.8。

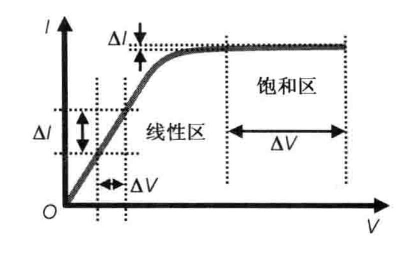


图2.2　一个典型CMOS晶体管的I-V特性曲线

差分信令的主要优势是卓越的抗噪声性能。接收器只关注在差分对两传输线之间的相对电压或电压之差，使得能够抵御如串扰、同时开关噪声、电源噪声一类的共模影响。差分电路固有的抗噪声和高增益，使其对信号在传输介质中的衰减不敏感，从而允许将信号电平降低。差分信令也能提高开关的速度、降低功耗、降低数字系统中噪声的影响。此外，由于流经差分对的电流是互补的，使得净磁通量很小。因此，每个信号场辐射的极性相反而相互抵消，降低了远场的电磁辐射。

2.1.2.3　电压模发送器及电流模发送器

如前所述，电压模发送器和电流模发送器之间的主要区别就是它们的输出阻抗。通常情况下，因为电压模驱动器工作于低V_{ds}(参见图2.2)，它要求的电压较小，使其成为低功耗接口设计的理想选择。然而，电流模发送器可以提供更好的抗电源噪声能力。特别是对于单端信令，由于电压模发送器参考一个本地的地，情况更是如此。如图2.3所示，在本地的地和系统地之间有一个有限的阻抗(Z_{gnd})。Z_{gnd}涉及芯片、封装、电路板电源分配网络设计的一个函数。电流模下的R_{out}通常较大。图中没有给出接收端的端接情况。

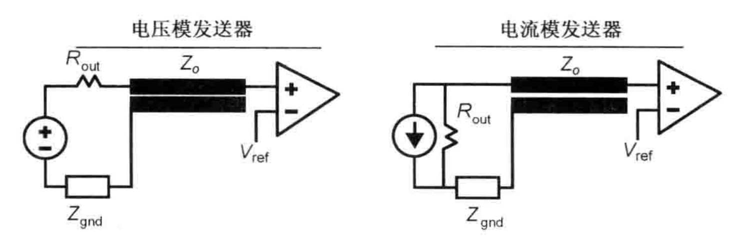


图2.3　具有非理想地的电压模及电流模发送器等效电路

一个电压模发送器，进入通道的发送电压$V(t)$取决于Z_{gnd}。因为$V(t)$是Z_{gnd}两端压降的函数，这里的Z_{gnd}是与芯片中数个发送器所共有的。一旦相邻的发送器发生开关时，通过Z_{gnd}就可以形成耦合。一个电流模发送器，因为它被偏置在饱和区，其电流$I(t)$与Z_{gnd}是互相独立的。从图2.2中可以观察到，ΔV的一个小变化不会在饱和区产生一个大的电流变化，对于发送到通道上的信号影响不大。电流模发送器对于电源噪声具有很好的隔离度。

图2.4(a)是常用的单端电流模驱动器，又称为高共模(HCM)驱动器[16]。图2.4(b)为单端电压模驱动器，也称为低共模(LCM)驱动器，因为它常常使用低电压源。电压模驱动器

有一个额外的上拉器件以保持一直恒定的阻抗。由于电流模驱动器是高阻抗，它不需要额外的上拉器件。图 2.4(c)和图 2.4(d)分别给出对应的差分电流模和差分电压模驱动器。

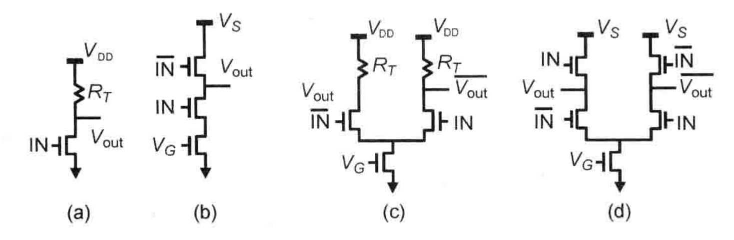


图 2.4　几种不同的发送器。(a) 单端电流模；(b) 单端电压模；(c) 差分电流模；(d) 差分电压模

2.1.2.4　发送器输出时序抖动

发送器输出的时序抖动 t_Q，导致给定时间内数据传输的不确定性。如图 2.5 所示，时钟 CLOCK 和数据 DATA 之间偏移了时钟周期的一半(t_{cycle})。这是理想的时钟和数据之间的时序偏移，它使接收器的采样窗口得以最大化。t_Q表示时钟和数据间偏离这一理想时序关系的时间量。

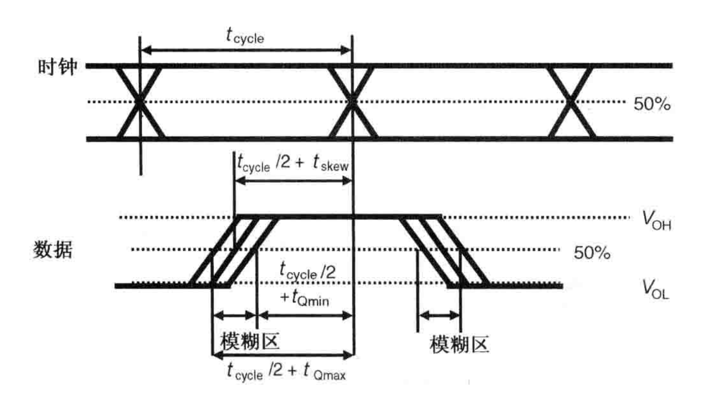


图 2.5　发送器输出时序的定义

t_Q包括静态和动态分量。静态分量包括时钟和数据信号之间的错位(skew)、时钟或数据信号本身的占空比失真(DCD)等。采用校正电路并执行校正程序，可以降低这种静态误差。而降低 t_Q的动态分量则很难。它是由时钟的自抖动(dithery)、电源噪声、符号间干扰(ISI)等引起的。最后，人们常常关注的是在理想测试条件下某一封装引脚处的 t_Q。因此，它可能包括了除了器件影响之外的任何一种由封装引起的时序误差，例如耦合和衰减等。

2.1.2.5　全电路模型及行为——驱动模型

对一个完整的晶体管模型仿真，总能给出一个准确的仿真响应，但需要的仿真时间非常长。通常，人们采用简单的行为模型，比如 IBIS，或电压控电流源来进行 SI 的分析[7~9]。虽然这些模型提供了相当不错的准确度，但必须考虑到其潜在的局限性。由于电流模驱动器比电压模驱动器表现得更线性一些，它与行为模型更加接近。使用表格模型、行为模型(如 IBIS)，能更加逼近非线性输出波形的响应。然而，这种方案往往无法对非线性的端接特性进行建模。因此，当通道中有严重反射时的仿真将很不准确。

此外，对于单端驱动器，电源噪声可能将输出驱动器推到非线性区域；一个简单的行为模型是不能涵盖这种现象的。此外，典型的行为驱动模型不包括前置驱动器和撬棍电流[10]。本章末尾的参考文献中，有一个对行为模型版本的改进建议[11,12]。第 12 章讨论了采用全电路驱动器与电流镜的另一种方案。

2.1.3 接收器

接收器的功能就是把从传输媒介或通道中接收到的电压波形转化为逻辑 0 或 1。在对接收器的表征中，用输入灵敏度(V_{IN})，反映其对电压的分辨率；用建立时间和保持时间(t_S及t_H)，反映其对时序的分辨率。V_{IN}由如下三个分量组成：可通过偏移抵消技术加以校正的输入电压静态偏移量；由接收器带宽、符号间干扰及接收器电源噪声所决定的接收器盲区；因电阻器和晶体管热特性引起的随机电压噪声等。这后面的第二个和第三个分量是动态的，是随时间变化的，一般很难加以降低。

t_S和t_H定义了接收器的时间分辨率，或为了可靠采集数据所需的空隙时间。为了让系统能可靠工作，在所有最坏的情况下，由V_{IN}、t_S、t_H定义的这一窗口也必须完全驻留在数据眼图之内。为了更详细地理解这一点，可参看图 2.6 中所给出的示例。这里，将接收器窗口(较亮的区域)叠加在数据眼图上。窗口的高度是所需输入电压(V_{IN})的两倍。窗口的宽度定义了建立和保持时间(t_S和t_H)。这个窗口表示了由工艺、电源电压、温度(PVT)变化所定义的最坏情况。实际的接收窗口(较黑的区域)必须小于并完全驻留在由V_{IN}、t_S、t_H定义的窗口内。

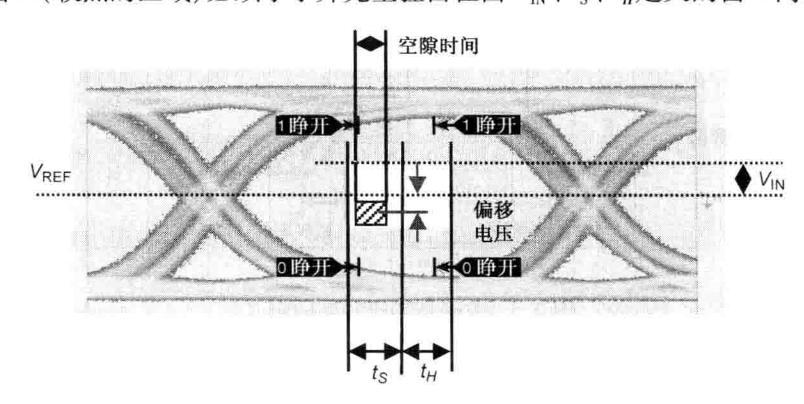


图 2.6 说明接收器输入电压及时序技术要求的眼图

必须注意的是，由于输入信号有限的边沿速率，真正的接收窗口形状不是一个矩形，而是一个六边形或菱形。对于一个给定的眼图，当试图确定系统会不会出问题时，这一信息可能是有用的。因为对于一个数 Gb/s 的系统，采用矩形窗口有点过于苛刻了。

2.1.4 端接匹配器

端接匹配器用于吸收到达接收器的信号。如果不把信号从信令系统中取出，将会发生多重反射和谐振，在某些条件下会使信号出现严重的失真。通常情况下，当数据率为数百 MHz 以下时，可以不使用端接器。这样会简化设计并能降低功耗。

图 2.7 说明了 5 种类型的传输线端接匹配方案：串联、并联、RC 网络、戴维南网络、二极管网络。

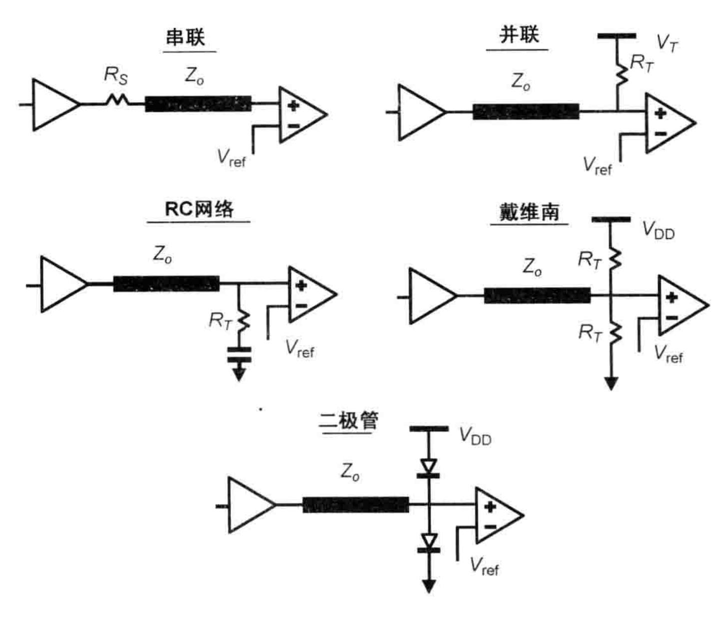


图 2.7　常用的端接匹配方法

串联端接匹配将电阻器接在发送器(Tx)一端。如果端接电阻(R_S)与 Tx 输出阻抗(R_{out})的总和等于传输线阻抗(Z_o)，那么通道在源端就被完美端接匹配了。由于电阻器分压的缘故，加到通道中的电压是 Tx 电压的一半。

并联端接匹配是将电阻器接在接收器(Rx)一端。将电阻器连接到电源(V_T)端或 GND 端。当电阻值(R_T)等于(Z_o)时，则通道在负载(Rx)端就被完美端接匹配了。当信号到达接收端时，R_T就将它从通道中取出。并联端接的主要缺点是它要消耗直流功率。

RC 网络端接匹配将电阻器和电容器放置在接收器(Rx)一端。类似于并联端接，在发生 AC 开关动作时，端接电阻器将信号吸收。电容器用于维持直流电压电平，从而降低直流功耗。该电阻器应该等于 Z_o，而电容值的选取应使 RC 常数大于负载传输时延的两倍(200 ~ 600 pF)。虽然过去 RC 网络端接比较流行，但由于大的 RC 常数，在数 Gb/s 的应用场合它已经变得比较少用了。

戴维南网络端接匹配在接收(Rx)端将一个电阻器连接到电源；并将另一个电阻器连接到 GND。它相当于并联端接，但不需要一个单独的端接电源(及由此产生的额外直流功耗)。在发生开关动作期间，经由端接就能提供出额外的电流，从而减轻了驱动器的负担。这种情况特别适合于如 TTL 逻辑一类高电压摆幅的应用。当用于 CMOS 系统时，电阻值必须经过精心挑选，以便符合 Rx 对开关电平的要求。

二极管网络端接匹配在接收器(Rx)端放置两个二极管。与电阻器不同，二极管并不吸收信号波形的能量。相反，它们只是限制过冲(overshoot)和下冲(undershoot)的大小(通常称为钳位)。实际上信号将被反射回通道。对于高频应用场合，不会单独使用二极管网络，需要将其与其他端接方法相配合使用。

2.1.4.1　片上端接匹配及片外端接匹配

人们可以在片上或片外(电路板上)实现端接匹配网络。这两个端接方案的电性能存在

很大的区别，尤其是对于甚高速的应用。片上端接的信号完整性性能比较好，有三方面的原因：

- 对于片外端接，接收器封装的寄生参数在高速时的行为如同桩线一样，因此信号并不完全被端接器吸收。
- 端接器经 PCB 走线连接到接收器的封装引脚。用于连接的这一节 PCB 走线也是一节桩线，形成一个阻抗的突变。
- 片外(板上)电阻器也有自己的封装寄生参数。对于数 Gb/s 的应用，片上端接是非常可取的。

片上端接匹配的另一个优点就是端接值可以动态地加以改变，这在多级系统中是很有用的，甚至可以在空闲期将其断开以降低功耗。另一方面，片上端接随着工艺和温度的变化会发生明显的变化。片上端接阻抗出现至少有 ±10% 的变化是常见的。对于高速接口，需要定期校正片上端接以适应温度的变化。

2.1.4.2 单端端接匹配与双端端接匹配

端接匹配网络可以出现在任何一端(串联或并联端接)，或同时在双端(串联加并联端接)都有。在许多实际应用中，采用一个单独的端接就足以消除通道中信号的反射——这时从一端反射的信号将被另一端吸收。相比双端端接而言，一个单端端接也能明显地降低功耗。然而，当通道内存在较强的多重反射，且通道电长度是 1/4 波长的整数倍时，将可能发生通道谐振。当在源端和负载端使用双端端接时，信号在两端都将被吸收。多次反射只在通道内发生。接收器只接收到这种多次反射。因此，在接收端的信号完整性将大为改善。如前所述，对于片上端接，阻抗的波动相当大。不需要高度精确的端接，双端端接也将大大降低反射。当然，这就需要在实现成本与性能目标之间进行权衡折中。

2.1.5 互连

互连或称为无源通道在高速信令中发挥重要的作用，它们被用于实现发送器和接收器之间的通信。事实上，当频率达到数吉赫兹以上时，互连已经变为一个主要的瓶颈。在系统级，一个典型的互连包括电缆、连接器、PCB 电源/地平面、PCB 走线、PCB 过孔、封装衬底走线、封装过孔、封装键合线、封装焊球、片上冲压焊凸点等。图 2.8 的示例是一个芯片到芯片的互连系统，一边是键合封装，另一边是 CSP(Chip-Scale Package，芯片尺寸封装)。由 PCB 上的走线将这两个芯片连接在一起。相比系统级的互连而言，在芯片级连接晶体管的走线要短得多，而且具有非常不同的电气性能。为了理解互连对于信号完整性的重要性，下一小节将根据简化的等效电路模型分析互连的电气行为。

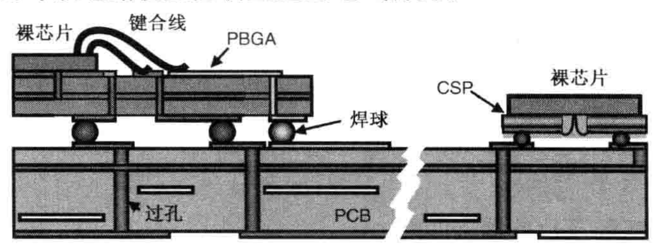


图 2.8 芯片-芯片间的互连系统

2.1.5.1　传输线的分布式模型

如电缆、PCB 走线和封装衬底走线一类的电大尺寸互连，需要采用分布式传输线模型以便准确地反映其电气性能(第 5 章将详细论述传输线)。本节只是讨论传输线的基本特性。

需要牢记的是，传输线有四个重要的电气特性。其一是对于给定长度的线存在有限的信号传输时延。例如，PCB 微带线的时延大约为 150 ps/in，带状线的时延则为 170 ps/in。其二是如果端接阻抗与特征阻抗不匹配，将会发生信号的反射。反射系数的值则由下式确定：

$$\Gamma = \frac{Z_o - Z_L}{Z_o + Z_L} \tag{2.1}$$

其中 Z_L是负载阻抗。当线的长度为 1/4 波长的整数倍时，线上就有驻波出现。在某些位置，入射波与反射波之间是正向加强，在其他位置则是反向抵消。这种情况称为谐振。另一种现象是当电阻(导线损耗)或电导(介质损耗)不可忽略时，信号就出现衰减。最后，当传播常数 γ 是频率的函数时，信号将发生色散。具体地说，就是信号高频分量的衰减比低频部分要多。当信号沿线传送时，其波形会发生变形。这样就出现了符号间干扰，换句话说，当前的信号(或位)波形，会受到在它前面传送信号(位)的影响而发生失真。

2.1.5.2　互连突变的集总模型

如图 2.9 所示，一个 π 形或 T 形等效电路模型可用于表征如封装键合线、封装/PCB 过孔、封装焊球/凸点、连接器引脚一类电小尺寸互连的行为。然而，随着频率的提高这种集总模型就不准确了。首先，它们没有提取出由导体和介质引起与频率有关的损耗。此外，它们并未表征分布式的行为。为了确保图 2.9 所示模型的准确性，电尺寸大小应该比最高感兴趣频率的波长还要短。也就是说，$l/\lambda_{min} \ll 1$，其中 l 是线长，$\lambda_{min} = 1/f_{max}$。通常情况下，这里的倍数选为 10。

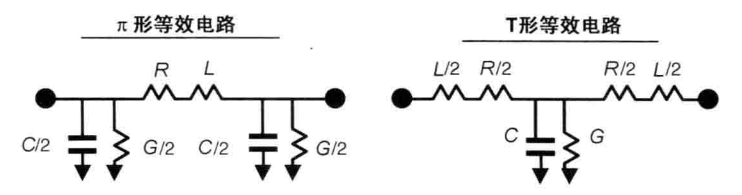


图 2.9　电小尺寸互连的 π 形、T 形集总等效电路模型

一个很短的互连如何影响到信号完整性？需要考察的两个基本特性是时延和反射。传输时延为 $t_d = 1/\sqrt{LC}$。尽管许多诸如焊球和过孔一类结构的单个时延可能很小，但这些时延可以沿互连路径进行累积。为了尽量降低不同信号线之间的错位，需要考虑由于各种互连结构引起的传输时延。由于实际阻抗与所设计传输线特征阻抗间的差异造成了反射。传输线的有效阻抗 $Z_{eff} = \sqrt{L/C}$。从式(2.1)可知，反射量与 Z_{eff}和 Z_o之差成正比。这样，互连设计工作的重点就是物理结构的优化设计，以便让阻抗 Z_{eff}与传输线的特征阻抗 Z_o相匹配。

2.1.6 时令

为了让系统能可靠工作，对于发送器何时发送数据、接收器何时接收数据，必须有一种协调一致的方案。这种方案称为时令(clocking)或时序公约。现将4类时令方案列举如下：

- **异步**：不使用时钟。这一方案使用握手机制以确保正确的事件排序。
- **同步**：每个构件都得到相同的时钟频率和已知的相位。
- **平均同步**：每个构件都得到相同的时钟频率，但时钟相位却未知。
- **准同步**：每个构件得到几乎相同的时钟频率，但时钟相位却缓慢漂移。

常用的时令架构有：公共(同步)时钟、源同步时钟、前传时钟、嵌入式时钟。公共时钟的时序方案最简单并被广泛使用，但其适用范围仅限于频率低于300 MHz的场合。源同步时序方案用于高性能系统，理论上不存在适用频率的上限。前传时钟会跟踪由于电源噪声和温度引起的时序波动。嵌入式时钟不仅可以跟踪发送器抖动，它也不再需要在系统中进行时钟布线。然而，它的跟踪带宽通常比前传时钟要窄。第10章将讨论不同时令方案的优缺点，并给出仿真用的模型。

2.2 噪声源

一个高速数字系统的鲁棒性在很大程度上取决于不同噪声源的影响程度。接收端的信号中包括意中预订的信号再加所有意外的噪声。人们设法提高信号的信噪比，消除噪声，或两者兼而有之，为的就是能可靠地传递信息。理解噪声源的机理并降低它们的影响，是实现高速信令鲁棒性的关键。

在数字系统中存在着两类噪声源。第一类噪声源直接影响芯片(发送器、接收器、时钟、端接器)的正常工作。这类噪声源包括电源噪声、晶体管器件噪声、α粒子、热(约翰逊)噪声、散弹噪声、闪烁噪声(或$1/f$噪声)、工艺波动、电磁干扰，等等。第二类噪声源直接影响无源通道。这类噪声源包括衰减(或损耗)、串扰、反射和/或谐振、符号间干扰，等等。

由自身生成的噪声(自生噪声)，其大小与信号的幅度成正比(即电源噪声、串扰、反射、电磁干扰)。自生噪声不可以简单地通过提高信号幅度而降低。另一方面，热噪声，或者工艺波动一类的噪声源，则是与系统的开关动作无关的。

噪声源可以分类为随机噪声与确定性噪声。器件的热噪声，或工艺波动，就属于随机噪声。随机噪声可以用无界高斯分布表征。当数据率小于3 Gb/s时，随机噪声对系统性能的影响是微不足道的。然而，当数据率高于3 Gb/s，尤其是高于5 Gb/s时，它就变成重要的因素。影响通道的噪声源(即符号间干扰或串扰)是确定性的。与随机噪声相反，确定性噪声是有界的。

本节主要讨论信号完整性工程师可以直接施加影响的电源噪声和通道噪声等噪声源。本节论述噪声源的基本机理，说明它们如何导致信号的退化，并最终降低了通道电压容限和时序的容限。虽然基本的噪声机理保持不变，但各种噪声源的相对重要性各不相同，这取决于特定系统中所用信令方案的情况。例如，串扰可能是单端信令系统中占主导地位的噪声源，而符号间干扰可能是差分信令系统中占主导地位的噪声源。信号完整性工程师所面临

的挑战是对特定系统进行准确详细的建模和仿真分析，判定各种噪声源的相对重要性。详见 *Digital System Engineering*[1] 中第 6 章对器件噪声、工艺波动、电磁干扰等方面更详尽的分析。

2.2.1 衰减或损耗

信号在通道中的衰减或损耗，主要由三种渠道或成分构成：器件的寄生电容(C_i)、传输线的介质损耗、传输线的导线损耗。

图 2.10 给出的是示例通道的一个等效电路。图中的 R_i 表示衬底损耗(通常小于 10 Ω)。C_i 表示源于不同机理，如 ESD(Electro-Static Discharge，静电放电)结构、端接网络、驱动/接收晶体管、布线金属等的寄生电容。C_i 是高频信号的一个低通滤波器。由端接决定的 RC 常数，决定了可以进入通道的发送信号上升边。要理解 C_i 是如何衰减高频信号的，需要分析由下式给出 R_iC_i 网络的散射参数：

$$S_{11} = S_{22} = \frac{-Z_0Y}{2 + Z_0Y} \tag{2.2a}$$

$$S_{12} = S_{21} = \frac{2}{2 + Z_0Y} \tag{2.2b}$$

其中，Z_o 是特征阻抗，而

$$Y = \frac{j\omega C_i}{1 + j\omega C_i R_i} \tag{2.3}$$

如果 Z_o 等于 50 Ω 且 R_i 等于 10 Ω，那么 S_{12} 将接近 0.28。这就是说仅仅是由于寄生电容 C_i 的缘故，将丢失 70% 的信号。C_i 值的大小，将决定了在给定频率点信号趋于由 R_i 确定的渐近线之前的损失量。这一示例说明了在高频通道损耗方面 C_i 的关键作用。对于数 Gb/s 数据率的情况，降低 C_i 是必需的。C_i 值是工艺和芯片设计的函数。ESD 的寄生电容值通常占 C_i 的 30% ~ 40%。C_i 随着器件尺寸的缩窄而降低。例如，130 nm 工艺的 C_i 值为 3 ~ 5 pF。65 nm 工艺下的 C_i 可以降低至 1.0 ~ 2 pF。

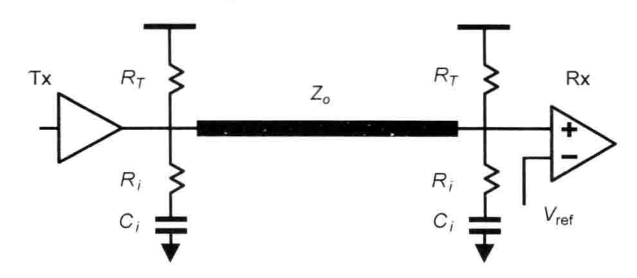


图 2.10　发送器和接收器的寄生电容模型

如图 2.8 所示，连接发送器和接收器的物理介质包括许多不同的寄生元件与传输线。这些物理介质的主要损耗机理是由于传输线损耗。人们用传播常数(γ)和特征阻抗(Z_o)，对此加以描述。传播常数是一个由下式确定的复数：

$$\gamma = \alpha + j\beta \tag{2.4}$$

传输线上的信号波表示为 $e^{-\gamma z}$ 的形式。实部(α)称为衰减常数，表示信号的损耗。当 α 大于零时，信号波呈现指数衰减。

传输线的四类损耗是：介质损耗、导线损耗、辐射损耗、漏电损耗。衰减常数由下式确定：

$$\alpha = \alpha_c + \alpha_d + \alpha_l + \alpha_r \tag{2.5}$$

其中，α_c是衰减常数的导线损耗；α_d是衰减常数的介质损耗；α_l是衰减常数的漏电损耗；α_r是衰减常数的辐射损耗。当数据率低于 20 Gb/s 时，由辐射损耗和漏电损耗造成的损耗微不足道。

由于材料性能引起的介质损耗是信号损耗中第二类主要源头。材料的介质损耗由损耗角正切加以表征。损耗角正切值由下式确定：

$$\tan\delta = \frac{\varepsilon''}{\varepsilon'} \tag{2.6}$$

其中，$\varepsilon = \varepsilon' - \mathrm{j}\varepsilon'' = \varepsilon_r(1 - \mathrm{j}\tan\delta)\varepsilon_0$，$\varepsilon_0 = 8.854 \times 10^{-12}$。介质损耗背后的机理是电荷的极化[2]。一个理想的介质材料，是没有自由电荷的。然而，所有的物质都是由分子组成的，分子中有带电的原子和电子。当一个随时间变化的电场加在材料上时，材料内部分子将按照与外加电场方向相反的方向排列。因此，材料被极化，分子中正的部分和负的部分偏移开其固有的均衡位置。时变电场引起了分子的振动。分子的振动产生热量并消耗电能。均质材料的介质衰减常数由下式确定：

$$\alpha_d = \frac{f \tan\delta \pi \sqrt{\varepsilon_r}}{c} \tag{2.7}$$

其中，c 是真空中的光速。非均质材料传输线的衰减常数，形式上与均质材料是一样的，只是要用有效介电常数取代介电常数 ε_r[2]，ε_r是有介质与无介质时电容之比值。

关于式(2.7)，重要的是要注意介质损耗随着信号频率和损耗角正切的增大而线性增大。最常见的 PCB 材料为 FR4，它的损耗角正切为 0.02。为了降低信号损耗，需要使用如 Rogers 4350 一类低损耗角正切的材料，但代价是其成本很高。对于消费类产品而言，这未必是可以接受的。但是，对于计算机服务器或因特网路由器的背板而言可能是可行的。此外，介电常数和损耗角正切还可能是频率的函数。它们也可能是温度和湿度的函数。例如，FR4 的损耗角正切值在高温时可能会增加至 0.03；介电常数在较高的湿度下也可能要增加 20%。

信号损耗的第三类主要源头是传输线的导线损耗。导体的直流电阻由下式确定：

$$R_{\mathrm{dc}} = \frac{\rho l}{A} \tag{2.8}$$

其中，ρ 为电阻率，l 是导线长度，A 是横截面积。导线内部的阻抗是频率的函数

$$Z_s = R_s(1+\mathrm{j}) \tag{2.9}$$

其中的表面电阻 R_s由下式确定：

$$R_s = \frac{1.0}{\sigma\delta} = \sqrt{\frac{\pi f \mu}{\sigma}} \tag{2.10}$$

而集肤深度则由下式确定：

$$\delta = \frac{1.0}{\sqrt{\pi f \mu \sigma}} = \sqrt{\frac{2.0}{\omega\mu\sigma}} \tag{2.11}$$

重要的是，要注意到交流导线损耗与频率的平方根成正比。对于同轴电缆，衰减常数由下式求得：

$$\alpha_c = \frac{0.014\,272\sqrt{f}}{Z_0}\left(\frac{1}{d} + \frac{1}{D}\right) \quad (\mathrm{dB/m}) \tag{2.12}$$

其中，Z_o是特征阻抗；d 和 D 分别是导体的内、外直径。对于微带线而言，衰减常数的闭合公式则更为复杂(详见参考文献[2]的 p. 96)。

导体的表面粗糙度引起了额外的损耗。要对微带线的衰减常数修改[3]如下：

$$\alpha_c = \alpha_{c0}\left(1.0 + \frac{2.0}{\pi}\arctan\left[1.40\left(\frac{\Delta}{\delta}\right)\right]\right) \tag{2.13}$$

其中，α_{c0}是一个完全光滑导体的衰减常数，Δ 是表面粗糙度有效值(RMS)，δ 是集肤深度。当表面粗糙度与集肤深度之比达到 2 时，导体的电阻率可增大 75%。

从前面讨论中可以得出一个显而易见的结论：由 C_i 和传输线引起的损耗与信号频率相关。对于一个长度小于 6 in(英寸)的 PCB 走线，C_i 主导了信号的损耗。相比之下，一个 FR4 的 18 in 走线，介质损耗将占主导地位。当选用如 Rogers 一类的有损介质材料时，导线损耗会显得突出一些。

2.2.2　串扰

串扰噪声(或耦合噪声)是一个通用术语，指的是信号-信号耦合、信号-电源耦合、电源-信号耦合等。串扰是芯片、封装、印制电路板、连接器等物理设计的直接后果；在其中发生了电磁耦合。片上的串扰主要是电容性(即电场耦合)的。相反，由于封装键合线引起的串扰则主要是电感性(即磁场耦合)的。一般情况下，特别是对于传输线而言，同时存在电容性和电感性耦合。串扰噪声可分为近端串扰(NEXT)和远端串扰(FEXT)两类。NEXT 是指在信号发送一侧看到的串扰噪声。FEXT 是指在信号接收一侧看到的串扰噪声。第 5 章将详细讨论 NEXT 和 FEXT。

2.2.3　反射和谐振

当传输线阻抗存在突变时，就会有反射发生。阻抗突变经常在物理尺寸不匹配的情况下出现，例如过孔、BGA 焊球、连接器等。此外，由于制造工艺引起物理尺寸(如介质层厚度、线宽、线间距等)的波动也会造成阻抗的波动。在低成本的大批量生产中，PCB 阻抗有 ±10% ~ ±15% 的波动；封装阻抗有 ±20% 的波动都是常见的。

2.2.4　符号间干扰

符号间干扰(ISI)不是一个独立的噪声源：它是通道与频率相关损耗和反射的结果。作为一个示例，图 2.11 给出在长背板通道接收端的一个单位响应。图中的每一个圆圈表示某一位(bit)数据的位中心。从图中可以看出，由于通道中存在比较大的频率相关损耗，单位脉冲响应被加宽：在前面多占了一位(或前光标)，后面多占了 4 位(后光标)。在反射的情况下，以往位的残波将叠加到当前位的波形上。从单独位(single-bit)响应的角度看，无论是由于损耗或反射，对符号间干扰的影响和效果是相同的。然而，对于较长的低损耗通道而言，反射可能比衰减会占据更多的位。

如图 2.12 所示，为了说明符号间干扰是如何产生误码的，假设 Tx 发送一个 101 的模板。由于通道是一个线性时不变系统，在接收端最终形成的波形是多个单位脉冲时移后的简单叠加。对于中间的单独 0 位而言，由于它前面第一个单独 1 位脉冲的后光标与它后面单独 1 位脉冲的前光标在此相叠加，使这个原本的 0 位变成了 1 位，从而就发生了误码。

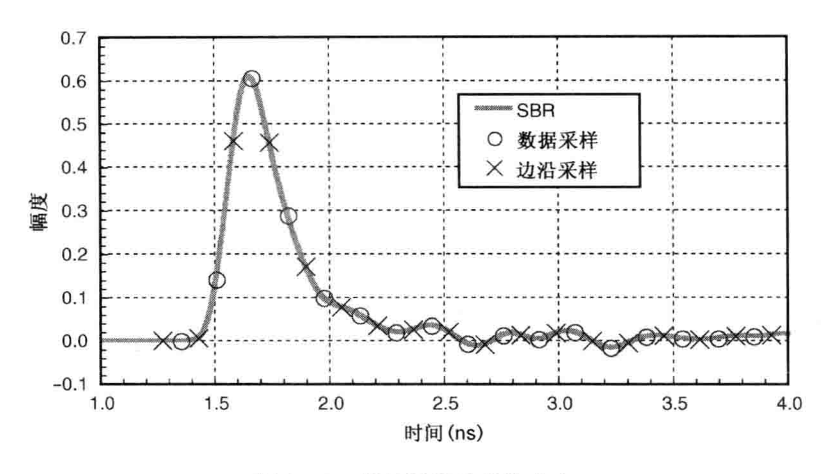


图 2.11　背板通道的单位响应

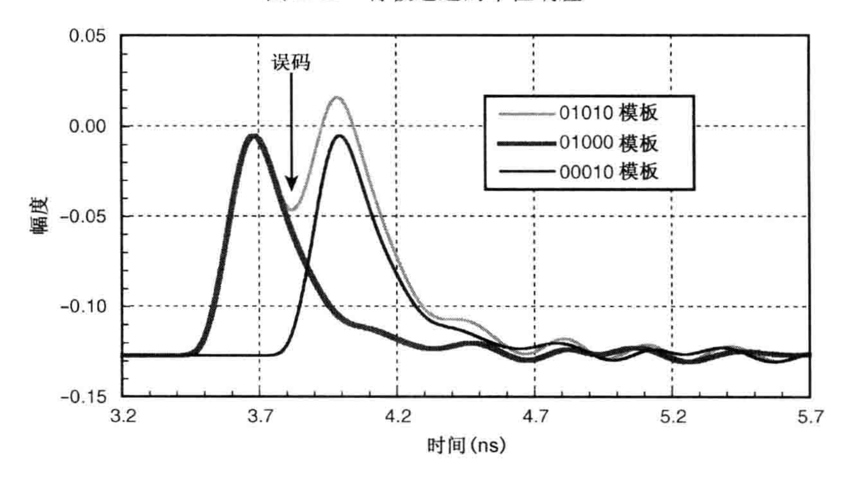


图 2.12　由大 ISI 引起的位误码

2.2.5 电源噪声

电源噪声及其对链路抖动的影响，是高速接口的主要瓶颈之一。必须精心设计电源分配网络(PDN)，以限制电源噪声。最近，出版了好几部电源分配网络设计方面的优秀专题教科书[4~6]。然而，书中并未涉及 PDN 对链路抖动的影响。本书的第Ⅲ篇将专题详细讨论电源噪声引起的抖动。这里，只是简单介绍与电源噪声有关的几个关键问题。

2.2.5.1 PDN 网络及旁路电容器

一个旁路电容器，可以提供片上开关器件所需的瞬时电荷并降低 PDN 的阻抗。电源分配系统由三个不同的层次构成：芯片、封装和 PCB。在每一个层次，电容器在不同频率范围内抑制电源噪声。例如，由片上电容器抑制甚高频噪声(大于 500 MHz)。在当代的高速设计中，为了可靠工作必须具有片上去耦电容器。许多系统级的设计师往往忽略这种片上电容而超标准地设计 PDN。同样，中、高频噪声由封装和 PCB 上不同大小和类型的电容器加以抑制。重要的是要注意，PCB 上由于寄生电感的缘故使得电容器在高频时不太有效。封装上的电容器则由于较低的寄生电感变得更有效些。封装的 PDN 电感往往大于 PCB 上 PDN

的电感。在采用引线键合封装时尤其如此。此外，在电源分配网络中的封装电感与片上旁路电容器互相作用，构建出电源分配网络有效阻抗的一个谐振点。如果在谐振频率点处存在有最大的开关电流，就会出现电源噪声的最大值。图 2.13 给出典型 PDN 阻抗与频率的关系曲线，其中封装谐振频率最常发生在 100～300 MHz 之间。对于给定的开关电流量和能允许的电压波动(包括直流压降和交流噪声)值，设计的标准就是在很宽的频段内为 PDN 设定一个低于某一界限的目标阻抗值。

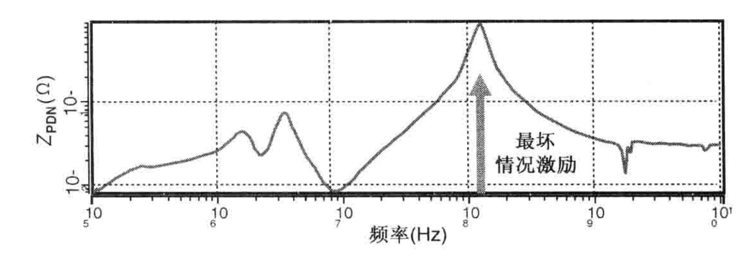


图 2.13　电源分配网络的有效阻抗

2.2.5.2　电源噪声及片上电路

不同的噪声源，包括串扰/反射(直接影响通道信号)、电源噪声都将直接影响到电路工作的功能和性能。电源噪声以几种不同的方式降低系统的性能：第一，电源噪声增加了设计中信号时延的不确定性。当电源电压低于标称电压时，信号时延可能会增大；当电源电压高于标称电压时，时延会减小。电源噪声对时钟和数据信号传送的净效应就是时延的不确定性增大；并影响数据路径的最大时延。例如，电源电压 ±10% 的波动可能会导致时钟缓冲器和时钟分配网络时延 ±15% 的波动。当然，这取决于工艺和电路设计。因此，电源噪声对设计的最高工作频率提出了限制。

第二，电源噪声加大了片上时钟的抖动。在一个典型的高速链路中，锁相环(PLL)根据输入的参考时钟(RC)生成了片上时钟。如图 2.14 所示，PLL 由鉴相器(PD)、电荷泵(CP)、回路滤波器(LF)、压控振荡器(VCO)、分频器(÷)构成。在这些电路模块中电源电压的波动引起了 PLL 时钟输出的时序抖动。特别是 VCO 上的电源噪声在对时序抖动的贡献方面占据主导地位。此外，在时钟缓冲器和时钟分配网络上的电源噪声动态改变着时钟的时延，如前所述，这将引入额外的时序抖动。图 2.15 绘制出各电路模块的 PLL 频域噪声传递函数。具体地说，参考时钟的噪声曲线是一个低通滤波器，这是由于 PLL 的反馈路径完全跟踪了输入的相位噪声，在输出端产生相同的相位噪声。另一方面，时钟缓冲器的噪声曲线则是一个高通滤波器，缓冲器是直接在输出端布线，反馈路径不能提供滤波。VCO 的噪声曲线又是一个带通滤波器，低频相位噪声经环回路径缓慢地被跟踪清除掉(由于积分效应)；而高频相位噪声则靠 VCO 的电源噪声灵敏度加以滤除。

第三，电源噪声将降低电路的噪声容限和净空余量。验证电路对电源噪声的灵敏度是关键电路模块的一个主要设计目标。一个典型的电路设计目标是确保电源电压偏离标称值 ±10% 最坏波动情况时能鲁棒地工作。这种波动包括直流(IR 压降)和交流(动态降噪)分量。如果电源噪声超出了设计目标，比如出现最坏的 PDN 谐振情况，电路由于没有了足够的电压净空余量以维持正常的工作就有可能会出故障。遗憾的是，这一设计目标已变得越发难以实现。第 14 章将详细讨论这一专题。

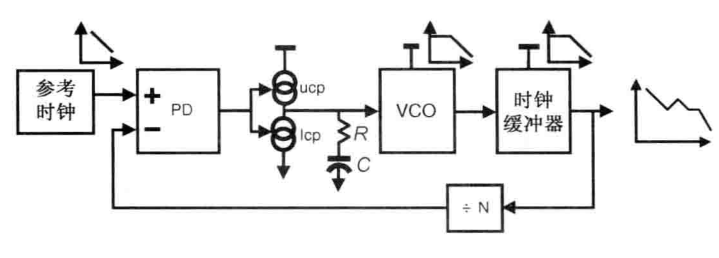


图 2.14 PLL 抖动模型

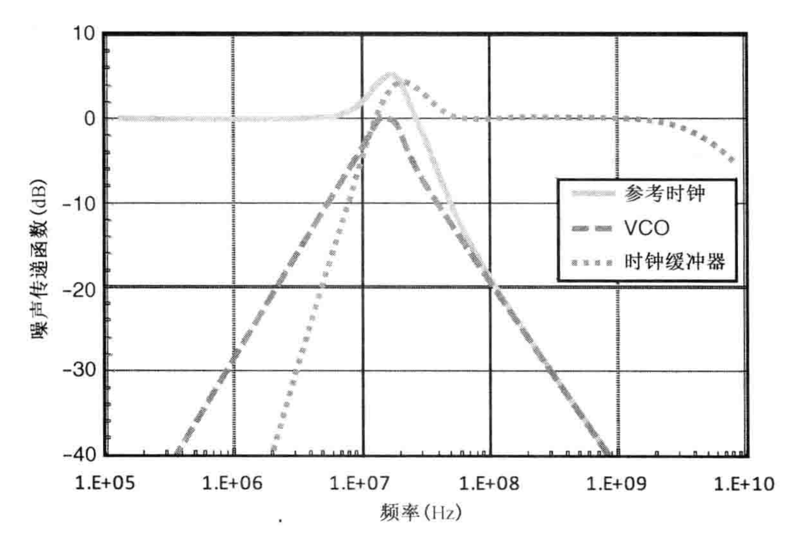


图 2.15 PLL 噪声传递函数

最后，电源噪声还会降低栅极氧化层的可靠性。为了提高器件性能并降低功耗，人们将工艺尺寸减小，使得栅氧层的厚度减小。这时，薄氧层就有引发电子隧穿和可靠性问题的风险。特别是高电源电压增加了薄氧层上的应力，降低了其长期的可靠性。因此，必须限制电源电压的过冲，以最大限度地降低器件被击穿的风险。

2.3 抖动的要点与分解

对抖动进行表征和仿真，已成为高速链路设计中一个不可分割的环节。本节将介绍抖动的基础知识及各分量的分解；将上节提到的噪声源和抖动源分类并套用到抖动的不同分类中。对于高速链路中的抖动问题，建议进一步阅读 M. P. Li 的著作[13]。

2.3.1 抖动表征

抖动被定义为在数字信号的一些重要瞬间时刻[14]，出现相对于其理想位置的短时波动。缓慢的时序波动(小于 10 Hz)称为徘徊或漂移，抖动则是指更为快速的波动。人们用各种仪器，如示波器、实际时间或等效时间(采样)示波器、时间间隔分析仪(TIA)、频谱分析仪等，去进行抖动的测量。不同的测量仪器给出不同的抖动表征报告。本节评介 6 种常用的抖动表征：抖动序列、抖动频谱、自相关、功率谱密度(PSD)、概率密度函数(PDF)和相位噪声等。

2.3.1.1　抖动序列与频谱

对于一个给定的数据模板，抖动序列就是抖动量的一种简单序列。在图 2.16 的示例中，给出了一个数据模板以及一些可能出现的偏差。在这个示例中，Δt_1、Δt_2、Δt_3、Δt_4、Δt_6、Δt_7、Δt_9表示的就是抖动序列。如图所示，视数据模板的情况不同，会缺失一些抖动项。对于时钟模板，所有的抖动项都将出现。抖动序列又称为时间间隔误差(TIE)或相位抖动。可以将抖动序列绘制成曲线，就可以看出抖动的特征。图 2.17 给出了一个时钟信号的正弦抖动，其中纵轴就是在时间上的抖动量。

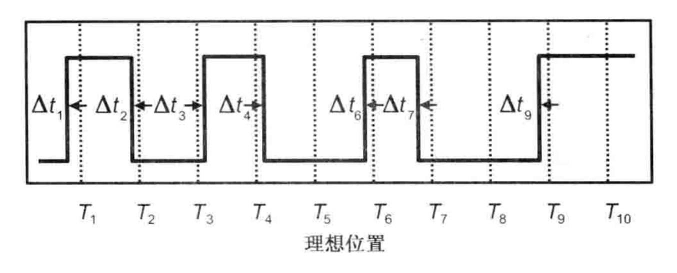


图 2.16　采样数据模板的抖动序列

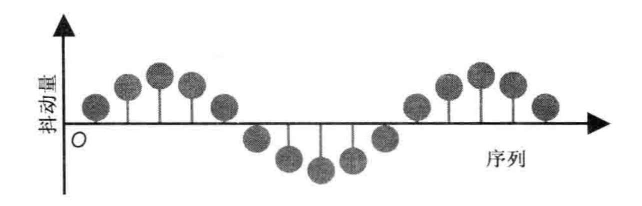


图 2.17　正弦抖动序列的曲线

对于给定的时钟模板，周期抖动被定义为相对于理想周期的周期偏差。通过计算抖动序列的差，可以求出周期抖动。周期到周期抖动被定义为相邻两周期之间的差。计算周期抖动之间的差，就可以求得周期到周期抖动。一个更一般的 n 周期抖动，定义为间隔 n 个周期的两周期之间的差。n 周期抖动的概念定义出抖动的技术规范，用于控制抖动频谱的分量。例如，通过提高 n 的阶数，将会看到更多的高频抖动分量。

图 2.18 给出了一个正弦抖动的相位抖动、周期抖动和周期到周期抖动的测量结果。如图所示，周期抖动滤除了有效的低频抖动分量。周期抖动以及周期到周期抖动的测量结果表明它们都有效地滤除掉了低频抖动分量，但并未滤除高频抖动分量。有一点令人感兴趣的是，虽然周期到周期抖动测量中比周期抖动测量中滤除了更多的低频分量，但它却稍微地放大了高频抖动的测量。

时域的抖动序列可采用傅里叶变换转化为频域的抖动频谱。相反，使用傅里叶逆变换可以把抖动频谱转化成抖动序列。如图 2.16 所示，对于某一数据模板生成的抖动序列，并非所有的抖动项都有定义。这种情况下为了求出抖动频谱，可以在进行傅里叶变换之前通过内插将缺失的抖动项补上。

抖动序列可以在时域直接测量，而抖动频谱却不能直接在频域测量。因此，抖动频谱在实践中的用途有限。然而，在进行链路抖动仿真时它还是很有用的。因为它避免了在时域将抖动序列与抖动传递函数做卷积运算，提供了求解抖动响应的一种有效方式。

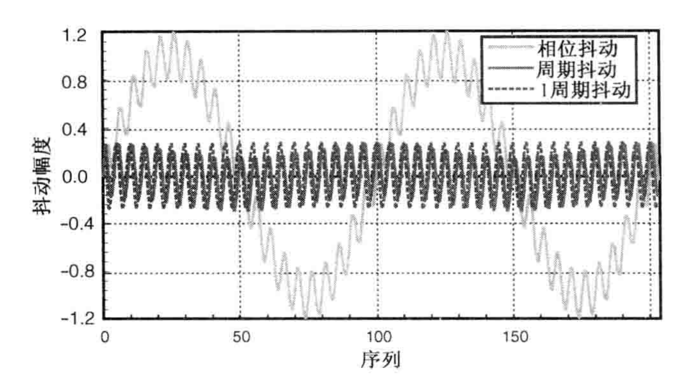


图2.18 在1 GHz时钟中测出有10 MHz且幅度为1.0和200 MHz且幅度为0.2的正弦抖动

2.3.1.2 功率谱密度及自相关

描述抖动随机过程采用的是功率谱密度(PSD)，而不是抖动频谱。PSD可以用一个相位检测器加上频谱分析仪进行直接的测量[15]。在PSD的频率曲线上可以看到抖动的不同特性。位于数据频率整数倍处的抖动尖峰属于数据相关抖动。位于其他频率处的抖动尖峰则是周期抖动。将抖动尖峰除去之后的本底噪声，就是随机噪声部分。

抖动序列的自相关与PSD之间是一对傅里叶变换的关系：

$$S_{\Delta t}(f) = \int_{-\infty}^{\infty} R_{\Delta t}(t)\mathrm{e}^{-\mathrm{j}\omega t}\mathrm{d}t \tag{2.14}$$

其中

$$R_{\Delta t}(\tau) = \int_{-\infty}^{\infty} \Delta t(t+\tau)\Delta t(t)\mathrm{d}t \tag{2.15}$$

$\Delta t(t)$是时钟信号的时间间隔误差(TIE)，或相位抖动；τ是延迟时间。因此，PSD或自相关$R_{\Delta t}(\tau)$，可以从TIE或抖动序列数据中计算求得。

2.3.1.3 相位噪声

当抖动成为数字设计师的一个严重问题之前，是射频设计师首先对它进行了研究。而RF界在谈及相位抖动时，普遍采用的是相位噪声。本节将回顾一下相位噪声与相位抖动之间，或者抖动序列与PSD之间的差异。

相位噪声不是电压噪声：它是一种时序上的抖动，用以表示时钟信号的相位偏差。为了观察抖动与相位噪声之间的差别，下面讨论正弦波信号：

$$X(t) = \sin(2\pi f_0 t + \varphi(t)) \tag{2.16}$$

其中，f_0是标称频率，$\varphi(t)$是相位噪声或波动。为了找出它与抖动($\Delta t(t)$)的关系，将上述公式改写为：

$$X(t) = \sin(2\pi f_0(t + \frac{\varphi(t)}{2\pi f_0})) \tag{2.17}$$

这样，相位抖动与相位噪声的关系为：

$$\Delta t(t) = \frac{\varphi(t)}{2\pi f_0} \tag{2.18}$$

在射频应用中的相位噪声，往往是在频域进行讨论，而不是在时域进行处理的。相位噪

声的 PSD 与抖动 PSD 之间的关系由下式确定：

$$S_{\Delta t}(f)=\frac{1}{(2\pi f_0)^2}S_{\varphi}(f) \tag{2.19}$$

$S_{\Delta t}(f)$ 和 $S_{\varphi}(f)$ 的单位分别为 s^2/Hz（秒^2/赫兹）和 rad^2/Hz（弧度^2/赫兹）。如果将相位抖动归一化到一个单位间隔（UI），那么比例系数就简化为 $1/(2\pi)^2$。抖动的 RMS（有效值）是最流行的抖动测量参数之一，它被定义为：

$$J_{\mathrm{RMS}}=\frac{1}{2\pi f_0}\sqrt{\int_{f_L}^{f_H}S_{\varphi}(f)\mathrm{d}f} \tag{2.20}$$

2.3.1.4　统计域中的抖动概率密度函数

抖动还可以在统计域进行分析，这时采用直方图、概率密度函数、累积分布函数（CDF）等。以某一个感兴趣的参数值范围为自变量，绘制出它们出现的频数，这就是直方图。直方图的高度表示落在一特定单位区间内的事件个数。然后，把每一个单位区间内的事件个数除以事件总数，这就将直方图归一化为概率密度函数。

同样的情况如图 2.19 的眼图所示，人们可以在一个参考电压处将边沿时刻加以分选，就可以获得一个时序直方图。从直方图中，人们可以获取如均值、中值、标准偏差、峰-峰值等许多统计数据。如果眼图直方图是通过平均［如同安捷伦的数字采样示波器（DCA）的眼线模式那样］获得的，这时的直方图就消除了随机抖动。否则，直方图中将包含确定性抖动和随机抖动在内。直方图是眼图的一种补充，提供了对抖动分量的进一步观察和理解。

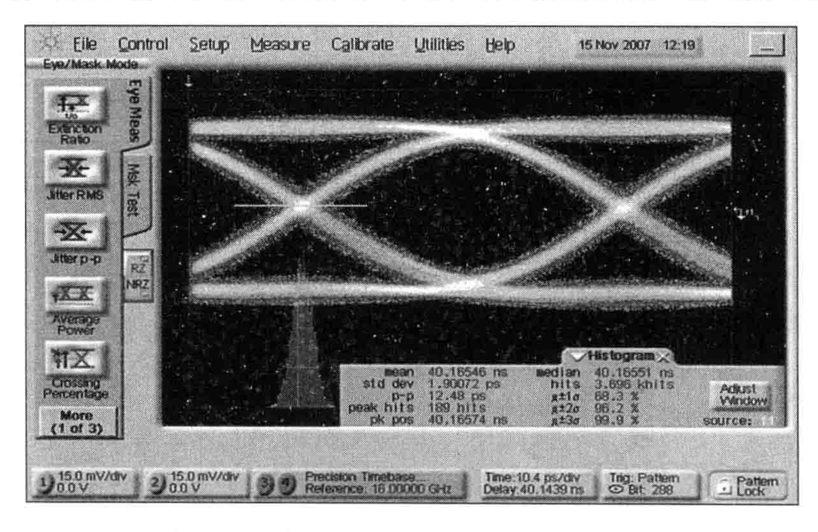


图 2.19　从 16 Gb/s 的眼图生成的采样直方图

虽然 PDF 提供了一个描述抖动分布的便捷方式，但这一抖动表征确实是一个相当简化的版本，因为它失去了时间和频率信息。因此，不能将其转换为其他更为一般的抖动表征，也不能将其用于仿真准确的抖动放大或跟踪情况。正如第 6 章中所讨论的，基于统计 PDF 模型的链路分析比其他一般模型（如序列抖动、抖动谱、PSD 等），经常会给出更为悲观的结果。

2.3.2　抖动分解

如图 2.20 所示，为了便于识别和理解抖动源，通常将抖动分解成各种抖动分量。具体来说，抖动分为两大类：确定性抖动和随机抖动。确定性抖动可以分成数据相关抖动(DDJ)和有界不相关抖动(BUJ)。占空比失真是数据相关抖动的一个示例，而周期抖动是有界不相关抖动的一个示例。正弦抖动(SJ)是周期抖动中一种单一频率的情况。现代测试仪器，比如安捷伦的数字通信分析仪(DCA-J)，作为时域波形测量后处理的一部分，对抖动进行分解。图 2.21 给出了安捷伦的 DCA-J 的一个输出示例。重要的是要记住，抖动分离方法是基于数学模型的一种近似。本节下面对各种抖动分量做一简短阐述。

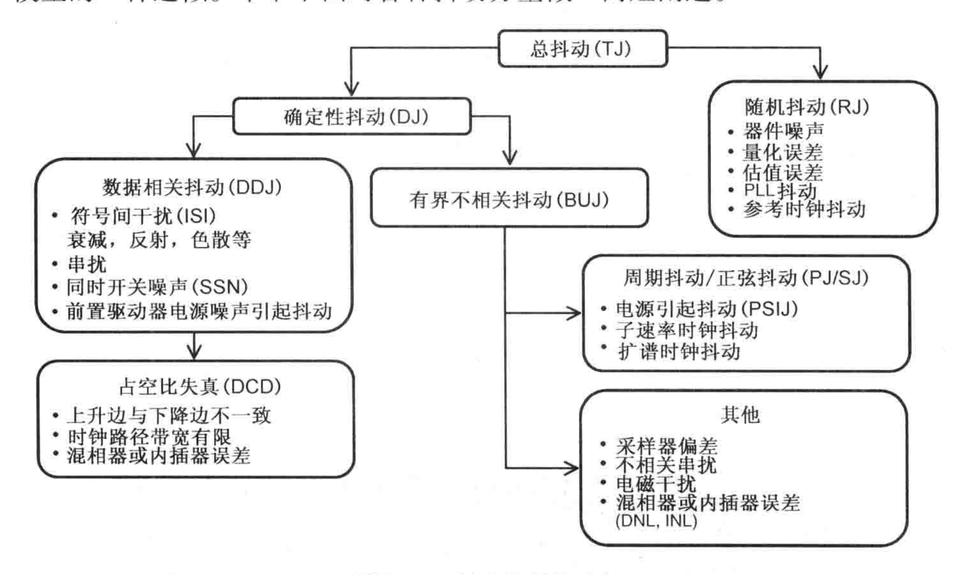


图 2.20　抖动分量的分解

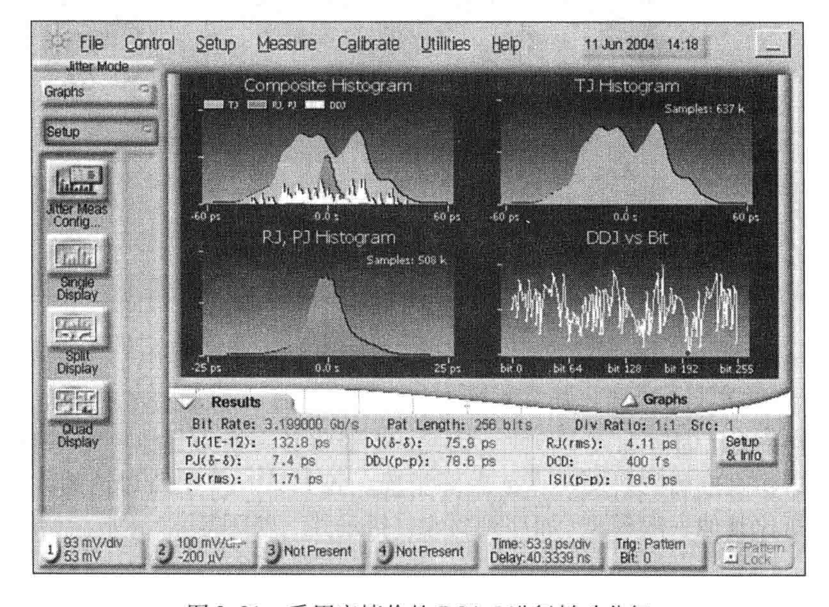


图 2.21　采用安捷伦的 DCA-J 进行抖动分解

确定性抖动(DJ)是可重复、可预估和有界的。确定性抖动可以根据峰-峰值加以量化。如图 2.20 所示，确定性抖动包括数据相关抖动和有界不相关抖动两种。数据相关抖动定义为任何与链路数据模板相关的抖动成分，是由无源通道引入的几种非理想情况导致的，包括通道衰减、串扰和反射。占空比失真和符号间干扰都对数据相关抖动有贡献。关于符号间干扰，曾在 2.2.4 节中专门讨论过。占空比失真是指在数据模板中脉冲宽度的波动。用 101010 模板对此进行说明是最有效的。位 1 的脉冲宽度可能与位 0 的宽度不同。发送器中奇模和偶模时延的不匹配，是引入占空比失真的典型情况。对于单端信令的情况，占空比失真也可以是由于上升和下降边的不匹配，或者判决阈值比设定值是变高了或变低了的情况。此外，因为窄脉冲包含更多的高频分量，很容易被通道衰减，所以占空比失真经有损通道后会加剧。

有界不相关抖动是指任何与数据流不相关的有界抖动。周期抖动是有界不相关抖动的一个示例，是一种独立于数据模板之外，按一定时间周期重复的抖动。一般情况下，周期抖动由多个频率分量(正弦抖动)构成。电源调制往往是系统中周期抖动的源头。还有许多其他的有界不相关抖动示例，包括任何与数据模板不相关的串扰、相位内插误差、由电磁干扰形成外部噪声引起的抖动等。

另一方面，随机抖动(RJ)是无界且难以预估的。因为随机抖动的主要原因是晶体管的热噪声，通常将随机抖动假定为高斯分布。更为重要的是，根据中心极限定理，采用高斯分布可以近似许多互不相关的随机噪声源的合成结果。因为高斯分布是无界的，随机抖动的峰-峰值在理论上是无限的，这时用峰-峰值去量化表征随机抖动是毫无意义的。因此，表征随机抖动的最适当参数是标准差，或者说均方根(RMS)值。如第 6 章所述，取决于 BER 的不同，随机抖动对链路总抖动的影响，可以表示为 RMS 值乘以 Q 因子的两倍。

2.4　小结

本章简要地回顾了 I/O 信令的基本构件：通道拓扑结构、驱动器选项、端接匹配选择、时令架构等。一个成功的通道设计必然是对目标应用的性能、功耗、成本等进行良好的权衡折中。除了这些基本的信令模块之外，本节还介绍了各种噪声源的机理和抖动的基本知识。一个优秀的信号完整性工程师需要能理解并量化这些噪声源的影响。本书内容的一个重心，就放在对这些噪声影响的建模与仿真上。

参考文献

1. W. Dally and J. Poulton, *Digital System Engineering*, Cambridge University Press, 1998.
2. B. C. Wadell, *Transmission Line Design Handbook*, Artech House, 1991.
3. A. E. Sanderson, "Effect of surface roughness on propagation of the TEM mode," *Advances in Microwave*, vol. 8, L. Young, ed., Academic Press, 1971, pp. 2-57.
4. A. V. Mezhiba and E. G. Friedman, *Power Distribution Networks in High Speed Integrated Circuits*, Kluwer Academic, 2004.
5. M. Swaminathan and A. E. Engin, *Power Integrity Modeling and Design for Semiconductors and Systems*, Prentice Hall, 2008.

6. I. Novak, Ed., *Power Distribution Network Design Methodologies*, IEC, 2008.
7. W. Hobbs, A. Muranyi, R. Rosenbaum and D. Telian, "IBIS: I/O buffer information specification, overview," http://www.vhdl.org, January 14, 1994.
8. S. B. Huq, "Effective signal integrity analysis using IBIS model," presented at the IEC DesignCon, Santa Clara, CA, 2000.
9. C. C. Huang, K. S. Oh, and S. Rajan, "The interconnect design and analysis of Rambus memory channel," *The Pacific Rim/International, Intersociety, Electronic Packaging Technical/Business Conference* (InterPack'01), Kauai, Hawaii, Jul. 8-13, 2001.
10. A. Varma, M. Steer, and P. Franzon, "SSN issues with IBIS models," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2004, pp. 87-90.
11. Z. Yang, S. Huq, V. Arumugham, and I. Park, "Enhancement of IBIS modeling capability in simultaneous switching noise (SSN) and other power integrity related simulations – proposal, implementation, and validation," in *Proceedings of International Symposium on Electromagnetic Compatibility*, Aug. 8-12, 2005, vol. 2, pp. 672-677.
12. A. Varma, M. Steer, and P. Franzon, "Improving behavior IO buffer modeling based on IBIS," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 4, pp. 711-721, Nov. 2008.
13. M. P. Li, *Jitter, Noise, and Signal Integrity at High-Speed*, Prentice Hall, 2007.
14. Bell Communications Research, Inc (Bellcore), "Synchronous Optical Network (SONET) Transport Systems: Common Generic Criteria, TR-253-CORE," issue 2, rev. no. 1, Dec. 1997.
15. Agilent App. Note 1432, "Jitter analysis techniques for high data rates" (2003).
16. H. Hatamkhani and C.-K. K. Yang, "Power analysis for high – speed I/O transmitters," in *Proceedings of International Symposium on VLSI Circuits*, Jun. 17-19, 2004, pp. 142-145.

第Ⅰ篇
通道建模与设计

第3章　通道建模与设计方法学
第4章　网络参数
第5章　传输线

第3章　通道建模与设计方法学

袁兴朝，Ravi Kollipara，Dan Oh，施浩

无源互连(或通道)与发送器(Tx)、接收器(Rx)一样，是I/O系统中的三个主要构件之一。通道将Tx与Rx相连接。从Tx输出的信号，由于无源通道的通道损耗、色散、反射、串扰等，可能会失真。当数据率足够低时，我们可以忽略无源通道的影响。在数Gb/s的数据率下，通道就成为实现目标数据率的限制因素。此外，通道的影响与所采用的信令方案强相关。具体而言，对于给定的数据率，通道对单端信令的影响比对差分信令的影响大，这是因为单端信令的串扰和同时开关噪声都比较大。在现代设计中，不能忽略无源通道的影响而必须对其进行评估。

高速通道设计提出了许多严峻的挑战，尤其对于数据率达到数吉赫兹范围的情况。首先，必须研发出一套系统性的通道建模及仿真方法学。对于设定的目标数据率，模型必须足够准确，人们才能够在系统环境中对它们进行有效的仿真。可能需要数百(甚至上千)次的仿真迭代，针对通道的拓扑结构、通道参数及其波动、信号调理方案等，进行系统的优化设计。其次，必须采取一种信号完整性驱动的物理设计。一定要注意封装、PCB、连接器中的串扰和阻抗突变。人们还要精心设计电源分配网络，以尽量降低电源噪声对系统性能的影响。最后，还必须严格地将通道模型与实际硬件测试进行关联比对；验证实际工艺、电压、温度(PVT)下的系统性能。图3.1说明了通道设计中的这些重要内容，并列出了所涉及的具体步骤。



图3.1　无源通道的设计过程

3.1　通道的设计方法学

为了演示我们如何成功应对高速通道设计中的挑战，本章介绍在Rambus公司Direct RDRAM和XDR通道设计中一套行之有效的设计过程和方法学[1~4]。通道的设计和建模方法学，本质上就是将器件和系统的特性与体系结构的约束进行权衡折中的过程。在这一过

程中，要提出能确保系统在预定频率、所有处理范围内、各种环境条件下都能正常工作的构件和通道技术规范。重要的是要认识到，并不是所有的信号完整性工程师都有机会从头对I/O接口进行定义。典型的示例是，标准制定机构已经定义了信令方案与规范。有时候，该机构只定义了系统中的一部分，比如在存储器接口方面就常常是这种情况，其中只对存储器的技术规范做出了明确的规定。理解标准是如何制定的，对于执行权衡折中分析非常有用。在下面的讨论中，假设我们有一个选择机会去定义和设计I/O接口。

Rambus公司的通道设计方法学认为，对系统级造成的影响，是制定所有器件技术规范和系统需求的关键要素。如图3.2所示，我们采用自上而下的方法学，即用系统级的技术规范指引构件级的技术规范。第一步，信号完整性工程师与架构工程师一起定义出系统需求。第二步，先执行一阶分析，基于对以往设计和数据的外推建立起通道的模型。第三步，根据拟议的信令拓扑及方案，试图找出关键的通道参数。我们分析这些关键参数，以评估其对系统性能和设计目标的影响。第四步，如果对设计满意，构建出一个更详细的通道(信号完整性)模型和电源完整性模型。然后，我们使用这些模型定义出各种通道构件的初始技术规范，包括Tx和Rx参数。这些技术规范定义了I/O芯片/电路的设计。

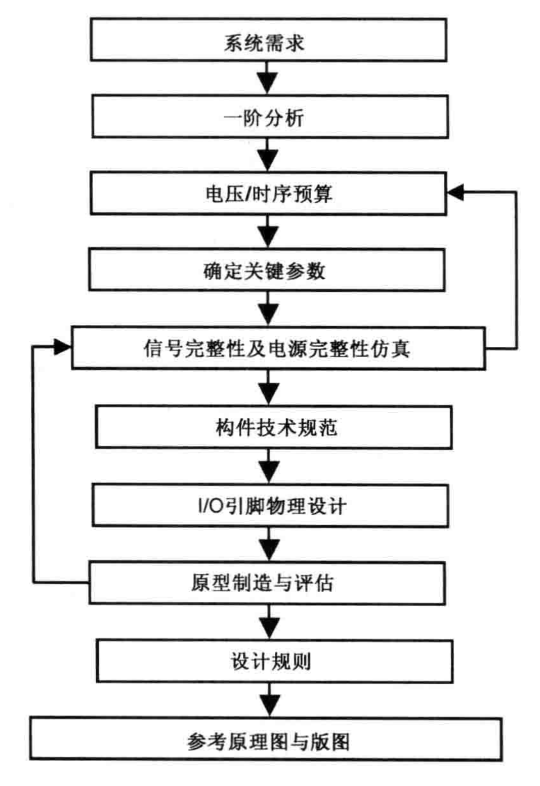


图3.2　自上而下的通道设计方法学

关键的设计目标是要允许在最坏情况的工艺波动下，也能确保系统鲁棒地工作。为了实现这一目标，需要对所有的系统构件规范进行权衡折中，不要对任何特定的构件过分限制(这可能导致严重或不必要的成品率下降)。在图3.2所勾画的设计过程中，需要回答如下一些问题：

- 使用什么样的信令方案，是单端的或是差分信令?
- 如何在点到点和总线拓扑结构之间进行权衡折中选择?
- 需要支持的最大数据率是多高?
- 设计的限制因素是什么? 是无源通道或是器件?
- Tx 和 Rx 的特性是什么?
- 适当的 Tx 电压摆幅和 Rx 电压灵敏度是多大?
- 什么是可接受的 Tx 输出时序(t_Q)和 Rx 输入时序(t_S/t_H)?
- 是否需要有源的信号调理(Tx 或 Rx 均衡)?
- 是否需要对每位进行时序校正? 这种校正是一次性还是周期性进行的?
- 是否需要片上端接匹配(ODT)? ODT 的值和容差是多少?
- 是否需要校正 ODT 和驱动器的上升边?
- 用什么样的封装类型(键合、C4 或是 CSP)?
- 最大的走线长度是多少?
- 封装和 PCB 的阻抗容差是多少?
- 封装和 PCB 走线的错位容差预算是多少?
- 用什么类型的传输线(微带线或是带状线)?
- 用什么类型的连接器?

上述问题范围很广，包括从体系架构到物理实现的细节。最终，人们需要在系统级对带宽、功耗、容量、芯片面积、成本等要求进行权衡折中。这些问题的答案取决于目标应用。对于消费类市场，成本是一个主要问题，而在服务器市场，性能(带宽和功耗)则是更重要的考虑因素。图 3.2 给出系统性的方法学，使得进行这类设计权衡折中更加容易。以下各节用 Rambus XDR 存储器接口设计作为示例，阐述前面介绍的许多观点。

具体而言，当存在许多其他选择(列举在图 2.1 中)时，实现数字系统连接的多点连接业已流行多年，那么为什么要采用点到点的差分信令? Direct Rambus DRAM(RDRAM)存储器通道[2]就是一个很好的示例。Direct RDRAM 存储器通道从 800 Mb/s/pin 开始，一直用到后面的 1.6 Gb/s/pin 设计。然而，由于桩线长度、有效桩线阻抗、器件容性负载、驱动器和端接匹配实现等许多因素，对多点单端拓扑性能的进一步改善变得非常困难。因此，XDR 数据路径(DQ)选用了点到点拓扑以实现 3.2 Gb/ps ~ 6.4 Gb/s的数据率。与此相反，指令/地址(RQ)路径工作在 800 Mb/s，仍然采用了与 RDRAM 信号类似的总线拓扑结构。这一总线拓扑结构使得支持更大的存储器容量成为可能。这样做的结果是，需要对 DQ 与 RQ 这两种不同的通道进行分析。

在对 Rambus XDR 存储器系统设计的初期研发阶段，提出了以下的系统需求：

- 支持的数据率为 3.2 ~ 6.4 Gb/s。
- 控制器的封装：C4(倒装焊的一种)或键合封装。
- DRAM 的封装：CSP。
- 短通道：PCB 中无连接器的最大走线长度为 5 in。
- 长通道：PCB 中最多有三个连接器转接时的最大走线长度为 8 in。
- 对封装和 PCB 走线没有匹配或错位的要求。

- 控制器封装层数：为 DQ 走线构建 2-2-2 或 3-2-3 封装。
- PCB 的层数：有两个信号布线层的 4 层板。
- 微带线用于差分 DQ 信号。
- 带状线用于单端 RQ 信号。

当基于过去的设计对通道建模之后，通过仿真就可以确定通道的拓扑结构和信令方案。图 3.3 中给出的结果是，选择了点到点的差分信令拓扑结构，以确保数据率的可扩展性。这种拓扑结构的主要设计特点是：

- 采用片上端接匹配，以尽量降低反射。
- 低电压摆幅(200 mV)，以最大限度降低功耗。
- 双向数据传输，以最大限度提高通道效率。

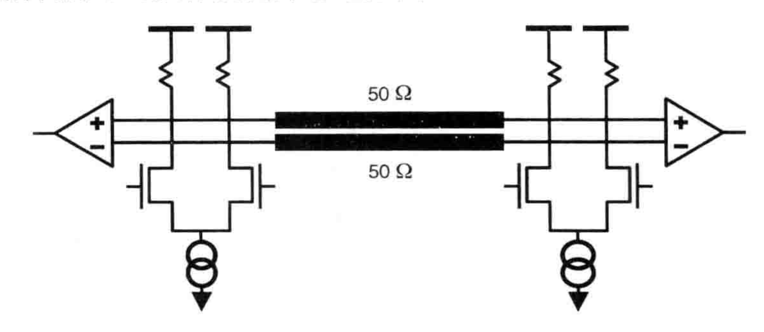


图 3.3　XDR 信令技术

下一步就是找出关键的通道参数。其中包括：芯片寄生电容、ODT(片上端接匹配)阻抗容差、通道阻抗容差、封装过孔阻抗、键合封装电镀桩线、介质损耗(是温度和湿度的函数)、PCB 走线长度等。例如，需要在 Tx 电压摆幅和由芯片寄生电容及 PCB 走线损耗造成的通道衰减之间给出一个清晰的权衡折中。人们还可以考虑在 I/O 中引入信号调理，如 Tx 的有限冲激响应(FIR)滤波，或者 Rx 接收端的线性均衡等。在这种情况下，需要在芯片复杂度及其对功耗/面积的影响与改善系统性能之间进行设计权衡折中。人们必须有一个准确的通道模型，以量化各种通道参数和设计方案下的系统性能收益。经过充分的仿真得出了一个结论，对于短存储器通道(小于 5 in)的情况，信号调理明显地改善了 3.2 Gb/s 时的临界性能。图 3.4 给出的是一个短 XDR 通道的通道参数波动情况。

由于 XDR 针对的是游戏机或数字电视 DTV 一类的消费产品，所以使用的是常规封装和 PCB 工艺。这就对设计提出了低成本的限制。设计面临的挑战和目标包括：

- 使用常规封装和 PCB 设计规则。
- 在微带线或带状线配置下使用 100 Ω 差分阻抗的 PCB 走线。
- 支持常规 4 层 PCB 中 ±15% 的阻抗波动。
- 支持键合或倒装 BGA 封装中 ±20% 的阻抗波动。
- 产生准确的涵盖高频影响的宽带互连模型。
- 在最坏工艺波动情况下系统工作的鲁棒性。
- 3.2 Gb/s 下 100% 的系统和构件成品率。

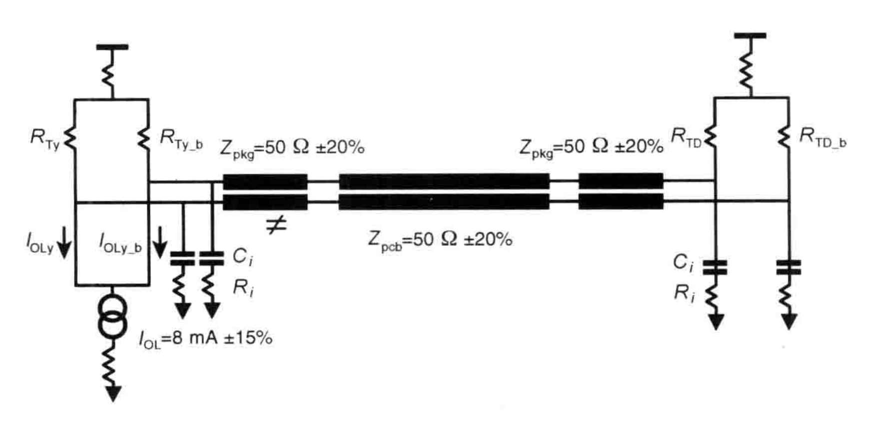


图 3.4 一个短 XDR 通道的通道参数波动

在游戏机市场，因为系统的性能是固定不变的，上面最后一条要实现 100% 成品率的目标非常重要。这就是说，生产的每一个构件都可以在系统中使用。同样，构建的每一个系统都是鲁棒的，能直接发货给客户。相反，如果市场允许有不同的性能等级，人们则可以容忍最初较小的成品率。例如图形显示卡市场的情况通常就是这样，人们将高性能的产品首先用在高端产品上，然后再降低成本用于低端产品中。为了实现 100% 的成品率，必须按第 7 章中所述，采用统计仿真技术考虑工艺波动的影响。此外，还必须使用可靠的电压和时序预算方法学(如第 6 章所述)，确保系统在最坏工作条件下也能鲁棒地工作。从通道仿真中导出的电压预算和时序预算，指引着 I/O 芯片设计的技术规范。

为了树立对新系统设计的信心，首先建造一个原型芯片和原型系统以验证我们的假设和模型。然后，将原型系统的验证结果应用于芯片、PCB/封装的设计以创建出一个下一代的设计。因此，在图 3.2 所示的通道设计方法学，是一个反复迭代的过程。在每次设计的迭代中，我们获得了对信令技术更多的自信，并最终推动设计走向生产。根据通道仿真的这些结果，可以导出并优化物理设计规则；找出用于芯片、封装、PCB 的一些准则。

前面讨论中的前提假设是可以从无到有地去定义一个 I/O 接口，但通常遇到的并不是这种情况。在大多数情况下，信令架构是由标准制定机构预先定义的，已经进行过上述的分析。信号完整性工程师的工作是验证自己的特别设计是否符合规范的要求。对于存储器系统的情况，只有 DRAM 的技术规范是明确给定的，并不包括控制器。信号完整性工程师必须反向计算出无源通道的技术规范。可以使用上述方法学加快这一过程。不同的是，设计的空间余地要小得多，许多变量只限于封装和 PCB 的设计参数；而芯片的相关参数则是固定的。当数据率提高时，如果人们忽略了封装和 PCB 的潜在影响(有许多实际情景就是如此)，系统不稳定的风险将急剧增加。而图 3.2 中给出受信号完整性驱动的设计，将最大限度地降低这种风险，应予以采纳使用。

3.2 通道的建模方法学

如前所述，获得准确的通道模型，是人们借以可靠预估通道行为的关键环节。当通道成为数 Gb/s 数据率情况下的瓶颈时，准确的通道建模显得尤为重要。通道的非理想现象，如高频反射和衰减等，变得更占据主导的地位。最后，如果作为基础的模型无法信

任，那么仿真结果的价值就非常低。如果模型准确性的可信度较差，人们就无法可靠地进行设计权衡折中。本章所说的通道模型，是指包括走线、过孔、键合线、连接器在内无源通道的模型。

图 3.5 给出了一个高速存储器接口[2~4]设计中常用的建模方法学。这种方法学的基本依据是一个通道是由许多子构件组成的。可以用电磁求解器创建每个子构件的等效电路模型。电磁求解器可以是2D、2.5D 或3D 的。它也可以是准静态的求解器或者是全波求解器。将所有子构件的等效电路模型组合在一起就可以生成一个通道模型。场求解器仿真是通道建模中的一个重要内容，我们将在 3.3 节进一步讨论。

使用电磁场求解器，从物理设计数据库入手就可以启动对通道子构件建模的过程。首先要决定的是使用准静态或是全波场求解器。选择的依据是电气结构尺寸的大小。在准静态求解器产生的等效电路模型中，有电感、电容、电阻等元件。对于电小尺寸结构，如 C4 凸点或 BGA 焊球，用准静态求解器是挺好的。另一方面，全波求解器产生散射(S)参数。S 参数可以直接用于现代的电路仿真器中。第 4 章将介绍电路仿真器中 S 参数的使用。然而，S 参数是一种“黑魔盒”模型，给出的物理细节分析很少，无助于设计的改进。将 S 参数换算为等效物理电路模型可以提供研究某些参数对设计灵敏度的机会。特别要注意的是，这里的关键用语是等效物理电路模型。对于给定的 S 参数，等效物理电路模型只是一种近似方案，除此之外还有许多其他的等效模型。由于等效物理模型将设计与常见的电路参数，如电容、电感、阻抗等挂钩，这就比用原始的 S 参数模型更为方便。

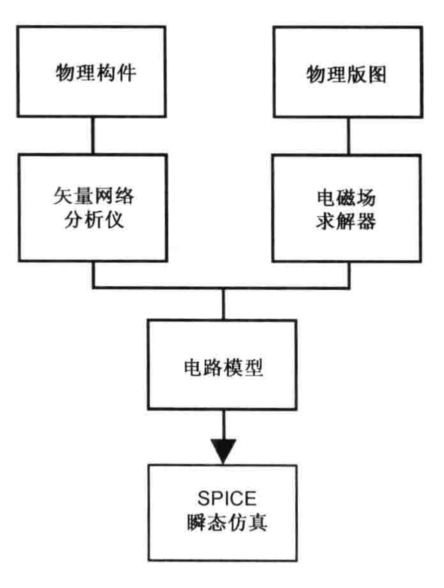


图 3.5　一个常用的通道建模方法学示例

12.2.2 节将介绍一种电小尺寸互连结构，如过孔、键合线、连接器等的简化等效电路生成技术。对于更复杂的结构(例如一个完整的封装模型)，可以用集总和分布电路元件，再加上一般的数值优化[5]技术生成等效电路模型。下面以耦合过孔(其结构参见图 3.6)为例，比较各种等效电路模型的准确度。这里，采用全波和准静态求解器产生与频率相关的 S 参数；而静态模型则使用 RLGC 集总元件。这个新生成的一节 π 形模型，是将其与全波模型进行曲线拟合的结果。图 3.7 给出了 S 参数的仿真数据结果。注意，图中的 S_{11}、S_{21}、S_{31}、S_{41}，分别代表反射、近端串扰、插入损耗、远端串扰。总之，由 S 参数生成的 RLGC 模型在低频范围内与全波模型比较吻合，符合人们的预期。在图 3.7 中，为了与数据拟

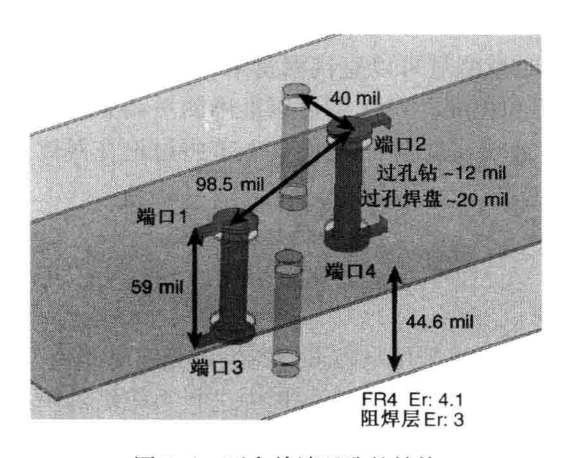


图 3.6　两个单端通孔的结构

合，采用了如下的 RLGC 值：$C_1=C_3=0.289\ \text{pF}$；$C_2=C_4=0.28\ \text{pF}$；$C_{12}=C_{34}=5.14\ \text{fF}$；$L_{13}=L_{24}=950\ \text{pH}$；$K=0.29$。3.3 节将讨论场求解器建模的准确性。

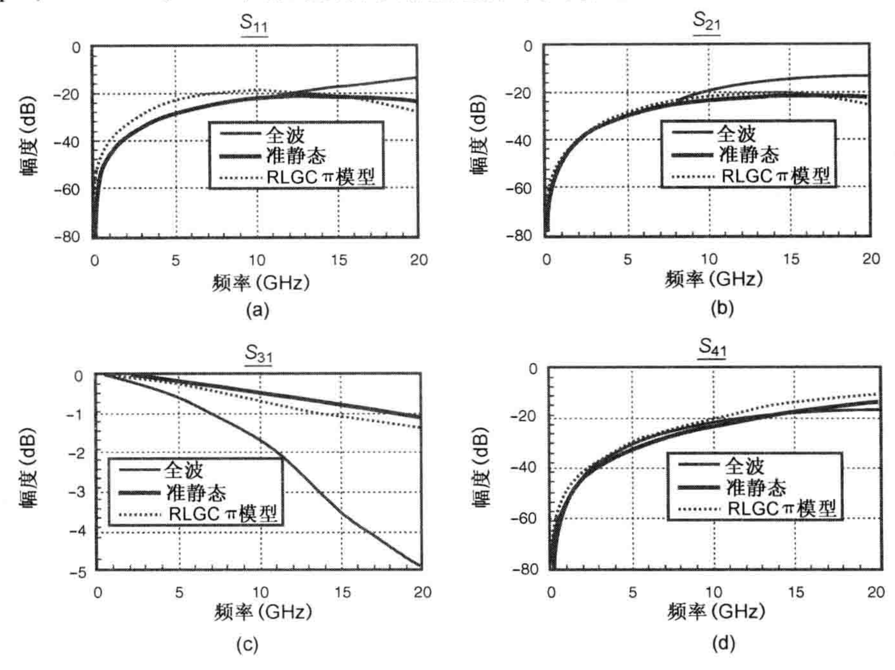


图 3.7　S 参数全波、准静态和 RLGC π 形模型的对比

从物理设计生成一个模型，牵涉到对物理设计的化简形。因为一个物理设计包含了太多的细节，它们可能影响，也可能并不影响模型的准确性。将设计中的一切都包括在内，常常会明显减慢电磁场求解器的速度。包括所有的物理细节既不实际也没有必要。为此，确定哪些细节要包括、哪些要化简，是一个很重要的决策。此外，不同的电磁场求解器，可给出不同级别的准确性。最后，根据硬件原型的实测对模型进行验证，是确保模型完整性的重要环节。

模型需要在时域和频域加以验证。对于采用时域反射计（TDR）与矢量网络分析仪（VNA）完成这一验证的优缺点存在许多不同意见。事实上，这两种方法都是有用的，需要用它们获取无源通道的全景信息。采用 TDR 进行时域测量可以直接测量阻抗的突变和串扰。人们可以很容易识别物理设计突变的类型、位置和程度。VNA 则可以准确测量高频时的行为；TDR 可以直接测出通道的阻抗曲线和串扰（远端或近端）值。4.2.1 节将讨论在对比这些时域和频域方法时的几个关键问题。

3.3　用电磁场求解器建模

对于给定的封装和 PCB 版图等物理设计，我们可以采用电磁求解器生成等效电路模型。然后，再将这些模型与驱动器和接收器非线性行为模型一起在 SPICE 中进行系统级的瞬态仿真。在比较高的层级，这似乎是一个简单的规程。然而，必须考虑到多项因素才能产生准确的模型。首先，必须确定所需的准确度和感兴趣的频率范围。对这些问题的答案决定了

电磁场求解器的选用以及等效电路模型的复杂度。其次，在分析中将如何使用这一模型？这一问题的答案决定着它是否是一个纯粹的数学模型且与物理设计并不对应。最后，人们必须在准确度与计算成本之间进行权衡折中。这一问题的答案决定了送到电磁场求解器的物理模型应该包含些什么；需要多少计算资源。物理设计数据库通常包含许多物理细节，可能有一些对电气设计行为的影响可以忽略不计。确定将哪些包括在电磁场仿真中涉及经验和判断力。这里提出了一种要求，就是将所建模型与实验测量进行关联。

如前所述，两类电磁场求解器是指准静态和全波。准静态场求解器求解泊松或拉普拉斯方程。提取出的相应物理参数是电感和电容，或传输线参数。等效电路模型由电感和电容构成。当互连结构远比最感兴趣频率的波长小得多时，准静态求解器是适当的。典型情况下，你可以采用 1/10 波长准则，即结构的最大尺寸要小于最高频波长的 1/10。图 3.8 的有损传输线可用以说明这一点，这里给出不同的集总元件模型。传输线长度是 1 in，R = 3.332 Ω/m；L = 500 nH/m；G = 0；C = 200 pF/m，单程渡越时间约为 254 ps。应用 1/10 波准则，如图 3.8 所示，这时的 1 节模型在 400 MHz 以下是准确的。然而，5 节和 10 节的情况表明，这一简单的准则并不适用于高阶集总模型。总之，模型中需要相当数量的节数才能表征高频分布式的影响。

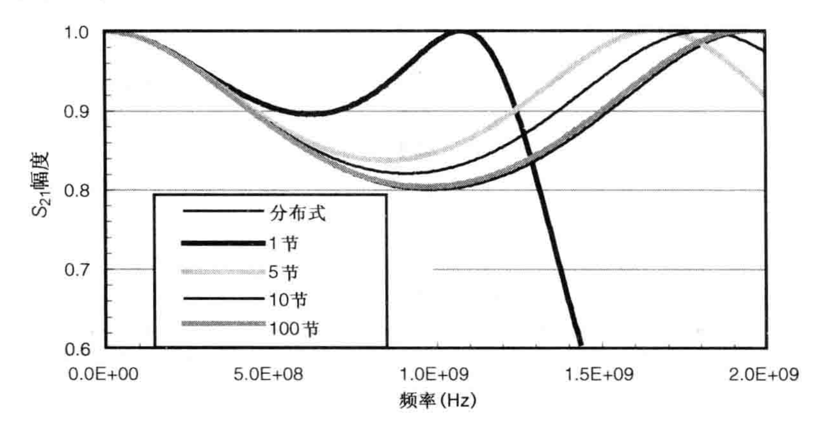


图 3.8　集总与分布式传输线模型

全波场求解器求解麦克斯韦方程组的矢量波动方程。所提取的相应物理参数是散射(S)参数。从理论上说，对这些求解器能处理的结构情况是没有限制的。然而，多数全波场求解器有一个低频限制，在较低频时求解器的准确性退化。在高频时，则需要更多的未知数才能获得准确的解，是计算资源限制了求解问题的规模。我们可以通过保角映射和/或特征函数展开推导出解析表达式。但是，对于简单的结构形状，我们经常可以用数值求解技术，比如有限元法(FEM)、有限时域差分法(FDTD)、矩量法(MoM)等。由于目前商用 EDA 工具(如 ANSYS Q3D Extrtactor[6] 以及 HFSS [7])的强大功能和易用性，现在大部分的模型都是由这些场求解器产生的。

除了不同类型的电磁场求解器之外，我们还可以在建模时选择二维(2D)、二维半(2.5D)，或者三维(3D)求解器。2D 求解器适合于封装和 PCB 的走线，而 3D 求解器往往是键合线和过孔的正确选择。我们可以使用 2.5D 场求解器对封装/PCB 中不含键合线的走线和过孔建模。

最后，可以选择是仿真整个互连结构，或是分解成小的片段。第一种方案的优点是便捷性和准确性，因为它考虑了不同互连片段之间的相互作用。当数据率提高时，往往需要采用全波求解器去仿真整个互连结构。整体模型方案的缺点是大型结构造成的高计算成本。并且，我们很难轻易评估各个片段之间的影响，而这又是优化设计所必要的。相反，将互连结构分成小的片段，电磁场求解器更容易处理它们，对互连结构各片段也更容易进行优化。

3.4 背板通道建模示例

本节以背板系统为例，演示一个典型的建模过程。背板用做互联网、电信和服务器中的信号布线平台。如图 3.9 所示，这里示例的背板链路，是指从线卡上的芯片到交换卡上的芯片，经由背板上 10 个独立构件，构成一个高速差分点到点串行链路。链路是全双工链路，在线卡、交换卡、背板 PCB 模块和芯片封装中，有不同的走线长度和过孔桩线长度。链路经由各种连接器的配对组合，形成各种阻抗和串扰曲线。由于必须确保系统中所有链路的低 BER，任务充满了挑战性[8~12]。需要对所有构件建模，以预估通道损耗、串扰、阻抗曲线、时延等。这样，就可以预估出对于给定的 Tx 和 Rx 均衡技术，在指定的 BER 下可以支持多高的数据率。

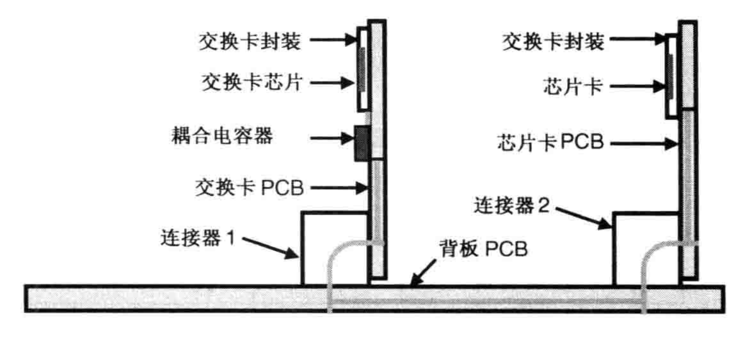


图 3.9 具有各种构件的背板通道示例

Tx 和 Rx 的寄生参数可视为无源通道的一部分。该模型至少要包括 Tx 或 Rx 的片上端接匹配，以及 Tx 或 Rx 的寄生电容负载。这一容性负载出自 ESD 结构、芯片焊盘、片上互连、驱动器或接收器电路等。我们可以用片上提取工具提取出这些寄生参数；或通过 VNA 类工具检测焊盘，用所测 S_{11} 结果对简单的并联 RC 电路(或更复杂的模型)进行曲线拟合。或者也可以用 VNA 和高速微波探头直接检测芯片的焊盘。

背板系统中最常用的封装是倒装芯片封装。我们可以使用三维场求解器对从倒装芯片凸点到 PCB 的 BGA 焊球焊盘处的封装部分进行建模。可以用 VNA 和微波探头对封装进行实测表征。这时，将一端探针插到倒装芯片的封装焊盘上；将另一端(用很短的传输线)搭在 PCB 一侧的 BGA 焊球焊盘上。对一个封装后的芯片进行测量要比裸芯片容易得多，因为这时对该芯片可以加上电源和时钟。这样，通过用短传输线对 BGA 封装焊球附近的测量，再从测得的 S 参数结果中剥离出封装 S 参数，就可以提取出 Tx 或 Rx 芯片的寄生参数。

我们用二维工具对线卡、交换卡、背板 PCB 的走线进行建模。但是，用三维场求解器分别对背板通孔连接器的过孔脚印区、线卡/交换卡芯片封装下的信号过孔、交流耦合电容器

附近的过孔进行建模。背板连接器有 3～6 列差分对，每一对的时延不同。通常情况下是使用三维场求解器对连接器建模。有一种方案就是用 VNA 测量连接器特性测试板以提取出连接器的 S 参数。在这种特殊的测试装置中具有 TRL(直通－反射－传输线)校正结构。另一种方案就是对简单的连接器测试板，用差分探头检测(卡和背板中)过孔的背面，然后再从测得的 S 参数结果中剥离出卡和背板过孔的模型，以提取出连接器的模型。在这种情况下，卡和背板测试板的信号过孔并没有与测试板的任何一个信号层相连。

3.4.1　Tx 构件和 Rx 构件块对数据率的限制

链路数据的数据率受到纯粹无源元件以及有源器件的限制。主要的限制源自 Tx 或 Rx 寄生电容负载的低通滤波效果。图 3.10 用几种 Tx 或 Rx 的寄生电容值说明了这种影响。即使 Tx 和 Rx 之间的通道是完美的，甚至是直通的，大的寄生电容值仍将严重地制约着链路的数据率。因此，最大限度地降低 Tx 和 Rx 的容性负载是提高数据传输率的关键。Tx 和 Rx 对数据率的其他限制因素，包括占空比误差、差分对内错位、电源噪声引起抖动(PSIJ)、有限的接收器灵敏度(由于电压噪声源和接收器输入偏差)等。为了消除这些由通道引起的限制，可以选用具有有源均衡和串扰抵消的 Tx 和 Rx 构件块。然而，这些功能的加入将增大链路的功耗。在某些情况下，为了降低 Tx 和 Rx 集总寄生容性负载的影响，甚至可以采用片上的感性结构，并使电容沿电感器呈分布开的形式，以使 LC 负载更像一个 100 Ω 的差分传输线负载。这项技术的缺点是，芯片上电感器将占用互连层的空间并引入电阻性损耗。

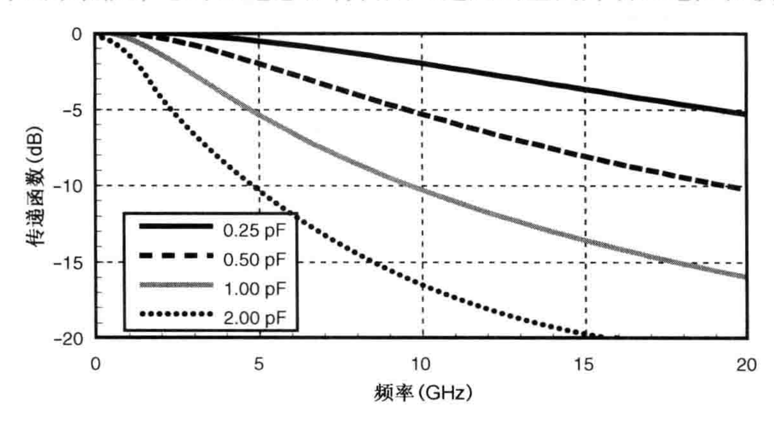


图 3.10　Tx/Rx 容性负载的影响

3.4.2　连接器脚印区通孔反射的影响

背板连接器的引脚凸出到安装连接器的平面外。在背板上安装连接器的区域称为连接器脚印区。它包含直径大到足以容下凸出连接器引脚的一批电镀通孔。通过施压将连接器插入到这些过孔洞中，压紧后就实现了与背板的电气和机械连接。这样做消除了背板组装中的焊接工艺，现场维修时可以用专用工具很容易地取出连接器。

压接背板连接器的缺点之一就是凸出引脚的尺寸需要直径大的背板过孔。一些老一代连接器的脚印区，将背板通孔差分阻抗降到 50～60 Ω。因此，尽管这些过孔的实际物理长度小于 1 cm，它们对链路的数据率将产生重大影响。为了说明这种影响，我们仿真一个 6 in

FR4 背板走线的插入损耗：一种是两边过孔的阻抗都匹配；一种是一边过孔阻抗匹配而另一个过孔阻抗不匹配；一种是两边过孔阻抗都不匹配(见图 3.11)。图 3.11 给出了在 6.4 Gb/s 数据率时三种情况相应的眼图。这时对于一节 6 in 的 FR4 背板走线，如果把每端有一个压接连接器过孔 60 Ω 的差分阻抗造成不匹配，与每端都是匹配 100 Ω 差分阻抗的过孔情况相比，其在奈奎斯特(Nyquist)频率的损耗要大一倍，眼图的睁开度也明显降低。更糟的是，由于两端大的阻抗突变引入谐振，使得插入损耗呈现非单调性。我们从眼图中可以看到，它还降低了眼图的时序容限。这种低阻抗背板通孔，类似于 Tx 和 Rx 集总寄生电容下，快速的数据边沿碰到一个哪怕是阻性匹配的低阻抗端接情况。与图 3.11 类似的还有，如果通道长度较短，插入损耗也显示出调制现象。

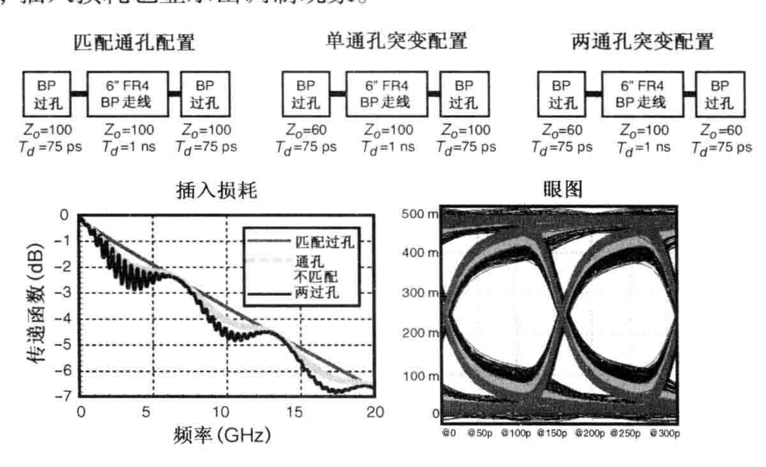


图 3.11 由于通孔阻抗突变引起的信号失真：匹配通孔配置、单通孔突变配置、两通孔突变配置

新一代背板连接器具有直径较小的凸出引脚，背板连接器脚印区的过孔直径也就比较小。从而把背板过孔的差分阻抗改善为 80 ~ 95 Ω。相对于老一代连接器的脚印区过孔阻抗，这是一个明显的改善，但与通道的 100 Ω 阻抗仍不能完全匹配。如果需要有一个更匹配的通道，我们可以将通道的差分阻抗设计成与背板连接器的通孔阻抗相匹配。此时，整个连接器的阻抗也必须与这个低的通道阻抗相匹配。这种方案的一个示例是，最新 PCIe Gen3 通道阻抗的技术规范就制订为 85 Ω 差分阻抗。

3.4.3 连接器脚印区过孔桩线反射的影响

对于厚背板，用一个过孔将位于中层的带状线连接到背板的上层，将具有比较明显的桩线长度。我们可以将这些过孔桩线建模为开路传输线。一个开路传输线，当桩线长度等于传输频率 1/4 波长的奇数倍时，在输入端呈现为短路。在这些频率点上，所有的入射功率都被反射回发送器(Tx)，无法传递到接收器(Rx)端。为了说明这个效果，如图 3.12 所示，我们把一个 6 in 长 FR4 背板走线的一端连到一个背板过孔，然后在带状层的顶层布线(详见表 3.1)。图 3.12 给出了一端连有过孔的背板走线传递函数仿真结果。桩线在 5 GHz 时引起了谐振，严重地限制了通道的带宽以及可以支持的数据率。对于 10 Gb/s 的非归零码数据率，其奈奎斯特频率是 5 GHz。这就是说，整个链路的带宽会明显低于 10 Gb/s，哪怕底层的带状层布线可以轻松地支持链路 10 Gbs 的高数据率。因为背板系统中的所有链路是工作在相同的数据率，所以最坏链路部分决定了整个系统的数据率。图 3.12 给出了传递函数，这里还用了与低

数据率时相似的办法用一个集总元件电容模型代替过孔桩线传输线模型。如图中所示，用它对截止频率为 5 GHz 的通道进行预估是完全无效的。为了降低封装成本，芯片封装时往往具有电镀桩线。电镀桩线对通道传递函数的作用与过孔桩线相似，也会限制系统的数据率。

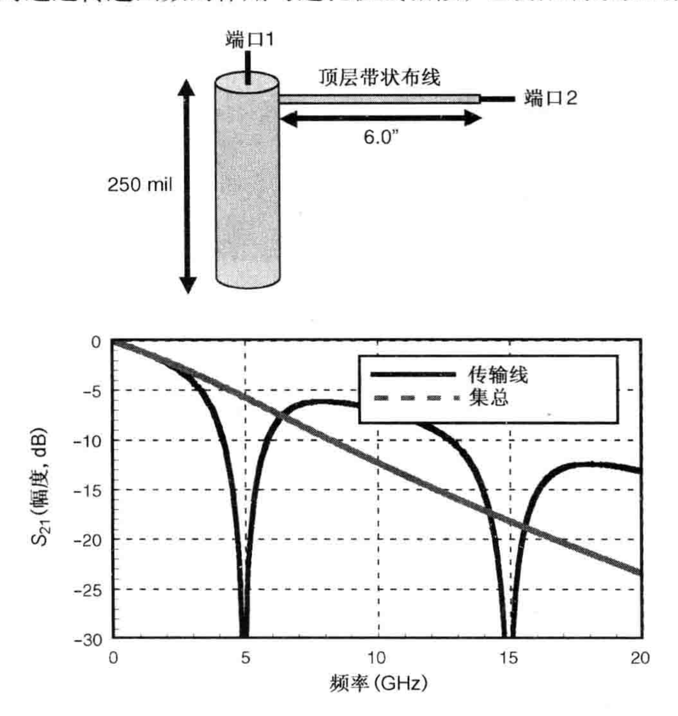


图 3.12　背板过孔再加一节顶层带状线布线；将过孔建模为传输线和集总电容的传递函数

表 3.1　背板参数

参数类型	数　值
背板厚度	6.3 mm(250 mil)
背板线条长度	FR4 线条 6 in 长
背板过孔阻抗与时延	50 Ω, 54.4 ps
无反钻时顶层带状线的桩线长度	5.84 mm (230 mil)
顶层带状线的桩线时延	50.0 ps
有反钻时顶层带状线的桩线长度	2.03 mm (80 mil)
有反钻时顶层带状线的桩线时延	17.4 ps

反钻是消除过孔桩线瓶颈的一种有效方法。反钻已被证明是一种可靠、高性能价格比[13]、最短只留 5 mil 小桩线的方案。另一种消除过孔桩线影响的方案是采用盲孔的表面贴装连接器。然而，这一选项并没有流行，因为它大大提高了系统的成本。压接通孔连接器过孔的缺点之一是，仍然存在长度高达 80 mil 的桩线，这是因为，对于布在最顶层带状线的过孔，需要容得下约 100 mil 长的压接连接器引脚，以提供可靠的接触。然而，由80 mil桩线引起传递函数的谐振下陷远大于 10 GHz，对低于 12.5 Gb/s 的数据率不会造成问题。图 3.13 给出了有两个背板过孔的顶层带状线布线以及反钻对传递函数的影响。如图 3.13 所示，不对过孔桩线反钻时的 5 GHz 谐振，被反钻推到接近 15 GHz，使得链路可以工作于约 12.5 Gb/s 的数据率。在图 3.12 中所示平滑的通道传递函数，受到了两过孔间反射造成的次谐振调制，

如图3.13所示。该谐振频率是背板走线往返时间倒数的整倍数。是桩线谐振频率而不是次谐振频率，主导着通道的截止频率。

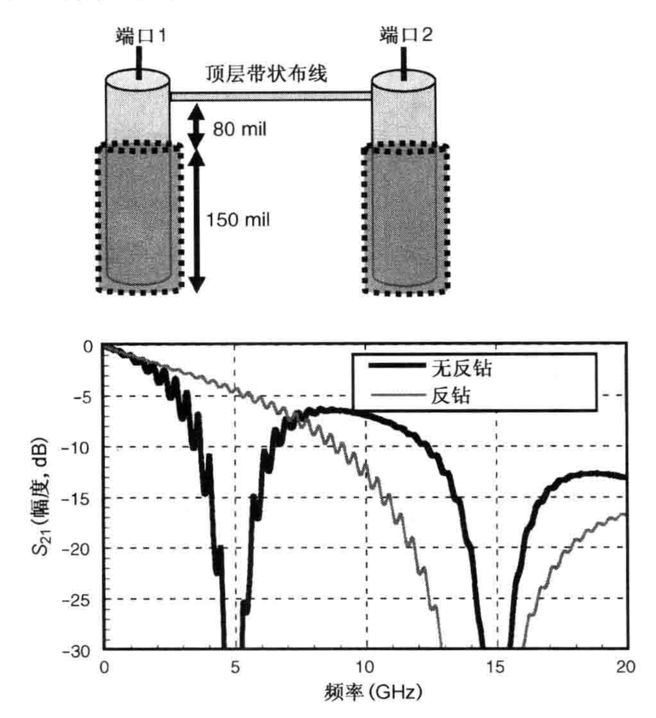


图3.13 背板过孔连接到一节顶层带状线走线；过孔反钻与不反钻情况下的传递函数

3.4.4 背板通道中串扰的影响

远端串扰(FEXT)是存储器通道所关注的串扰。这是因为存储器通道是双向链路，在任一给定时间内，只在一个方向有信号流(写 WRITE 或读 READ)。通常情况下，我们将存储器信号在顶层或底层的表面层布为微带线。由于微带线介质的不均匀性，FEXT 是一非零值。此外，存储器信号是单端的，这也加剧了串扰。另一方面，背板链路是全双工的，NEXT 是背板通道的主要关注问题。各芯片在同一时间在不同的链路进行发送和接收。这时必须妥善处理发送和接收链路的影响。不要让全摆幅 Tx 引起的 NEXT 耦合进已严重衰减的接收信号，降低信号/串扰比从而导致高的 BER。背板、线卡/交换卡和封装走线不太关注 FEXT，因为这时的差分对都是在内部层被布成边缘耦合的带状线。因为带状线上方和下方介质的介电常数是几乎相同的，带状线的 FEXT 是微不足道的。然而，背板链路中的连接器和过孔总会对 FEXT 有贡献。在微带线和带状线中总是存在 NEXT 的。

图3.14提供的是一个连接器引脚指配和布线示例，在接收端形成了较大的串扰后果。如图3.14(a)所示，如果一对差分信号在连接器脚印区没有被地过孔包围，那么这种连接器引脚指配的结果使得 Tx 和 Rx 的背板过孔对将出现面对面的情况。由于 NEXT 的原因，这将在接收器端引起更高的串扰。这里，Tx 和 Rx 的参照是交换卡芯片或者线卡芯片。如图3.14(b)所示，如果 Tx 和 Rx 的链路布线是在相同的带状层上，由于 NEXT 为非零值，那么在接收端的串扰也较高。

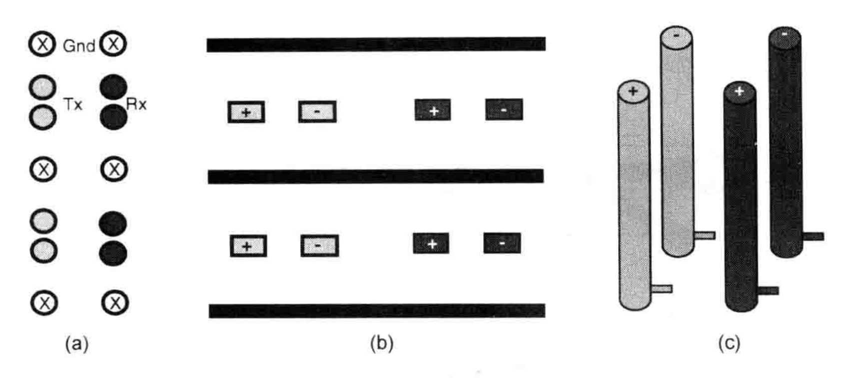


图 3.14　不良的串扰隔离。(a) 连接器脚印区指配；(b) 带状线布线；(c) 两个彼此相邻的通孔对

过孔间的串扰与过孔间的耦合长度成正比。因此，如图 3.14(c)所示的两个通孔差分对将有较高的串扰。图 3.15 的示例给出另一种连接器引脚指配和布线方案，在接收器端形成的串扰较低。如图 3.15(a)和图 3.15(b)所示，这里的 Tx 对和 Rx 对之间有更好的分离，接收器的 NEXT 较低。如果过孔对像图 3.15(c)那样摆放，将通孔对与桩线过孔对相间放置；或更好一点，把通孔对和反钻过孔对相间放置，串扰将会进一步降低。

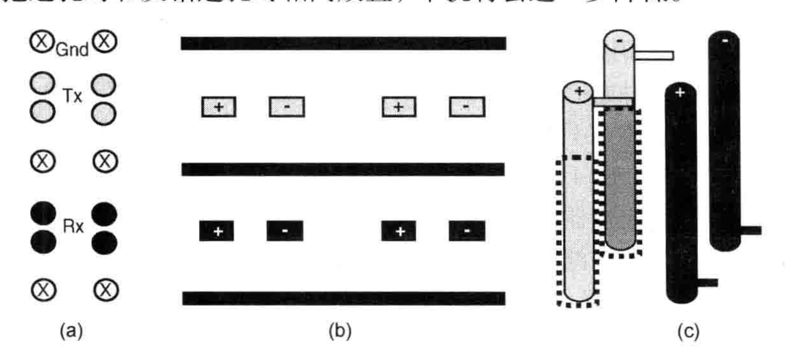


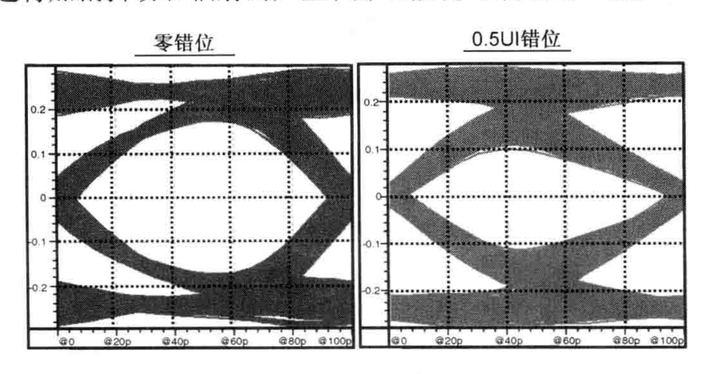
图 3.15　良好的串扰隔离。(a) 连接器脚印区指配；(b) 带状线布线；(c) 通孔对与反钻过孔对为邻

3.4.5　差分对内错位的影响

在高数据率时，控制好差分对内的错位非常重要。例如，一个 30 in 长单端通道的单程渡越时间为 5 ns，如果时延有 1% 的不匹配，对于 1.0 Gb/s 数据率将折算为 5% 单位间隔的错位。对于 10.0 Gb/s，同样的时延不匹配将折算为 50% 单位间隔的错位。前者对眼图和链路 BER 的影响微乎其微。后一种情况如图 3.16 所示，将对眼图产生重大影响，因为上升边退化，并导致 BER 升高。这样，绝对错位量需要与单位间隔按比例同步缩放，使得对内错位是单位间隔的一个固定不变的百分比。有时，例如高密度封装的情况，很难将跨越所有构件的时延加以匹配。这时，人们可以在线卡或交换卡中引入一个反方向的故意错位去补偿封装中引入的错位。因为两构件中的传播速度可能不同，我们必须抵消时延错位，而不是长度错位。即使将构件中的长度匹配，如果两个走线有不同个数的弯曲，也无法确保是零错位。再说一遍，必须匹配的是时延，而不见得是长度。

高数据率下错位的另一个有害影响是上升边很短时，差分信号转换为共模信号的现象增多。通常情况下，所有构件的差分阻抗都设定为 100 Ω；这里没有保证对等的共模阻抗。

从而，与差分信号不同，所生成的共模信号无法在不同构件间得以顺利传送，将在构件的接口处发生反射。这将加剧抖动和辐射的产生，并可能会导致电磁干扰。



3.16 10 Gb/s 时的接收器眼图：零错位和0.5单位间隔的错位

3.4.6 制造工艺波动的影响

背板链路的设计者必须考虑制造工艺、环境、电压波动对系统性能上的影响，要确保在要求的条件下系统都能满意地工作。通常，我们设计 SerDes 电路，用以尽量降低工艺、电压、温度的波动对发送器和接收器性能的冲击。如果工作的环境条件(例如，温度和湿度)不能严格地加以控制，那么对通道性能的影响可能会很明显[11,14]。第7章将涵盖各种针对通道制造工艺波动的方案。本节只是简要介绍背板通道的分析技术，用以了解制造的波动情况[10]。这里分析4个双星级14槽 ATCA 背板的链路情况。前两个链路背板走线的长度是10 in，它们要经过不同的连接器排组。后两个链路背板走线的长度为1.1 in，也要经过不同的连接器排组。这4个链路在线卡和交换卡上的最大桩线长度为75 mil；在背板上的最大桩线长度为100 mil。通常情况下，具有最大桩线长度的链路将有最坏的容限。我们估计在6.4 Gb/s 数据率和 BER 为1e-15(参见表3.2)情况下标称的和最坏情况电压容限。这里，使用蒙特卡罗法估计最坏情况容限，选择标称值 -3σ 为限，并用每个构件的同时最坏损耗情况去仿真绝对的最坏情况容限。一般情况下，这足以确保所求得的容限值位于蒙特卡罗的最临界处。因为系统中有许多构件，而所有的构件都是最坏情况损耗配置的概率是可以忽略不计的。

表3.2 链路工作在6.4 Gb/s 且 BER 为1e-15 时的电压容限

链路	标称值	最坏情况蒙特卡罗	仿真的最坏情况
1	25 mV	15 mV	6 mV
2	16 mV	17 mV	6 mV
3	79 mV	66 mV	50 mV
4	86 mV	74 mV	53 mV

3.5 小结

本章涵盖了无源通道的设计目标、面临的挑战，以及开发通道模型的方法学。本章的主要结论是：

- 通道设计对于高速系统的鲁棒工作至关重要。
- 成功的通道设计需要一个系统的方法学。
- 开发一个准确的通道模型，并用硬件测试进行验证是至关重要的。

参考文献

1. *Rambus Developer Forum*, San Jose, CA, October 22-23, 2001.
2. A. Moncayo, S. Hindi, C.-C. Huang, R. Kollipara, H.-J. Liaw, D. Nguyen, D. Perino, A. Sarfaraz, C. Yuan, M, Leddige, J. McCall, X. Moua, and J. Salmon, "Physical layer design of 1.6 GB/s DRAM bus," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 1999, pp. 11-14.
3. W. Beyene, C. Yuan, N. Cheng, and H. Wu, "Interconnect Design of a 3.2 Gbps bidirectional memory system," presented at the IEC DesignCon, Santa Clara, CA, 2002.
4. X. Yuan, W. Beyene, N. Cheng, and H. Wu, "Design and modeling of a 3.2Gbps memory channel," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2002, pp. 227-230.
5. C.-C. Huang and J. Feng, "Optimizing VNA measurements by cascaded transmission lines for interconnect characterization," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2000, pp. 107-110.
6. *User's Guide*, Ansoft Maxwell Quick3D, 1999.
7. *User's Guide*, Ansoft, High Frequency Structure Simulator, 1999.
8. R. Kollipara, G. Yeh, B. Chia, and A. Agarwal, "Design, modeling and characterization of high speed backplane interconnects," presented at the IEC DesignCon, Santa Clara, CA, 2003.
9. R. Kollipara and B. Chia, "Modeling and verification of backplane press-fit PTH vias," presented at the IEC DesignCon, Santa Clara, CA, 2004.
10. R. Kollipara, B. Chia, Q. Lin, and J. Zerbe, "Impact of manufacturing parametric variations on backplane system performance," presented at the IEC DesignCon, Santa Clara, CA, 2005.
11. J. Zerbe, Q. Lin, V. Stojanovic, A. Ho, R. Kollipara, F. Lambrecht, and C. Werner, "Comparison of adaptive and non-adaptive equalization techniques in high performance backplanes over temperature, humidity, and impedance variations," presented at the IEC DesignCon, Santa Clara, CA, 2005.
12. R. Kollipara, B. Chia, F. Lambrecht, C. Yuan, J. Zerbe, G. Patel, T. Cohen, and B. Kirk, "Practical design considerations for 10 to 25 Gbps copper backplane serial links," presented at the IEC DesignCon, Santa Clara, CA, 2006.
13. T. Cohen, "Practical guidelines for the implementation of back drilling plated through hole vias in multi-Gigabit board applications," presented at the IEC DesignCon East, Santa Clara, CA, 2003.
14. G. Sheets and J. D'Ambrosia, "The impact of environmental conditions on channel performance," presented at the IEC DesignCon, Santa Clara, CA, 2004.

第4章 网络参数

Dan Oh

通常，在一个I/O通道的无源构件中，包括各种集总元件和传输线，它们引入了明显的信号色散、反射、衰减、串扰等。信号完整性工程师的主要任务之一就是为高速通道分析提供准确的无源通道模型。数十年间，射频工程师一直把网络参数(如Y、Z、ABCD、T、S参数等)作为一种方便的手段去仿真一个复杂的无源通道。网络参数也正在电路和信号完整性工程师中变得逐渐流行。多数现代的SPICE仿真器开始支持网络参数(如S参数)作为一种时域和频域仿真的电路模型。在这些现代SPICE仿真器中，可以用网络参数表示一个完整的无源通道。例如，在高速链路的BER仿真(详见第8章)时，通道仿真不再要求基于电路模型的详细拓扑结构。一个整条链路的单一网络参数模型对于性能分析已经足够了。

建立准确的网络模型要求对网络参数有透彻的理解，包括确切的定义和公式的换算等。为了进行信号完整性分析，在编制时域仿真用的网络模型时，还将面临射频工程师并不关注的一些额外挑战。本章将回顾网络参数的基本知识，以及生成时域网络模型的准确方法。特别是，本章还提供各种不同网络参数的明确定义、假设前提、相互间的换算公式等。此外，还将介绍混模和单端参数间的换算。所推导的公式是针对多导体的一般情况，对应用没有限制。本章将介绍进行因果性和无源性核查所涉及的基础知识，并给出确保网络参数模型准确性的一些实用技巧。

4.1 多导体系统的广义网络参数

4.1.1 N端口以及广义二端口网络参数表征

在深入到网络参数细节之前，先定义出网络参数的一般表示。图4.1是两条传输线的两种不同网络表示。图4.1(a)是一个传统的N端口表示，其中每个引出端都被定义为一个独立的端口，这样4个引出端就是4个端口。图4.1(b)是一个广义二端口表示，这里把引出端编组成两个端口为一组。

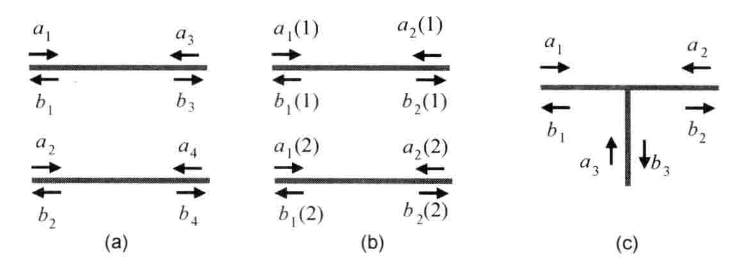


图4.1 耦合传输线表征。(a) N端口；(b) 广义二端口；(c) T形结点的N端口表示

N 端口表示是一种最一般的形式，因为它可以对没有明确定义输入/输出端口的任意结构进行建模[1]。图 4.1(c)所示的 T 形结点结构就是这样一个示例。N 端口表示，使得不同网络参数之间的换算有非常紧凑的公式。大多数教科书都采用这种表示。

然而，N 端口表示不利于与其他 ABCD 等传输线参数的合并或换算，因为它对输入/输出端口没有明确的界定。此外，如果任意两引出端间不存在明确的连接关系，在某些情况下的换算过程可能会出现数值不稳定问题。图 4.1(a)中的双线传输线就是稳定性问题的一个示例。在靠近直流点附近，在 a_1 和 b_4，或 a_2 和 b_3 之间的耦合较小。这时用于将 S 参数换算其他(如 Y 或 ABCD)参数的公式，由于病态矩阵的求逆可能呈现不稳定。另一方面，T 形结点结构则不存在这个问题，因为所有的引出端之间都有物理连接。

对于输入/输出端口都有明确定义的传输线类结构，广义二端口表示(每个端口可以有 N 端)，总是能给出数值稳定的公式。本章将给出每个换算公式的定义和描述。由于 N 端口的简单和普及，对于那些说明或证明概念的一般性推导，仍然采用 N 端口表示。

4.1.1.1 N 端口网络参数

N 端口的阻抗、导纳、S 参数等网络参数的定义如下：

$$\boldsymbol{v} = \boldsymbol{Z}\boldsymbol{i} \tag{4.1a}$$

$$\boldsymbol{i} = \boldsymbol{Y}\boldsymbol{v} \tag{4.1b}$$

$$\boldsymbol{b} = \boldsymbol{S}^p\boldsymbol{a} \tag{4.1c}$$

其中，$\boldsymbol{Z} = \boldsymbol{Y}^{-1}$。$N$ 端口表示中所有电压都是以本地局部的参考为准加以测量和定义的。所以在一般情况都是指 N 个信号导体以及 N 个参考导体。S 参数和 Z 参数之间的换算公式如下：

$$\boldsymbol{Z} = \boldsymbol{Z}_o^{1/2}(\boldsymbol{I} - \boldsymbol{S}^p)^{-1}(\boldsymbol{I} + \boldsymbol{S}^p)\boldsymbol{Z}_o^{1/2} \tag{4.2a}$$

$$\boldsymbol{S}^p = \boldsymbol{Z}_o^{-1/2}(\boldsymbol{Z} - \boldsymbol{Z}_o)(\boldsymbol{Z} + \boldsymbol{Z}_o)^{-1}\boldsymbol{Z}_o^{1/2} \tag{4.2b}$$

S 参数的参考阻抗换算常常是有用的。这时可以用上述公式以间接的方式进行换算，首先换算到 Z，然后再用一个不同的参考阻抗换算回 S。

为了说明式(4.2)中具有潜在的数值不稳定问题，我们将图 4.1(a)中的两条传输线用两个电阻器代替。假设电阻器和参考的阻抗值都是 50 Ω，其 S 参数则为：

$$\begin{bmatrix} 1/3 & 0 & 2/3 & 0 \\ 0 & 1/3 & 0 & 2/3 \\ 2/3 & 0 & 1/3 & 0 \\ 0 & 2/3 & 0 & 1/3 \end{bmatrix} \tag{4.3}$$

矩阵($\boldsymbol{I} - \boldsymbol{S}^p$)有一个零的特征值，表明它是病态的。实践中，在多导体传输线相邻线之间有明显的耦合，这些耦合项有助于改善矩阵的制约条件数。尽管如此，人们应避免在均匀传输线场合采用这种一般的 N 端口表示，因为可以采用一种更稳定的等效二端口表示方法。

4.1.1.2 广义二端口网络参数

图 4.2 是多导体系统的一个广义二端口网络表示。图中还给出端口变量的定义。假设这里波变量的参考特征阻抗矩阵($\boldsymbol{Z}_{o,1}$ 和 $\boldsymbol{Z}_{o,2}$)是对角矩阵，那么，黑川[2]对频域功率波($\boldsymbol{a}_j$ 和 $\boldsymbol{b}_j$)的定义如下：

$$\boldsymbol{a}_j(i) \equiv \frac{1}{2\sqrt{\mathrm{Re}[\boldsymbol{Z}_{o,j}(i)]}}\left[\boldsymbol{v}_j(i) + \boldsymbol{i}_j(i)\boldsymbol{Z}_{o,j}(i)\right] \tag{4.4a}$$

$$\boldsymbol{b}_j(i) \equiv \frac{1}{2\sqrt{\mathrm{Re}[\boldsymbol{Z}_{o,j}(i)]}}\left[\boldsymbol{v}_j(i) - \boldsymbol{i}_j(i)\boldsymbol{Z}^*_{o,j}(i)\right] \tag{4.4b}$$

其中，* 表示厄米特共轭。人们发现这种对功率波的通用定义与测量数据并不相符，又提出了一个新的定义[3]。然而，当参考特征阻抗是实数时，这两种定义又是等同的。下面仍然采用早期的功率波定义，因为在实践中假设参考阻抗为实数是非常合理的。

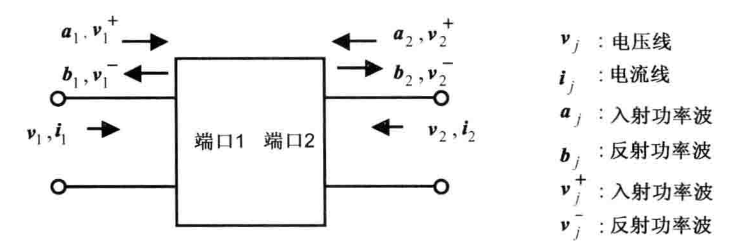


图 4.2 广义二端口网络的输入、输出定义

与 N 端口表示相类似，每个端口的 N 个引出端可以有 N 个不同的参考导体。如果所有信号有一个明确的单一返回路径，参考导体的数量也可以是一个。在这种情况下，这个返回路径就是场求解器建模时所定义的地导体。

基于广义二端口表示的网络参数换算公式相当复杂；以下用四小节对它们加以介绍。其中 4.1.2 节，介绍基于 Z、Y 和 ABCD 一类线电压和线电流参数的网络参数换算公式。4.1.3 节，介绍基于电压波和电流波的网络参数：S 和 T 参数。4.1.4 节，介绍线参数和波参数之间的换算。4.1.5 节，介绍同时适用于 N 端口和广义二端口表征的标称（单端）模和混模间的换算公式。

4.1.2 线电压和线电流网络参数：Z、Y 及 ABCD

线电压和线电流表示的是传输线的一种可测量度，它是前向波和后向波的总和。它们就是在电路分析中常用的电压和电流。本节考察与线参数相关网络参数的换算过程。多导体系统中的线电压矢量（ $\boldsymbol{v}_1$ 和 $\boldsymbol{v}_2$ ）和线电流矢量（ $\boldsymbol{i}_1$ 和 $\boldsymbol{i}_2$ ），由下述阻抗矩阵 $\boldsymbol{Z}$、导纳矩阵 $\boldsymbol{Y}$、ABCD 矩阵加以相关：

$$\begin{bmatrix} \boldsymbol{v}_1 \\ \boldsymbol{v}_2 \end{bmatrix} = \boldsymbol{Z}\begin{bmatrix} \boldsymbol{i}_1 \\ \boldsymbol{i}_2 \end{bmatrix} = \begin{bmatrix} \boldsymbol{Z}_{11} & \boldsymbol{Z}_{12} \\ \boldsymbol{Z}_{21} & \boldsymbol{Z}_{22} \end{bmatrix}\begin{bmatrix} \boldsymbol{i}_1 \\ \boldsymbol{i}_2 \end{bmatrix} \tag{4.5a}$$

$$\begin{bmatrix} \boldsymbol{i}_1 \\ \boldsymbol{i}_2 \end{bmatrix} = \boldsymbol{Y}\begin{bmatrix} \boldsymbol{v}_1 \\ \boldsymbol{v}_2 \end{bmatrix} = \begin{bmatrix} \boldsymbol{Y}_{11} & \boldsymbol{Y}_{12} \\ \boldsymbol{Y}_{21} & \boldsymbol{Y}_{22} \end{bmatrix}\begin{bmatrix} \boldsymbol{v}_1 \\ \boldsymbol{v}_2 \end{bmatrix} \tag{4.5b}$$

$$\begin{bmatrix} \boldsymbol{v}_1 \\ \boldsymbol{i}_1 \end{bmatrix} = \mathrm{ABCD}\begin{bmatrix} \boldsymbol{v}_2 \\ -\boldsymbol{i}_2 \end{bmatrix} = \begin{bmatrix} \boldsymbol{A} & \boldsymbol{B} \\ \boldsymbol{C} & \boldsymbol{D} \end{bmatrix}\begin{bmatrix} \boldsymbol{v}_2 \\ -\boldsymbol{i}_2 \end{bmatrix} \tag{4.5c}$$

其中，在 ABCD 输入矢量的第二项前加一个负号，是为了让它们便于级联。例如，从端口 1 到端口 3 两个级联 ABCD 系统的 ABCD 矩阵为：

$$\begin{bmatrix} \boldsymbol{v}_1 \\ \boldsymbol{i}_1 \end{bmatrix} = \mathrm{ABCD}_{(1,3)}\begin{bmatrix} \boldsymbol{v}_3 \\ -\boldsymbol{i}_3 \end{bmatrix} = \mathrm{ABCD}_{(1,2)} \cdot \mathrm{ABCD}_{(2,3)}\begin{bmatrix} \boldsymbol{v}_3 \\ -\boldsymbol{i}_3 \end{bmatrix} \tag{4.6}$$

由于 ABCD 参数的级联特性，在网络模型的合并和拆分时非常有用。例如，在基于 5.4.2 节的测量结果进行传输线建模时，可以利用它剥离出端口突变的影响。表 4.1 给出了 Z、Y 和 ABCD 参数之间的换算公式。

表 4.1 Z、Y 和 ABCD 矩阵参数的换算公式

	Z	Y	$ABCD$
Z	$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix}=\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}\begin{bmatrix} i_1 \\ i_2 \end{bmatrix}$	$Y_{11}=(Z_{11}-Z_{12}Z_{22}^{-1}Z_{21})^{-1}$ $Y_{22}=(Z_{22}-Z_{21}Z_{11}^{-1}Z_{12})^{-1}$ $Y_{12}=-Z_{11}^{-1}Z_{12}Y_{22}$ $Y_{21}=-Z_{22}^{-1}Z_{21}Y_{11}$	$A=Z_{11}Z_{21}^{-1}$ $B=Z_{11}Z_{21}^{-1}Z_{22}-Z_{12}$ $C=Z_{21}^{-1}$ $D=Z_{21}^{-1}Z_{22}$
Y	$Z_{11}=(Y_{11}-Y_{12}Y_{22}^{-1}Y_{21})^{-1}$ $Z_{22}=(Y_{22}-Y_{21}Y_{11}^{-1}Y_{12})^{-1}$ $Z_{12}=-Y_{11}^{-1}Y_{12}Z_{22}$ $Z_{21}=-Y_{22}^{-1}Y_{21}Z_{11}$	$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix}=\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}\begin{bmatrix} v_1 \\ v_2 \end{bmatrix}$	$A=-Y_{21}^{-1}Y_{22}$ $B=-Y_{21}^{-1}$ $C=Y_{12}-Y_{11}Y_{21}^{-1}Y_{22}$ $D=-Y_{11}Y_{21}^{-1}$
ABCD	$Z_{11}=AC^{-1}$ $Z_{22}=AC^{-1}D-B$ $Z_{12}=C^{-1}$ $Z_{21}=C^{-1}D$	$Y_{11}=DB^{-1}$ $Y_{22}=C-DB^{-1}A$ $Y_{12}=-B^{-1}$ $Y_{21}=B^{-1}A$	$\begin{bmatrix} v_1 \\ i_1 \end{bmatrix}=\begin{bmatrix} A & B \\ C & D \end{bmatrix}\begin{bmatrix} v_2 \\ -i_2 \end{bmatrix}$

4.1.3 电压/电流波网络参数：S、T

通常情况下，高频测量不用线参数，而是用波参数。本节介绍两个波网络参数（S 参数和 T 参数）之间的换算。在入射和反射电压波矢量（$\boldsymbol{v}_j^+$ 和 $\boldsymbol{v}_j^-$）之间；入射和反射功率波矢量（$\boldsymbol{a}_j$ 和 $\boldsymbol{b}_j$）之间的关系，用电压模 S 参数矩阵 $\boldsymbol{S}^v$，功率模 S 参数矩阵 $\boldsymbol{S}^p$ 表征如下：

$$\begin{bmatrix} \boldsymbol{v}_1^- \\ \boldsymbol{v}_2^- \end{bmatrix}=\boldsymbol{S}^v\begin{bmatrix} \boldsymbol{v}_1^+ \\ \boldsymbol{v}_2^+ \end{bmatrix}=\begin{bmatrix} \boldsymbol{S}_{11}^v & \boldsymbol{S}_{12}^v \\ \boldsymbol{S}_{21}^v & \boldsymbol{S}_{22}^v \end{bmatrix}\begin{bmatrix} \boldsymbol{v}_1^+ \\ \boldsymbol{v}_2^+ \end{bmatrix} \tag{4.7a}$$

$$\begin{bmatrix} \boldsymbol{b}_1 \\ \boldsymbol{b}_2 \end{bmatrix}=\boldsymbol{S}^p\begin{bmatrix} \boldsymbol{a}_1 \\ \boldsymbol{a}_2 \end{bmatrix}=\begin{bmatrix} \boldsymbol{S}_{11}^p & \boldsymbol{S}_{12}^p \\ \boldsymbol{S}_{21}^p & \boldsymbol{S}_{22}^p \end{bmatrix}\begin{bmatrix} \boldsymbol{a}_1 \\ \boldsymbol{a}_2 \end{bmatrix} \tag{4.7b}$$

这里，$\boldsymbol{S}^p$ 就是从 VNA 测量中得到并在大多数电路仿真器中使用的常规 S 参数。典型的接收器，是按照电压而不是功率工作的。从链路分析的角度看，电压模参数 $\boldsymbol{S}^v$ 更实用。区分这两个参数是非常重要的，因为当两端的端接负载不同时它们是不相同的。对于实值对角线参考特征矩阵的情况，$\boldsymbol{S}^p$ 和 $\boldsymbol{S}^v$ 的关系如下[2]：

$$\boldsymbol{S}^v(i,j)=\boldsymbol{S}^p(i,j)\sqrt{\boldsymbol{Z}_o(j)/\boldsymbol{Z}_o(i)} \tag{4.8}$$

注意，当参考特征阻抗值不同时 $\boldsymbol{S}^v$ 是不对称的。在这种情况下，$\boldsymbol{S}^v$ 的幅值可能会比单位阵大；不像 $\boldsymbol{S}^p$ 那样始终会小于或等于单位阵。

还有一个基于波度量的有用网络参数是散射传输矩阵参数（$\boldsymbol{T}$）。它给出了输入端口的入射/反射波矢量与输出端口入射/反射波矢量的关系如下：

$$\begin{bmatrix} \boldsymbol{b}_1 \\ \boldsymbol{a}_1 \end{bmatrix}=\boldsymbol{T}\begin{bmatrix} \boldsymbol{a}_2 \\ \boldsymbol{b}_2 \end{bmatrix}=\begin{bmatrix} \boldsymbol{T}_{11} & \boldsymbol{T}_{12} \\ \boldsymbol{T}_{21} & \boldsymbol{T}_{22} \end{bmatrix}\begin{bmatrix} \boldsymbol{a}_2 \\ \boldsymbol{b}_2 \end{bmatrix} \tag{4.9}$$

还可以给出类似的电压模散射传输矩阵公式，本节略去了这些内容。表 4.2 给出了 $\boldsymbol{T}$

和 $\boldsymbol{S}^p$ 之间的换算公式。T 参数矩阵相比 S 参数矩阵的优点类似于 ABCD 的情况，它可以很容易地实现级联。例如，从端口 1 到端口 3 两个级联 T 参数系统的 T 参数矩阵为：

$$\begin{bmatrix}\boldsymbol{b}_1\\\boldsymbol{a}_1\end{bmatrix}=\boldsymbol{T}_{(1,3)}\begin{bmatrix}\boldsymbol{a}_3\\\boldsymbol{b}_3\end{bmatrix}=\boldsymbol{T}_{(1,2)}\boldsymbol{T}_{(2,3)}\begin{bmatrix}\boldsymbol{a}_3\\\boldsymbol{b}_3\end{bmatrix}\tag{4.10}$$

表 4.2　T 矩阵参数的换算公式

	S^p	T
S^p	$\begin{bmatrix}\boldsymbol{b}_1\\\boldsymbol{b}_2\end{bmatrix}=\begin{bmatrix}\boldsymbol{S}^p_{11} & \boldsymbol{S}^p_{12}\\\boldsymbol{S}^p_{21} & \boldsymbol{S}^p_{22}\end{bmatrix}\begin{bmatrix}\boldsymbol{a}_1\\\boldsymbol{a}_2\end{bmatrix}$	$\boldsymbol{T}_{11}=-\boldsymbol{S}^p_{11}\boldsymbol{S}^{p-1}_{21}\boldsymbol{S}^p_{22}+\boldsymbol{S}^p_{12}$ $\boldsymbol{T}_{12}=\boldsymbol{S}^p_{11}\boldsymbol{S}^{p-1}_{21}$ $\boldsymbol{T}_{21}=-\boldsymbol{S}^{p-1}_{21}\boldsymbol{S}^p_{22}$ $\boldsymbol{T}_{22}=\boldsymbol{S}^{p-1}_{21}$
T	$\boldsymbol{S}^p_{11}=\boldsymbol{T}_{12}\boldsymbol{T}^{-1}_{22}$ $\boldsymbol{S}^p_{12}=\boldsymbol{T}_{11}-\boldsymbol{T}_{12}\boldsymbol{T}^{-1}_{22}\boldsymbol{T}_{21}$ $\boldsymbol{S}^p_{21}=\boldsymbol{T}^{-1}_{22}$ $\boldsymbol{S}^p_{22}=-\boldsymbol{T}^{-1}_{22}\boldsymbol{T}_{21}$	$\begin{bmatrix}\boldsymbol{b}_1\\\boldsymbol{a}_1\end{bmatrix}=\begin{bmatrix}\boldsymbol{T}_{11} & \boldsymbol{T}_{12}\\\boldsymbol{T}_{21} & \boldsymbol{T}_{22}\end{bmatrix}\begin{bmatrix}\boldsymbol{a}_2\\\boldsymbol{b}_2\end{bmatrix}$

4.1.4　线参数与波参数间的换算

由于现代电路仿真器可以直接接受 S 参数的电路模型，将 S 参数换算到其他线参数（如 Z 参数或 Y 参数），并不像曾经有过的那么重要了。然而，将基于波的网络参数（如 S 参数）换算为基于线的网络参数仍然是非常有用的，因为基于线的参数往往更直观，可以直接近似为一个等效电路。例如，我们可以用全波电磁场建模工具为一个键合封装建模为一个准确的宽带 S 参数模型。但是，如果工作频率足够低，这一模型可以替换为电感矩阵。这时要先将其换算成一个 $\boldsymbol{Z}$ 矩阵，然后用一个线性函数进行拟合，从而产生一个等效电感矩阵。对其他如过孔一类的小突变，也可以采用类似的逼近过程（12.2.2 节将介绍这一逼近过程）。

与前述同一个域中的换算公式相比，在线电压和电压波之间的换算公式是相当复杂的。因此，本节只介绍一个 $\boldsymbol{S}^v$ 和 ABCD 之间的换算公式，而不是给出线参数与波参数不同组合的各种换算公式。对于其他参数之间的换算，人们可以轻松地先换算为 $\boldsymbol{S}^v$ 或 ABCD，然后再在同一个域中不同参数之间进行换算。

线电压和线电流矢量，与入射电压波和电流波矢量的关系如下：

$$\boldsymbol{v}_1=\boldsymbol{v}_1^+ + \boldsymbol{v}_1^-,\ \boldsymbol{v}_2=\boldsymbol{v}_2^+ + \boldsymbol{v}_2^-\tag{4.11a}$$

$$\boldsymbol{i}_1=\boldsymbol{Z}_{o,1}^{-1}(\boldsymbol{v}_1^+ - \boldsymbol{v}_1^-),\ \boldsymbol{i}_2=\boldsymbol{Z}_{o,2}^{-1}(\boldsymbol{v}_2^+ - \boldsymbol{v}_2^-)\tag{4.11b}$$

其中 $\boldsymbol{Z}_{o,1}$ 和 $\boldsymbol{Z}_{o,2}$ 为两端口的参考特征阻抗矩阵。表 4.3[4] 提供了 ABCD 和 $\boldsymbol{S}^v$ 之间的换算公式。这一公式即使对于完全 $\boldsymbol{Z}_{o,1}$ 和 $\boldsymbol{Z}_{o,2}$ 矩阵而言也是有效的，它们无须是实矩阵。至于由 4.1.1 节中两个电阻器示例提出的数值不稳定问题，不会在这个新的换算表达式中出现。表 4.3 中所有与反演相关的矩阵都是非奇异的对角阵。任何一个像传输线一样的广义二端口参数，在输入和输出端口之间都有直接连接，所以表 4.3 中的公式始终是稳定的。

表4.3 S^v 及 ABCD 矩阵参数的换算公式

	S^v	ABCD
S^v	$\begin{bmatrix} v_1^- \\ v_2^- \end{bmatrix} = \begin{bmatrix} S_{11}^v & S_{12}^v \\ S_{21}^v & S_{22}^v \end{bmatrix} \begin{bmatrix} v_1^+ \\ v_2^+ \end{bmatrix}$	$A = -\Delta[\Omega - S_{21}^{v-1}(S_{22}^v - I)]$ $B = \Delta[\Omega - S_{21}^{v-1}(S_{22}^v + I)]Z_{o,2}$ $C = -\Theta[\Psi - S_{21}^{v-1}(S_{22}^v - I)]$ $D = \Theta[\Psi - S_{21}^{v-1}(S_{22}^v + I)]Z_{o,2}$ $\Omega = (I + S_{11}^v)^{-1}S_{12}^v$ $\Psi = (S_{11}^v - I)^{-1}S_{12}^v$ $\Delta = [(I + S_{11}^v)^{-1}(S_{11}^v - I) - I]^{-1}$ $\Theta = Z_{o,1}^{-1}[(S_{11}^v - I)^{-1}(S_{11}^v + I) - I]^{-1}$
ABCD	$S_{21}^v = 2(A + \Delta + \Theta + \Omega)^{-1}$ $S_{22}^v = 0.5S_{21}^v(-A + \Delta - \Theta + \Omega)$ $S_{11}^v = 0.5(A + \Delta - \Theta - \Omega)S_{12}^v$ $S_{12}^v = 0.5(A - \Delta - \Theta + \Omega)$ $+0.5(A + \Delta - \Theta - \Omega)S_{22}^v$ $\Delta = BZ_{o,2}^{-1}$ $\Theta = Z_{o,1}C$ $\Omega = Z_{o,1}DZ_{o,2}^{-1}$	$\begin{bmatrix} v_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} v_2 \\ i_2 \end{bmatrix}$

4.1.5 换算为混模参数

差分信令在高速I/O接口中被普遍采用。在一阶分析中，差分系统响应给出一个良好的通道质量。Blockelman 和 Einsenstadt[5] 首先引入混模 S 参数的概念，就是将常规的单端模 S 参数换算成差分和共模 S 参数。本节回顾这一混模换算(详见参考文献[5]中所述)，并将其推广应用于其他网络参数。

为了混模换算的目的，我们使用基于式(4.1)的一般 N 端口网络参数表示[1]，以推导出一个更一般的表达式。

首先，给出差模和共模的电压和电流定义如下：

$$\boldsymbol{v}^d(i) \equiv \boldsymbol{v}(i) - \boldsymbol{v}(j),\ \boldsymbol{i}^d(i) \equiv \frac{1}{2}[\boldsymbol{i}(i) - \boldsymbol{i}(j)] \tag{4.12a}$$

$$\boldsymbol{v}^c(i) \equiv \frac{1}{2}[\boldsymbol{v}(i) + \boldsymbol{v}(j)],\ \boldsymbol{i}^c(i) \equiv \boldsymbol{i}(i) + \boldsymbol{i}(j) \tag{4.12b}$$

其中，认为第 i 条和第 j 条线是差分端接。对于一个二线传输线，它的差分和共模特征阻抗(Z_o^d 和 Z_o^c)与奇偶中奇模及偶模特征阻抗(Z_o^{even} 和 Z_o^{odd})的关系如下：

$$Z_o^d = 2Z_o^{\text{odd}},\ Z_o^c = \frac{Z_o^{\text{even}}}{2} \tag{4.13}$$

根据式(4.4)，对于实的特征阻抗矩阵，其混模的功率波可以写为：

$$\boldsymbol{a}^d = \frac{1}{\sqrt{2}}[\boldsymbol{a}(i) - \boldsymbol{a}(j)],\ \boldsymbol{b}^d = \frac{1}{\sqrt{2}}[\boldsymbol{b}(i) - \boldsymbol{b}(j)] \tag{4.14a}$$

$$\boldsymbol{a}^c = \frac{1}{\sqrt{2}}[\boldsymbol{a}(i)+\boldsymbol{a}(j)], \boldsymbol{b}^c = \frac{1}{\sqrt{2}}[\boldsymbol{b}(i)+\boldsymbol{b}(j)] \tag{4.14b}$$

基于式(4.11)至式(4.13)，人们可以将任何网络参数换算为混模参数(或者反演)：先缩放，然后再如下所述地加上或减去差分对相应的行和列。这些对列和行的操作，在单端参数和混模参数之间完成一个快速的换算。

在一般情况下，一个多导体系统可能包含有差分线和单端线。对于这样的系统，在差分和单端线之间的耦合，成为一个有趣的专题。例如，存储器的 I/O 接口通常使用单端信令进行数据传输，而为了降低数据信号耦合引起的时钟抖动，人们将时钟信号布成差分走线。在这种情况下，单端信号对差模时钟信号的耦合因子是一个重要的设计参数。与参考文献[5]中给出的公式相类似，下面给出包括差分和单端线在内的广义换算公式。

首先，定义一个变换矩阵，以实现单端变量与差分变量之间的双向换算：

$$\boldsymbol{v}^m \equiv \begin{bmatrix}\boldsymbol{v}^d\\ \boldsymbol{v}^c\\ \boldsymbol{v}^s\end{bmatrix} = \boldsymbol{M}_v^{SM}\boldsymbol{v} \Leftrightarrow \boldsymbol{v} \equiv \begin{bmatrix}\boldsymbol{v}^p\\ \boldsymbol{v}^n\\ \boldsymbol{v}^s\end{bmatrix} = \boldsymbol{M}_v^{MS}\boldsymbol{v}^m \tag{4.15a}$$

$$\boldsymbol{i}^m \equiv \begin{bmatrix}\boldsymbol{i}^d\\ \boldsymbol{i}^c\\ \boldsymbol{i}^s\end{bmatrix} = \boldsymbol{M}_i^{SM}\boldsymbol{i} \Leftrightarrow \boldsymbol{i} \equiv \begin{bmatrix}\boldsymbol{i}^p\\ \boldsymbol{i}^n\\ \boldsymbol{i}^s\end{bmatrix} = \boldsymbol{M}_i^{MS}\boldsymbol{i}^m \tag{4.15b}$$

$$\boldsymbol{a}^m \equiv \begin{bmatrix}\boldsymbol{a}^d\\ \boldsymbol{a}^c\\ \boldsymbol{a}^s\end{bmatrix} = \boldsymbol{M}_{a,b}^{SM}\boldsymbol{a} \Leftrightarrow \boldsymbol{a} \equiv \begin{bmatrix}\boldsymbol{a}^p\\ \boldsymbol{a}^n\\ \boldsymbol{a}^s\end{bmatrix} = \boldsymbol{M}_{a,b}^{MS}\boldsymbol{a}^m \tag{4.15c}$$

$$\boldsymbol{b}^m \equiv \begin{bmatrix}\boldsymbol{b}^d\\ \boldsymbol{b}^c\\ \boldsymbol{b}^s\end{bmatrix} = \boldsymbol{M}_{a,b}^{SM}\boldsymbol{b} \Leftrightarrow \boldsymbol{b} \equiv \begin{bmatrix}\boldsymbol{b}^p\\ \boldsymbol{b}^n\\ \boldsymbol{b}^s\end{bmatrix} = \boldsymbol{M}_{a,b}^{MS}\boldsymbol{b}^m \tag{4.15d}$$

其中 $\boldsymbol{x}^p$ 和 $\boldsymbol{x}^n$ 表示为正、负引出端的单端参数；$\boldsymbol{x}^s$ 表示独立的单端参数。$\boldsymbol{x}^d$ 和 $\boldsymbol{x}^c$ 分别表示差分和共模参数。变换矩阵($\boldsymbol{M}_v^{SM}$、$\boldsymbol{M}_i^{SM}$ 和 $\boldsymbol{M}_{a,b}^{SM}$)将单端线电压、线电流、功率波变量换算成等效的混模变量。与之对应的变换矩阵($\boldsymbol{M}_v^{MS}$、$\boldsymbol{M}_i^{MS}$ 和 $\boldsymbol{M}_{a,b}^{MS}$)将混模线电压、线电流、功率波变量换算为等效的单端变量。这些矩阵可以根据式(4.12)和式(4.14)进行构建。

用于将单端网络参数换算为混模参数的换算公式如下所示：

$$\boldsymbol{Z}^M = \boldsymbol{M}_v^{SM}\boldsymbol{Z}\boldsymbol{M}_i^{MS} \Leftrightarrow \boldsymbol{Z} = \boldsymbol{M}_v^{MS}\boldsymbol{Z}^M\boldsymbol{M}_i^{SM} \tag{4.16a}$$

$$\boldsymbol{Y}^M = \boldsymbol{M}_i^{SM}\boldsymbol{Y}\boldsymbol{M}_v^{MS} \Leftrightarrow \boldsymbol{Y} = \boldsymbol{M}_i^{MS}\boldsymbol{Y}^M\boldsymbol{M}_v^{SM} \tag{4.16b}$$

$$\boldsymbol{S}^{p^M} = \boldsymbol{M}_{a,b}^{SM}\boldsymbol{S}^p\boldsymbol{M}_{a,b}^{MS} \Leftrightarrow \boldsymbol{S}^p = \boldsymbol{M}_{a,b}^{MS}\boldsymbol{S}^{p^M}\boldsymbol{M}_{a,b}^{SM} \tag{4.16c}$$

$$\boldsymbol{S}^{v^M} = \boldsymbol{M}_v^{SM}\boldsymbol{S}^v\boldsymbol{M}_v^{MS} \Leftrightarrow \boldsymbol{S}^v = \boldsymbol{M}_v^{MS}\boldsymbol{S}^{v^M}\boldsymbol{M}_v^{SM} \tag{4.16d}$$

最后的混模参数可以写成如下的形式：

$$\boldsymbol{X}^M = \begin{bmatrix}\boldsymbol{X}^{dd} & \boldsymbol{X}^{cd} & \boldsymbol{X}^{sd}\\ \boldsymbol{X}^{dc} & \boldsymbol{X}^{cc} & \boldsymbol{X}^{sc}\\ \boldsymbol{X}^{ds} & \boldsymbol{X}^{cs} & \boldsymbol{X}^{ss}\end{bmatrix} \tag{4.17}$$

这里的上标 ij 表示从 i 模到 j 模的转换。例如，$\boldsymbol{X}^{dc}$ 表示差分到共模的转换。表 4.4 总结了如何填充这些将单端参数换算为混模参数的矩阵。对于独立的单端参数，相应的对角线元素则为简单的 1。

表 4.4　单端变量与混模变量相互换算的变换矩阵

	单端到混模	混模到单端
	i：单端正下标 j：单端负下标 m：差模下标 n：共模下标	i：差模下标 j：共模下标 m：单端正下标 n：单端负下标
$\boldsymbol{v}$	$\begin{array}{cc} & \begin{matrix} i & j \end{matrix} \\ \begin{matrix} m \\ n \end{matrix} & \begin{bmatrix} 1 & -1 \\ \frac{1}{2} & \frac{1}{2} \end{bmatrix} \end{array} \Rightarrow \boldsymbol{M}_v^{SM}$	$\begin{array}{cc} & \begin{matrix} i & j \end{matrix} \\ \begin{matrix} m \\ n \end{matrix} & \begin{bmatrix} \frac{1}{2} & 1 \\ -\frac{1}{2} & 1 \end{bmatrix} \end{array} \Rightarrow \boldsymbol{M}_v^{MS} = \boldsymbol{M}_v^{SM^{-1}}$
$\boldsymbol{i}$	$\begin{array}{cc} & \begin{matrix} i & j \end{matrix} \\ \begin{matrix} m \\ n \end{matrix} & \begin{bmatrix} \frac{1}{2} & -\frac{1}{2} \\ 1 & 1 \end{bmatrix} \end{array} \Rightarrow \boldsymbol{M}_i^{SM}$	$\begin{array}{cc} & \begin{matrix} i & j \end{matrix} \\ \begin{matrix} m \\ n \end{matrix} & \begin{bmatrix} 1 & \frac{1}{2} \\ -1 & \frac{1}{2} \end{bmatrix} \end{array} \Rightarrow \boldsymbol{M}_i^{MS} = \boldsymbol{M}_i^{SM^{-1}}$
$\boldsymbol{a},\boldsymbol{b}$	$\begin{array}{cc} & \begin{matrix} i & j \end{matrix} \\ \begin{matrix} m \\ n \end{matrix} & \begin{bmatrix} \frac{1}{\sqrt{2}} & -\frac{1}{\sqrt{2}} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \end{array} \Rightarrow \boldsymbol{M}_{a,b}^{SM}$	$\begin{array}{cc} & \begin{matrix} i & j \end{matrix} \\ \begin{matrix} m \\ n \end{matrix} & \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ -\frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \end{array} \Rightarrow \boldsymbol{M}_{a,b}^{MS} = \boldsymbol{M}_{a,b}^{SM^T}$

图4.3 给出一个6 条传输线的示例，其中包括4 个差分导线(两对)和两个单端导线。下面的公式是采用列排列和行排列顺序的换算矩阵 $\boldsymbol{M}_v^{SM}$ 。其中，式(4.18a)是列排列的情况；式(4.18b)是行排列的情况。

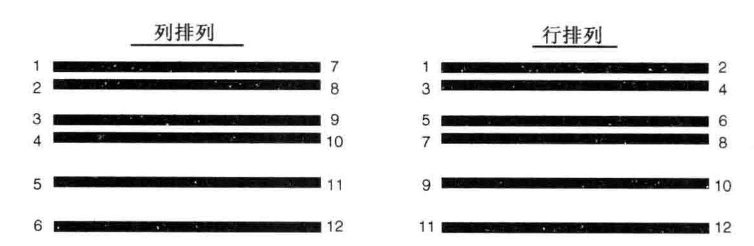


图 4.3　6 个导体的混模换算示例：对 S 参数的测量采用列排列和行排列的顺序

$$\begin{bmatrix} \boldsymbol{v}_1 \\ \boldsymbol{v}_2 \\ \boldsymbol{v}_3 \\ \boldsymbol{v}_4 \\ \boldsymbol{v}_5 \\ \boldsymbol{v}_6 \\ \boldsymbol{v}_7 \\ \boldsymbol{v}_8 \\ \boldsymbol{v}_9 \\ \boldsymbol{v}_{10} \\ \boldsymbol{v}_{11} \\ \boldsymbol{v}_{12} \end{bmatrix} \to \begin{bmatrix} \boldsymbol{v}_1^d = \boldsymbol{v}_1 - \boldsymbol{v}_2 \\ \boldsymbol{v}_2^d = \boldsymbol{v}_3 - \boldsymbol{v}_4 \\ \boldsymbol{v}_3^d = \boldsymbol{v}_7 - \boldsymbol{v}_8 \\ \boldsymbol{v}_4^d = \boldsymbol{v}_9 - \boldsymbol{v}_{10} \\ \boldsymbol{v}_1^c = \boldsymbol{v}_1 + \boldsymbol{v}_2 \\ \boldsymbol{v}_2^c = \boldsymbol{v}_3 + \boldsymbol{v}_4 \\ \boldsymbol{v}_3^c = \boldsymbol{v}_7 + \boldsymbol{v}_8 \\ \boldsymbol{v}_4^c = \boldsymbol{v}_9 + \boldsymbol{v}_{10} \\ \boldsymbol{v}_5 \\ \boldsymbol{v}_6 \\ \boldsymbol{v}_{11} \\ \boldsymbol{v}_{12} \end{bmatrix} \Rightarrow \boldsymbol{M}_v^{SM} = \begin{bmatrix} 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 \\ 1/2 & 1/2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1/2 & 1/2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1/2 & 1/2 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1/2 & 1/2 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \tag{4.18a}$$

$$
\begin{bmatrix} \boldsymbol{v}_1 \\ \boldsymbol{v}_2 \\ \boldsymbol{v}_3 \\ \boldsymbol{v}_4 \\ \boldsymbol{v}_5 \\ \boldsymbol{v}_6 \\ \boldsymbol{v}_7 \\ \boldsymbol{v}_8 \\ \boldsymbol{v}_9 \\ \boldsymbol{v}_{10} \\ \boldsymbol{v}_{11} \\ \boldsymbol{v}_{12} \end{bmatrix} \rightarrow \begin{bmatrix} \boldsymbol{v}_1^d = \boldsymbol{v}_1 - \boldsymbol{v}_3 \\ \boldsymbol{v}_2^d = \boldsymbol{v}_2 - \boldsymbol{v}_4 \\ \boldsymbol{v}_3^d = \boldsymbol{v}_5 - \boldsymbol{v}_7 \\ \boldsymbol{v}_4^d = \boldsymbol{v}_6 - \boldsymbol{v}_8 \\ \boldsymbol{v}_1^c = \boldsymbol{v}_1 + \boldsymbol{v}_3 \\ \boldsymbol{v}_2^c = \boldsymbol{v}_2 + \boldsymbol{v}_4 \\ \boldsymbol{v}_3^c = \boldsymbol{v}_5 + \boldsymbol{v}_7 \\ \boldsymbol{v}_4^c = \boldsymbol{v}_6 + \boldsymbol{v}_8 \\ \boldsymbol{v}_9 \\ \boldsymbol{v}_{10} \\ \boldsymbol{v}_{11} \\ \boldsymbol{v}_{12} \end{bmatrix} \Rightarrow \boldsymbol{M}_v^{SM} = \begin{bmatrix} 1 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & -1 & 0 & 0 & 0 & 0 \\ 1/2 & 0 & 1/2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1/2 & 0 & 1/2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1/2 & 0 & 1/2 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1/2 & 0 & 1/2 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \quad (4.18\text{b})
$$

4.2 构建准确的 S 参数时域模型

虽然 S 参数在射频中的应用已经有数十年之久，但它主要是在频域使用。最近，在 S 参数的时域仿真应用中出现了几类数值问题。例如，在一个典型的频域分析中，截止频率 F_{knee}（定义为 $0.5/t_{\text{rise}}$）已经包含了数字信号中足够的能量[6]。然而，以后的示例将会表明，这一截止频率仍然可能会造成时域仿真的重大误差。本节将探讨与宽带建模相关的几个问题，并给出构建准确宽带 S 参数模型的一些技巧。

4.2.1 时域 TDR/T 与频域 VNA 测量的准确度

基于时域和频域的测量方法，对 S 参数模型的准确性进行比较，这在信号完整性的学术界有过许多争论[7,8]。关于数据准确度比较的许多讨论，集中于测量仪器本身的动态范围上。这类准确度的比较对于射频应用非常有用，但对于数字应用不是那么要紧，因为 TDR 和 VNA 仪器可以提供足够准确的测量。只要仪器有合理的带宽并进行适当的校正，在对数字系统中常常要考察的工艺和制造波动进行比对时，由这两种仪器所引入的误差都是可以忽略不计的。人们往往忽视的一个更关键问题是，在瞬态时域仿真中模型的数值稳定性。

对于数字应用，因为测得的模型最终要用在瞬态仿真中，理应在时域而不是频域对比测量的准确度。例如，对比两种测量方法下的阶跃响应或者单位响应，将更有意义。在这种情况下，若进行时域测量可能更为有利。频域数据则会有较多的误差，如低频测量数据的不准确和傅里叶逆变换中的数值化误差等。频域模型的这些缺点往往被忽视了。

遗憾的是，大多数现代电路仿真器并不支持采用时域冲激响应或阶跃响应一类表示的网络模型。结果是，人们甚至必须先要把时域的测量数据转换到频域。在两个域之间的这一转换就是为了进行瞬态分析。而由两个域转换所形成的误差比频域测量的误差还要大。安捷伦已经认识到这一问题，增加了对时域冲激模型的支持[9]。因为大多数模型仍然是由频域产生的，本节的余下内容仍将侧重于对频域模型的改进上。

4.2.2 最大频率范围

对 S 参数模型最大频率范围指标的确定，也许是频域建模和测量领域最有争议的问题之

一。约翰逊(Johnson)关于截止频率 F_{knee} 的提案似乎已经覆盖了数字信号足够的能量谱[6]。然而，许多学者则主张采用一个更高的频率，并声称 F_{knee} 对高速工作的情况不再有效。人们提议将奈奎斯特频率的3倍甚至5倍作为最大范围。有时候可以发现，即使输入信号具有相同的频率分量，所需的最大频率范围将视无源通道的特性而有所不同。

之所以出现混乱，是由于当工程师们试图确定最高频率时，只是关注于数字信号的能量含量，往往忽视了在将频域数据变换到时域时的数值副作用。如果我们只是在频域进行各种分析，那么采用截止频率是完全有效的。如果人们在把频域通道模型变换到时域时没有出现数值副作用，那么它也是有效的。然而在实践中，我们必须考虑宽带模型中的数值副作用；这时的截止频率已不再合用。即使对电小尺寸电路元件，由于其缓慢的频域衰减特性，这一数值副作用仍可能很严重(后面将给出这类示例)。此外，如果在构建一些子构件(如过孔、连接器、焊盘、焊球)的模型时没有一个明确的目标数据率，那么甚至无法定义截止频率。

为了说明与电小尺寸元件相关的建模问题，考虑两个 S 参数的简单示例，一个短(0.5 cm)和一个长(30 cm)的有损传输线模型。短线的响应代表的可能是短过孔、焊球或连接器引脚。长线表示是一条长的背板走线。采用 HSPICE 的 W 元件进行仿真，其参数如下：$L_o=30\ \mathrm{nH/m}$、$C_o=120\ \mathrm{pF/m}$、$R_o=1.74\ \Omega/\mathrm{m}$、$G_o=0$、$R_s=14.7\ \mathrm{m}\Omega/\sqrt{\mathrm{Hz}}/\mathrm{m}$、$G_d=12.8\ \mathrm{S/Hz/m}$。图4.4给出了 S_{21} 的响应。最终的通道是两条传输线的串联组合，因为通道将有效地滤除所有的高频分量，无论信号的频谱如何，50 GHz 高的频率范围足以捕获通道的响应。为了提高时域分辨率，我们将直到150 GHz 的频率响应补为零。

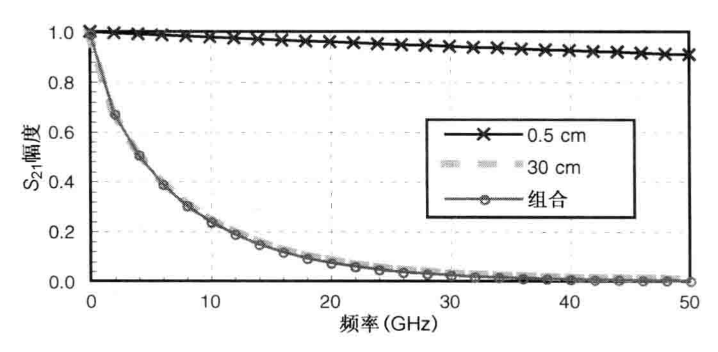


图4.4　短传输线(0.5 cm)、长传输线(30 cm)、组合案例时的 S_{21} 响应

下面给出两种计算时域响应的方法。第一种方法将两个传输线频域响应相乘以求得总体的频域响应。然后，对总响应进行 IFFT 获得其时域响应。第二种方法通过对各自的频率响应进行 IFFT 分别获得短线和长线传输线的冲激响应。图4.5(a)是短传输线的时域响应。显然，短线的冲激响应受到混叠和截窗效应的影响。补零与矩形窗口的效果相同，造成时域波形的振铃(Gibbs 现象)。当然，如图4.5(b)所示，这种振铃当响应经过长传输线时将最终被滤除掉。

电小尺寸元件的主要问题是频率响应衰减得极为缓慢，即使截窗频率比较高，仍然可能出现混叠问题。由于振铃，很难看清楚这种混叠效应，只有将振铃滤除，才能进行准确的观察。图4.6分别采用频域相乘和时域卷积，给出了组合通道的冲激响应。虽然两个冲激响应有差别，但很难预估出它们对实际信号的影响。为了更好地理解这一影响，我们计算了单位

(脉冲)响应。图4.7所示的是短线、长线、组合通道的单位响应。图4.8对比了频域相乘和时域卷积的差别。这种情况下短传输线的影响应该是很小了，而图4.8所示的误差幅度却是相当明显的。此外，如果通道中有许多连接器、过孔切接、短互连等，相当于加入了许多短的S参数元件，这时的误差将会更大。

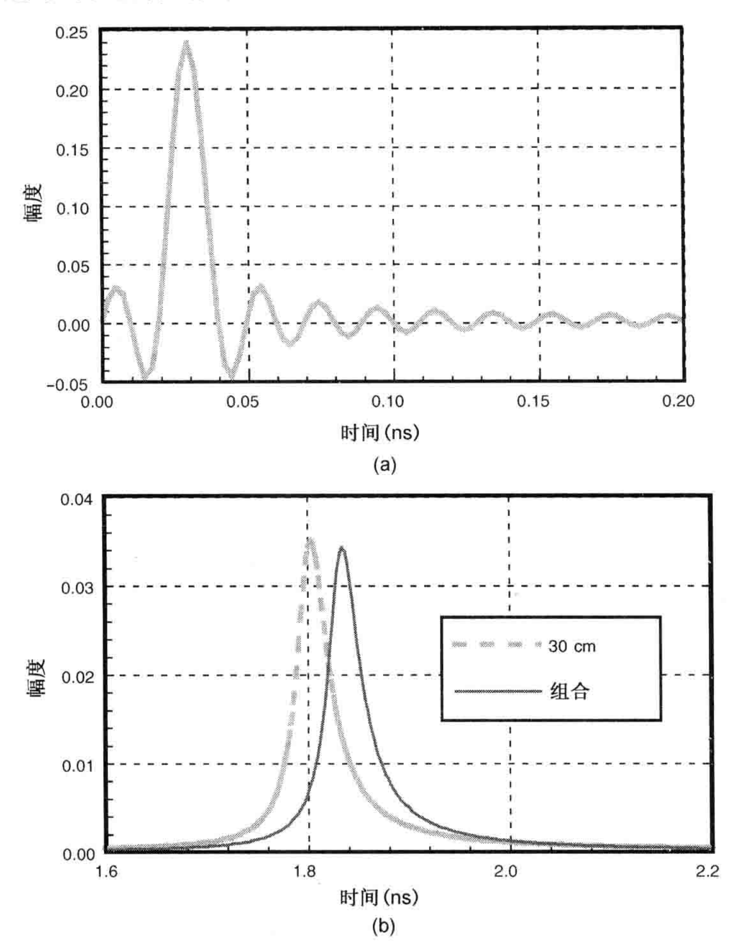


图4.5　冲激响应。(a) 短传输线；(b) 长传输线以及组合情况

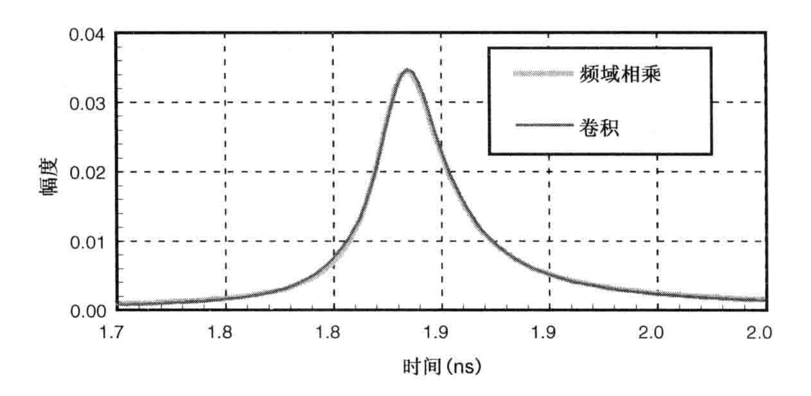


图4.6　基于总响应IFFT，或者将两个冲激响应卷积所得的冲激响应

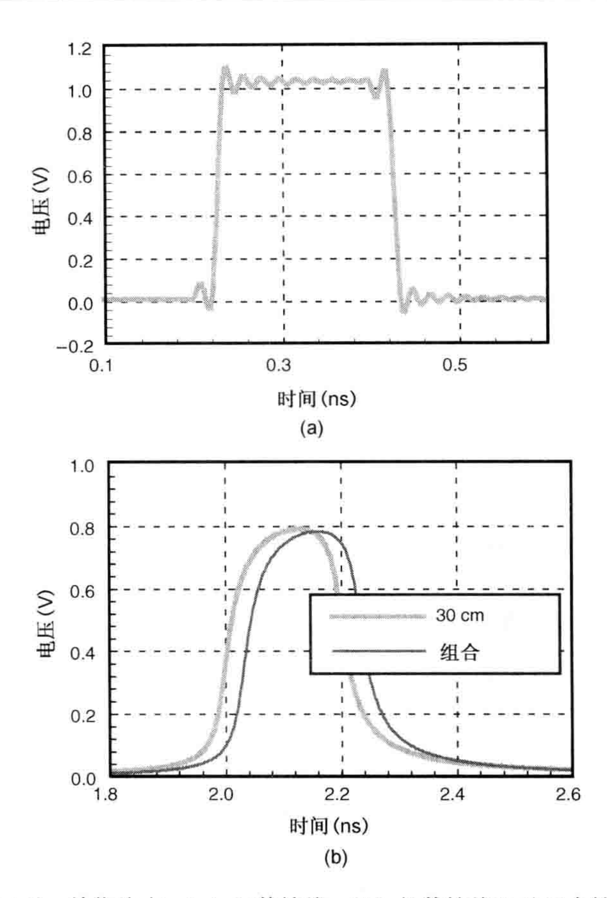


图 4.7　单位响应。(a) 短传输线；(b) 长传输线以及组合情况

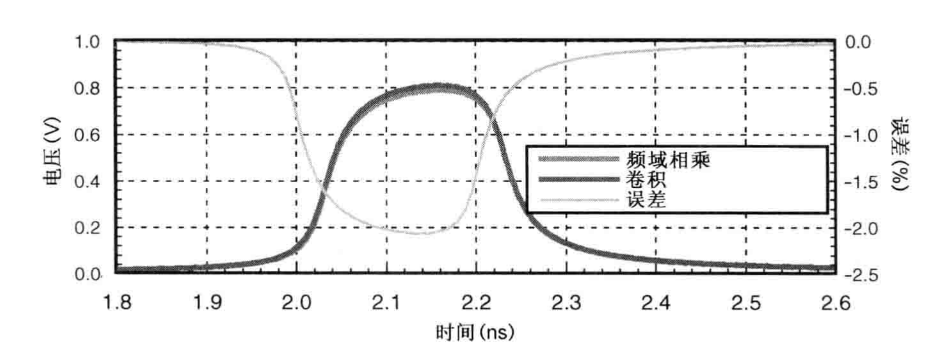


图 4.8　基于总响应 IFFT，或者将两个冲激响应卷积所得的单位响应

电路仿真器在将模型变换到时域之前，并不将频域模型进行组合，这种混叠误差是无法避免的。因此，无论实际信号的数据率是多少，我们必须提供一个能捕获完整频率行为的S 参数。

总之，在用 S 参数进行时域仿真时，建议的做法如下：

- 如果只进行频域分析，仍可以用 F_{knee}作为确定最高频范围的基准。下面的建议只是针对时域分析的。

- 以 S 参数响应的截止频率(而非信号带宽)作为确定最大频率范围的基准，它捕获了所有的动态频率响应。
- 如果可能，尽量在频域合并 S 参数模型以避免混叠问题。这也将提高瞬态仿真的速度。
- 尽量在频域生成整个通道的 S 参数模型(现在许多电路仿真器都支持 S 参数的生成)。
- 如果频率响应比较平坦或者不是有限带宽，可以用一个滤波器(窗口)[10]进行带宽限制。这种滤波器只滤除高于 F_{knee} 的高频区域，以尽量降低混叠和截窗效应。
- 当 S 参数响应比较平坦时可以考虑采用集总元件表示。不要对一切都用 S 参数(串扰响应尤其如此，近端串扰的频率响应中总有一个非零的稳态值)。对于电小尺寸元件无须使用 S 参数建模。可以用4.1.4 节中的公式将 S 参数换算成其他的 Z 参数或 Y 参数，再拟合成集总元件。
- 如果 S 参数模型响应比较平坦并且时延较大，可以考虑用传输线做模型逼近。传输线仿真算法不像 S 参数模型那样牵涉到不稳定的问题(第 5 章中将进一步讨论)。
- 如果 S 参数是由测量或仿真产生的，通常采用线性频率步长以确保平滑的相位响应。非线性频率步长适于捕获慢变化幅度响应，但对于相位响应而言其数据点可能太粗。如果测得的相位响应数据点数较少，可以加入内插点辅助仿真器仿真。
- 提供准确的直流值(详细信息参见下节)。
- 滤除测量噪声并进行无源性核查(4.3 节将探讨必要的无源性条件)。

到目前为止，我们假设在时域对 S 参数模型直接使用卷积。随着宏建模领域的研究进展，人们认为递归卷积是一种时域仿真的替代解决方案。递归卷积的基础是对频域响应的有理函数逼近。它已被广泛用于传输线建模(参见第 5 章)。虽然用一个已知函数去拟合频率数据的概念可能不会有混叠和截窗的问题，但它有更复杂的问题。这些问题涉及它逼近的准确度，其中包括用一个平滑的有理函数去拟合高度振荡的 S 参数响应。在过去的 10 年中，为了提高逼近的准确度进行了大量的研究，但其数值稳定性问题仍然具有挑战性。目前在这一领域的研究，详见 Triverio 和 Grivet-Talocia 的论文[11]。

4.2.3 准确的直流建模

基于频域技术最关键的瓶颈之一就是缺乏直流(零频率)值。本节使用阶跃响应说明直流值的重要性。为简单起见，不失一般性地假设系统是线性的。数字系统的总阶跃响应表达式如下：

$$y(t) = \sum_{k} (a_k - a_{k-1}) u(t - kT) \tag{4.19}$$

其中 a_k 是输入符号，$u(t)$ 是阶跃响应。这一表达式明确表明，阶跃响应直接影响到系统响应的最终准确度。应用阶跃响应的拉普拉斯初值定理和终值定理，我们有：

$$\lim_{t \to 0+} u(t) = \lim_{s \to \infty} [sU(s)] = \lim_{s \to \infty} [H(s)] \tag{4.20a}$$

$$\lim_{t \to \infty} u(t) = \lim_{s \to 0} [sU(s)] = \lim_{s \to 0} [H(s)] \tag{4.20b}$$

现在很清楚，通道频率响应在无穷大处的值直接决定了瞬间时刻的时间响应，而频率响应的直流值影响到时域阶跃响应的稳态值。

现在我们使用上一节中的示例再次说明直流值的影响。利用频域技术对直流或非常低的频率点建模是具有挑战性的，因为波长较大的电场和磁场之间的耦合较弱。这里采用长传输线作为示例，是为了避开短线的准确性问题。下面，用阶跃和线性外推法给出了两种不同的直流值估计。采用阶跃和线性外推计算出的直流值分别是0.98和1.0。图4.9和图4.10给出了相应的时域冲激响应和阶跃响应。由于冲激响应的高频特征，两者没有明显的差异；而在阶跃响应中则清楚地显示了相当大的差异。

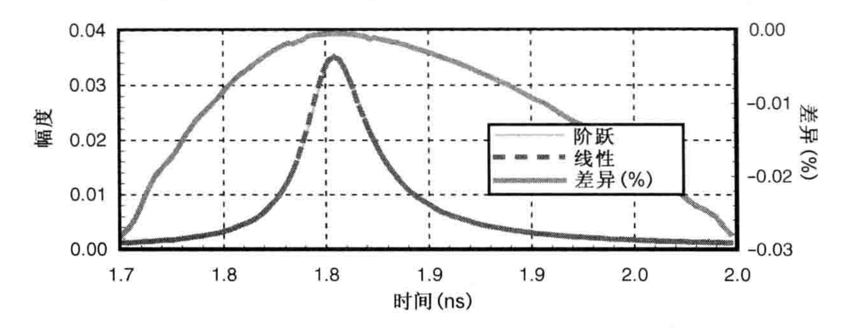


图4.9　基于阶跃和线性直流点内插的冲激响应

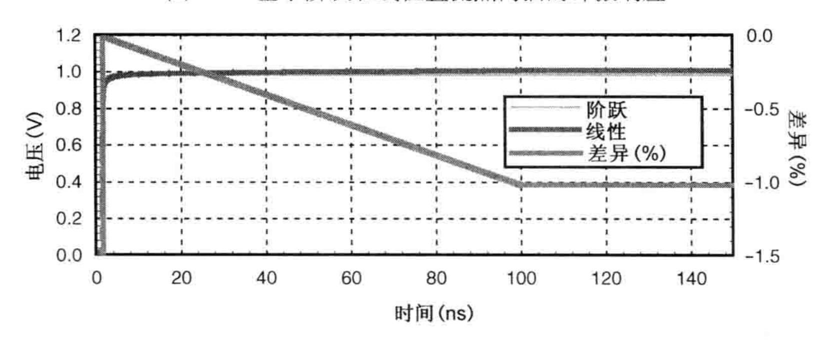


图4.10　基于阶跃和线性直流点内插的阶跃响应

正如预期的那样(如图4.10所示)，直流值之差造成阶跃响应的稳态偏移。稳态偏移直接与直流值之差相关联。事实上如式(4.20b)所示的那样，最终的稳态值就是直流值。因此，为了得到更好的S参数直流值估计，可以采用时域阶跃响应技术TDR和TDT(时域传输)。为了验证，图4.11提供了一个跳变区的细节放大视图，可以看到此处没有太大的误差。

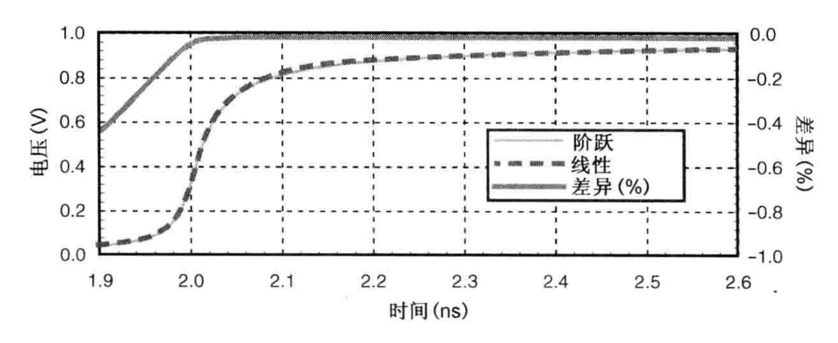


图4.11　在跳变附近阶跃响应的放大视图

当无法获得时域测量数据时，除了简单的数字外推技术之外，还可以采用基于因果性或无源性等更优雅的外推技术，如线性和样条内插[12,13]。4.4.5 节将简要介绍基于广义色散关系[20,21]的这类方法。传输线参数的提取也有类似的直流建模问题(将在 5.4.4 节中讨论，该节还给出实际测量示例)。

4.3 无源性条件

测量数据中含有噪声是很常见的，它甚至会造成无源性条件的违背。特别是那些容易出现数值化误差的小耦合项(如 4.2.2 节所述)更是如此。修复测量数据或宏模型中的无源性违背，已成为一个特别感兴趣的专题[14,15]。本节将对基本的无源性条件给出非正式的推导和综述，并将讨论 Z 参数和 S 参数的无源性条件。我们首先从 S 参数开始，因为它提供了便于定义无源性条件的物理模型。本节我们采用式(4.1)中定义的 S 参数 N 端表示，因为无源性条件适用于包括传输线在内的任何一种无源结构。更详细的推导和描述可参阅参考文献[11]、[16]和[17]。

4.3.1 S 参数的无源性

术语无源性，一般情况下是指一个系统不能产生能量。这样的系统只能从外部源吸收能量。换句话说，由输入(入射)功率与输出(反射)功率之差所得的净能量(功率之和或积分)必须是非负的。这一陈述导致时域 S 参数的无源性定义如下：

$$\sum_{i=1}^{N}\int_{-\infty}^{t}[a_i^2(\tau)-b_i^2(\tau)]\mathrm{d}\tau=\int_{-\infty}^{t}[\boldsymbol{a}^{\mathrm{T}}\boldsymbol{a}-\boldsymbol{b}^{\mathrm{T}}\boldsymbol{b}]\mathrm{d}\tau\geqslant 0 \tag{4.21}$$

这一定义适用于包括集总和分布情况在内的一般系统。积分方程允许系统在吸收了能量(不考虑其他途径)之后产生能量。因此，这就意味着无源系统也是因果性的。事实上，可以明确证明满足式(4.21)的无源系统也是因果性的[11]。

此外，在参考文献[16]中采用下述更普遍的无源性条件表达式：

$$\int_{-\infty}^{\infty}[\boldsymbol{a}^{\mathrm{T}}\boldsymbol{a}-\boldsymbol{b}^{\mathrm{T}}\boldsymbol{b}]\mathrm{d}\tau\geqslant 0 \tag{4.22}$$

在式(4.21)和式(4.22)之间的主要区别是满足式(4.21)的无源系统总是因果性的；而满足式(4.22)的无源系统仍然可能是非因果的，特别是那些时变的或非线性的系统。我们在本节使用式(4.21)，因为可以放心地将大多数物理系统作为因果性的。此外，对于线性时不变系统，两种定义给出同样的无源性条件[16]；所有的无源系统都是因果性的。根据定义，任何非因果系统都不是无源性的；但并不是所有的因果系统都是无源的，强制因果性并不能确保无源性。

对于线性时不变系统无源性的定义式(4.21)，可以表达如下[16]：

- 当 $\mathrm{Re}\{s\}>0$ 时，$\boldsymbol{S}^p(s)$ 的元素都是可解析的。
- $\boldsymbol{S}^p(s^*)=\boldsymbol{S}^{p*}(s)$。
- 当 $\mathrm{Re}\{s\}>0$ 时，$\boldsymbol{I}-\boldsymbol{S}^{p\mathrm{H}}(s)\boldsymbol{S}^p(s)$ 是一个非负定矩阵。

上标 * 表示复共轭，上标 H 表示共轭转置。$\boldsymbol{S}^p$ 是散射参数矩阵。满足上述条件的矩阵称为有界实矩阵。如果对于任一常数矢量 $\boldsymbol{x}$，总有 $\boldsymbol{x}^{\mathrm{H}}\boldsymbol{B}\boldsymbol{x} \geqslant 0$，则矩阵 $\boldsymbol{B}$ 是非负的。

根据定义，一个无源性系统将实输入映射为实输出，所以如同上述第二个条件所隐含的，它的冲激响应必然是实的。为了非正式地证明第三个条件，首先考虑无损系统。根据这一假设，有 $\sum|a_i|^2=\sum|b_i|^2$，从而下式成立：

$$\boldsymbol{b}^{\mathrm{H}}\boldsymbol{b} = (\boldsymbol{S}^p\boldsymbol{a})^{\mathrm{H}}\boldsymbol{S}^p\boldsymbol{a} = \boldsymbol{a}^{\mathrm{H}}\boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^p\boldsymbol{a} \tag{4.23}$$

这时有：

$$\boldsymbol{I} = \boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^p \Leftrightarrow \boldsymbol{I} - \boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^p = 0 \tag{4.24}$$

在有损系统的情况下，我们有 $\sum|a_i|^2>\sum|b_i|^2$，从而有：

$$\boldsymbol{a}^{\mathrm{H}}\boldsymbol{a} > \boldsymbol{b}^{\mathrm{H}}\boldsymbol{b} \Rightarrow \boldsymbol{a}^{\mathrm{H}}\boldsymbol{a} > (\boldsymbol{S}^p\boldsymbol{a})^{\mathrm{H}}\boldsymbol{S}^p\boldsymbol{a} \Rightarrow \boldsymbol{a}^{\mathrm{H}}\boldsymbol{a} > \boldsymbol{a}^{\mathrm{H}}\boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^p\boldsymbol{a} \tag{4.25}$$

这样：

$$\boldsymbol{I} > \boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^p \Leftrightarrow \boldsymbol{I} - \boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^p > 0 \tag{4.26}$$

所有无源的无损和有损系统，都满足第三个非负定阵的条件。注意，可以使用以下关系核查正定性：

$$\mathrm{Re}[\mathrm{Eig}(\boldsymbol{I} - \boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^p)] > 0 \tag{4.27}$$

上述针对拉普拉斯域的条件是一般性的，适用于线性时不变假设下的集总和分布式系统。然而，这些条件是不实用的，因为它们需要核查整个半平面。幸运的是，可以得出类似的频域条件如下[11]：

- $\boldsymbol{S}^p(\mathrm{j}\omega)$是因果性的，或等效地满足 Kramers-Kronig 色散关系。
- $\boldsymbol{S}^p(-\mathrm{j}\omega)=\boldsymbol{S}^{p*}(\mathrm{j}\omega)$。
- 对于所有的 ω，$\boldsymbol{I}-\boldsymbol{S}^{p\mathrm{H}}(\mathrm{j}\omega)\boldsymbol{S}^p(\mathrm{j}\omega)$是一个非负定阵。

类似于拉普拉斯域的情况，这些条件适用于集总和分布系统。

4.3.2 *Z* 参数及 *Y* 参数的无源性

本节介绍阻抗矩阵 $\boldsymbol{Z}$ 和导纳矩阵 $\boldsymbol{Y}$ 的无源性条件。后面将会看到，其最终的频域表达式仅限于集总系统，比 S 参数的情况更为不便。因此，使用 S 参数取代阻抗或导纳矩阵进行无源性核查。

将式(4.11)代入无源性定义式(4.21)，可得：

$$\sum_{i=1}^{N}\int_{-\infty}^{t} v_i(\tau)i_i(\tau)\mathrm{d}\tau = \int_{-\infty}^{t} \boldsymbol{v}^{\mathrm{T}}\boldsymbol{i}\mathrm{d}\tau \geqslant 0 \tag{4.28}$$

矢量 $\boldsymbol{v}$ 和 $\boldsymbol{i}$ 分别表示线电压和线电流。这一定义适用于集总和分布情况。

对于线性时不变系统无源性的定义式(4.28)，可以表达如下[16]：

- 当 $\mathrm{Re}\{s\}>0$ 时，$\boldsymbol{Z}(s)$的元素都是可解析的。
- $\boldsymbol{Z}(s^*)=\boldsymbol{Z}^*(s)$。
- 对于满足 $\mathrm{Re}\{s\}>0$ 的所有 s，$\boldsymbol{Z}^{\mathrm{H}}(s)+\boldsymbol{Z}(s)$是一个非负定阵。

满足上述条件的矩阵称为正实矩阵。根据换算公式(4.2a)和 S 参数的条件($\boldsymbol{I}-\boldsymbol{S}^{p\mathrm{H}}\boldsymbol{S}^{p}=0$),可以很容易地推导出上述第三个表达式。也可以得出导纳矩阵 $\boldsymbol{Y}$ 的一个类似定义。在线性时不变的假设前提下,先前的拉普拉斯域条件可应用于集总和分布系统。同样,这也是不实用的,因为它需要对整个半平面进行核查。

相应的频域条件如下[11]:

- 当 $\mathrm{Re}\{s\}>0$ 时,$\boldsymbol{Z}(s)$的元素都是可解析的。
- $\boldsymbol{Z}(-\mathrm{j}\omega)=\boldsymbol{Z}^*(\mathrm{j}\omega)$。
- 对于除简单极点 $\mathrm{j}\omega_o$ 外的所有 ω,$\boldsymbol{Z}^{\mathrm{H}}(\mathrm{j}\omega)+\boldsymbol{Z}(\mathrm{j}\omega)$是一个非负定阵;对于 $\boldsymbol{Z}(s)$的简单极点 $\mathrm{j}\omega_o$,其留数矩阵则必须是非-负定的。
- 当 $\mathrm{Re}\{s\}>0$ 时,渐近地 $\boldsymbol{Z}(s)\rightarrow\boldsymbol{A}s$,其中 $\boldsymbol{A}$ 是一个实对称非负定常数矩阵。

与 S 参数的情况不同,上述条件并不是全然无须对整个半平面进行核查。此外,这些条件只对集总系统是有效的,不能将其用于如传输线一样的分布式系统。由于宏建模已被广泛使用,甚至被用于分布式系统,这一点就成为其一个严重的缺点。宏建模采用表征集总系统的有理函数建模,但并未改变其固有的分布式系统属性。因此,采用上述无源性条件的理由并不充分。然而,许多宏建模的论文错将上述条件用于那些表征分布式系统的测量数据。值得关注的是,一个通过了 S 参数无源性测验的完全无源分布式系统,如果用较早的阻抗测验技术还能检测到非无源性。可见,由这些数据完全有可能产生出一个非无源的有理函数阻抗模型。

验证分布式系统无源性的主要困难是阻抗或导纳矩阵,甚至 S 参数中,可能造成振荡的时延。如果可以将时延从这些参数中明确地去除掉,然后再进行无源性测试或关联都将会是很有效的[14]。下一章将介绍传输线时延的解析提取技术。然而,这类时延提取技术无法用于一般的 S 参数,甚至是非均匀传输线中。

4.4 因果性条件

我们在上一节曾非正式地指出,无源性条件自然地假设该系统是因果性的。假设系统是因果性的,S 参数的无源性条件只需要沿虚轴即可定义。本节讨论因果性的条件以及在进行因果性条件核查时相关的数值问题。

一个线性时不变系统是因果性的,当且仅当 $t<0$ 时冲激响应 $h(t)=0$[16],或者写为:

$$h(t)=0,\ t<0 \tag{4.29}$$

这一公式对应的频域表示被称为色散关系。为了便于推导,将 $h(t)$写成如下形式:

$$h(t)=\mathrm{sgn}(t)h(t) \tag{4.30}$$

其中的符号函数,当 $t>0$ 时 $\mathrm{sgn}(t)$为 1;当 $t<0$ 时为 -1。采用傅里叶变换可得:

$$\begin{aligned}F\{h(t)\}\equiv H(\mathrm{j}\omega)&=\frac{1}{2\pi}\Im\{\mathrm{sgn}(t)\}*\Im\{h(t)\}\\&=\frac{1}{\mathrm{j}\pi}\mathrm{P.V.}\int\frac{H(\mathrm{j}\omega')}{\omega-\omega'}\mathrm{d}\omega'\equiv H\{H(\mathrm{j}\omega)\}\end{aligned} \tag{4.31}$$

这里,$F\{\cdot\}$和 $H\{\cdot\}$分别表示傅里叶变换和希尔伯特变换。$P.V.$ 表示柯西主值积分:

$$\text{P.V.}\int = \lim_{\varepsilon\to 0^+}\left[\int_{-\infty}^{\omega-\varepsilon} + \int_{\omega+\varepsilon}^{+\infty}\right] \tag{4.32}$$

记 $H(\mathrm{j}\omega)=U(\omega)+\mathrm{j}V(\omega)$，其中 $U(\omega)$ 和 $V(\omega)$ 分别是 $H(\mathrm{j}\omega)$ 的实部和虚部。然后，令式(4.31)的实部和虚部分别相等，则有：

$$U(\omega) = \frac{1}{\pi}\,\text{P.V.}\int \frac{V(\omega')}{\omega-\omega'}\,\mathrm{d}\omega' + U_\infty \tag{4.33a}$$

$$V(\omega) = -\frac{1}{\pi}\,\text{P.V.}\int \frac{U(\omega')-U_\infty}{\omega-\omega'}\,\mathrm{d}\omega' \tag{4.33b}$$

需要注意的是，$U(\omega)$ 必定是偶函数，$V(\omega)$ 必定是奇函数。上述公式被称为 Kramers-Kronig 色散关系式或希尔伯特变换。下面在进入因果性条件的讨论之前，首先介绍最小相位系统(系统和它的逆都是因果性和稳定的)一个有用的性质。最小相位系统幅度和相位的关系式如下：

$$\arg[H(\mathrm{j}\omega)] = -H\{\log|H(\mathrm{j}\omega)|\} \tag{4.34a}$$

$$\log|H(\mathrm{j}\omega)| = \log|H(\infty)| + H\{\arg[H(\mathrm{j}\omega)]\} \tag{4.34b}$$

通过测量如下原始数据和希尔伯特变换数据之间的误差，可以核查因果性违背的情况：

$$\Delta(\mathrm{j}\omega) = H(\mathrm{j}\omega) - \hat{H}(\mathrm{j}\omega) \tag{4.35}$$

其中 $\hat{H}(\mathrm{j}\omega)$ 是对 $H(\mathrm{j}\omega)$ 采用希尔伯特变换重建的传递函数。可以用任何数值积分方案或离散希尔伯特变换去进行希尔伯特变换。Young 和 Bhandal 在参考文献[18]中，绕过数值积分方案采用基于分段线性逼近得到了一个直接的变换表达式。

虽然上述式(4.35)的条件概念简单，但由于数值的副作用仍然具有相当的挑战性。典型的测量或仿真数据，只提供有限频率的信息，而网络参数的频率响应不一定是带限的，或者说本质上可能是宽带的。对于耦合项(参见4.2.2节)的情况尤其如此。除了这种截窗误差之外，与因果性违规的大小相比，离散化误差的影响也可能不算小。总而言之，出现因果性的违背也可能是由于数值建模或数值测量的误差所致。因此，任何因频率截窗和离散化引起的数值化误差都可能被解释为式(4.35)的因果性违背。这正是因果性违背核查在数值化上面临的挑战。此外，如上节所述，进行 S 参数无源性核查的条件之一是需要核查因果性。事实上，因果性条件也许是测试无源性三个条件中最难的。

下节讨论由 Triverio 和 Grivet-Talocia[19]，以及 Asgari，Lalgudi 和 Tsuk[20]提出的一种在测试因果性条件时严格约束数值化误差的方案。

4.4.1 广义色散关系式

为了尽量降低数值化误差，人们给出了一种广义色散关系式(或广义希尔伯特变换式)[19]：

$$H_N(\mathrm{j}\omega) = L_H(\mathrm{j}\omega) + \frac{\prod_{q=1}^{N}(\omega-\omega_q)}{\mathrm{j}\pi}\cdot \text{P.V.}\int \frac{H(\mathrm{j}\omega')-L_H(\mathrm{j}\omega')}{\prod_{q=1}^{N}(\omega'-\omega_q)}\,\frac{\mathrm{d}\omega'}{\omega-\omega'} \tag{4.36}$$

其中，所谓的相减点 $\{\omega_q\}_{q=1}^{N}$ 分布在可用频率范围 Ω 内。$L_H(\mathrm{j}\omega)$ 是 $H(\mathrm{j}\omega)$ 的拉格朗日内插多项式：

$$L_H(\mathrm{j}\omega) = \sum_{q=1}^{N} H(\mathrm{j}\omega_q) \prod_{p=1;\, p\neq q}^{N} \frac{(\omega - \omega_p)}{(\omega_q - \omega_p)} \tag{4.37}$$

当 $L_H(\mathrm{j}\omega)=0$ 时，式(4.36)简化为 $N=0$ 时的初始希尔伯特变换，也不存在 Π 项。内插点被称为相减点，早前的色散关系式变成相减色散关系式。现在，因果性误差表达式(4.35)可以写成：

$$\Delta_N(\mathrm{j}\omega) = H(\mathrm{j}\omega) - \hat{H}_N(\mathrm{j}\omega) \tag{4.38}$$

其中 $\hat{H}_N(\mathrm{j}\omega)$ 是对 $H(\mathrm{j}\omega)$ 采用 N 阶广义希尔伯特变换(GHT)重建的传递函数。式(4.36)中的分母项衰减了频率响应。因为式(4.36)积分中包含的多项式分母项明显地衰减了 $H(\mathrm{j}\omega)$，进一步降低了高频截窗的影响，广义希尔伯特变换比原变换的数值稳定性好。

最后，拉格朗日内插多项式，像任何其他多项式内插方案一样，在内插点之间存在称为 Runge 现象[21]的多项式振荡。这种振荡增大了 GHT 的截窗误差，但可以用切比雪夫节点加以降低[19]。如果频率范围为$[-\omega_{\max}(1-\varepsilon),\ \omega_{\max}(1-\varepsilon)]$，其切比雪夫节点如下：

$$\omega_q = -\omega_{\max}(1-\varepsilon)\cos\left(\frac{q-1}{n-1}\pi\right),\quad q=1,\cdots,N \tag{4.39}$$

下一节，将介绍当拉格朗日内插的阶数增长时，式(4.35)中的截窗误差将普遍减少。

4.4.2 截窗误差界

虽然广义色散关系式有助于降低对频率截窗的灵敏度，在式(4.38)仍然存在由频率截窗和离散化引起的误差。关键的问题在于，我们需要估计出这些误差的上界，以避免出现虚假的因果性违背情况。本节将讨论在 Triverio 和 Grivet-Talocia 论文[19]中给出的误差界分析技术，以及最近 Asgari、Lalgudi、Tsuk 有关提高准确度和速度的技术[20]。

将频率集合 Ω 中的现有数据应用到式(4.36)的积分中，我们有：

$$\hat{H}_N(\mathrm{j}\omega) = L_H(\mathrm{j}\omega) + \frac{\prod_{q=1}^{N}(\omega-\omega_q)}{\mathrm{j}\pi} \left[\mathrm{P.V.}\int_{\Omega} \frac{H(\mathrm{j}\omega') - L_H(\mathrm{j}\omega')}{\prod_{q=1}^{N}(\omega'-\omega_q)} \frac{\mathrm{d}\omega'}{\omega-\omega'} + \int_{\Omega^C} \frac{-L_H(\mathrm{j}\omega')}{\prod_{q=1}^{N}(\omega'-\omega_q)} \frac{\mathrm{d}\omega'}{\omega-\omega'}\right] \tag{4.40}$$

其中，Ω^C 为一补集，包括那些没有数据覆盖的频率范围。将上述公式与式(4.36)做一对比，则截窗误差 $T_N(\mathrm{j}\omega)$ 为：

$$T_N(\mathrm{j}\omega) = \frac{\prod_{q=1}^{N}(\omega-\omega_q)}{\mathrm{j}\pi} \int_{\Omega^C} \frac{H(\mathrm{j}\omega')}{\prod_{q=1}^{N}(\omega'-\omega_q)} \frac{\mathrm{d}\omega'}{\omega-\omega'} \tag{4.41}$$

在 Triverio 和 Grivet-Talocia 的论文[19]中严格地推导出这一误差项的上界。其中假设：

$$|H(\mathrm{j}\omega)| \leqslant M\left|\omega^{\alpha}\right|,\qquad \omega\in\Omega^C,\qquad \alpha=0,1,2,\cdots \tag{4.42a}$$

截窗误差的上界是：

$$|T_N(\mathrm{j}\omega)| \leqslant \frac{M}{\pi}\sum_{q=1}^{N}\left\{(\omega_q)^{\alpha}\left[\left|\ln\left(\frac{\omega_{\max}-\omega_q}{\omega_{\max}-\omega}\right)\right|\right]\right.$$

$$-(-1)^{\alpha+N}\left|\ln\left(\frac{\omega_{\max}+\omega_q}{\omega_{\max}+\omega}\right)\right|\times\prod_{\substack{p=1\\p\neq q}}^{N}\frac{|(\omega-\omega_p)|}{(\omega_q-\omega_p)}\Bigg\}\tag{4.42b}$$

4.3 节中建议用 S 参数去核查无源性条件。S 参数中的传输项和远端串扰项有低通滤波的特性，使得频率截窗的影响较小。另一方面，S 参数中的反射项和近端串扰项具有 $\alpha=0$ 的高通滤波特性。图 4.12 给出了 $M=1$，$\alpha=0$ 时几种不同采样点的截窗误差情况。

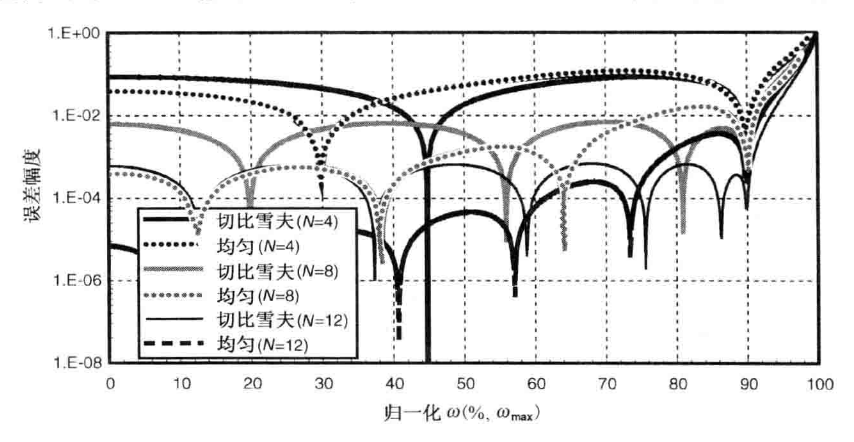


图 4.12 各种内插节点数时的截窗误差界

如图 4.12 所示，对于所有的情况，在接近高端附近的均匀分布误差较大。另一方面，切比雪夫分布在节点之间误差的分布比较均匀，其最大误差则小于均匀分布的情况。所有情况下的截窗误差，在超出节点间隔的高端达到最大。图 4.12 还表明，当内插的阶数增大时切比雪夫和均匀分布的截窗误差都降低。

对于典型的应用，拉格朗日内插多项式的阶数至少应该是 8 以最大限度地降低截窗误差。事实上，人们可以随意选择大的内插阶数，使由于截窗引起的最大误差界小于由数值积分引起的离散化误差。根据已知的数据可以估计出上边界参数 M 和 α（参见 4.4.4 节）。

4.4.3 离散化误差界

因为必须用数值积分计算列表数据的希尔伯特变换，除了上节讨论的截窗误差外，它本身固有地存在着离散化误差。现在，因果性关系式(4.38)可以改写为：

$$\tilde{\Delta}_N(\mathrm{j}\omega)=H(\mathrm{j}\omega)-\hat{\tilde{H}}_N(\mathrm{j}\omega)=\Delta_N(\mathrm{j}\omega)+T_N(\mathrm{j}\omega)+D_N(\mathrm{j}\omega)\tag{4.43}$$

其中 $\tilde{\Delta}_N(\mathrm{j}\omega)$ 是计算重建的数值化误差，$D_N(\mathrm{j}\omega)$ 是离散化误差。如果下列条件满足，则列表 $H_N(\mathrm{j}\omega)$ 就是因果性的：

$$\left|\tilde{\Delta}_N(\mathrm{j}\omega_k)\right|\leqslant|T_N(\mathrm{j}\omega_k)|+|D_N(\mathrm{j}\omega_k)|\qquad\forall k\tag{4.44}$$

这一条件确保了数据的因果性，但如果不对 $T_N(\mathrm{j}\omega)$ 和 $D_N(\mathrm{j}\omega)$ 的界进行保守估计，仍可能会出现虚假的违背现象。另一方面，前面测试的分辨率(或灵敏度)取决于数值化误差界的幅值。如果 $T_N(\mathrm{j}\omega)$ 和 $D_N(\mathrm{j}\omega)$ 比较小，则因果性核查的分辨率就比较高。上一节给出 $T_N(\mathrm{j}\omega)$ 一个非常严格的上界。在获得一个好的 $D_N(\mathrm{j}\omega)$ 上界估计后，就可以准确地执行因果性核查。除了要有一个好的上界估计外，还需要尽量降低离散化或数值积分的误差。

在常规和广义希尔伯特变换中，都有一个奇异内核。这一奇异性可以用解析法提取并加以整合，以降低数值积分的误差[19]。可以用两种具有不同准确度的正交规则去估计积分误差的上界。另外，采用已知积分方案最坏情况所给出的严格误差上界，可以消除任何虚假的违背[19]。

由 Asgari、Lalgudi 和 Tsuk 提出一种简单、也许更鲁棒的数值方法[20]。本节下面的部分将介绍这种方法。因为式(4.40)中没有含有 $L_H(\mathrm{j}\omega)$ 的积分项，该式可以改写为：

$$\hat{H}_N(\mathrm{j}\omega) = L_H(\mathrm{j}\omega) + \frac{\prod_{q=1}^{N}(\omega-\omega_q)}{\mathrm{j}\pi} \times \mathrm{P.V.}\int_{\Omega} \frac{H(\mathrm{j}\omega')}{\prod_{q=1}^{N}(\omega'-\omega_q)} \frac{\mathrm{d}\omega'}{\omega-\omega'} \tag{4.45}$$

为了执行前述闭合式的积分，采用基于样条的内插函数对 $H_N(\mathrm{j}\omega)$ 进行内插，其公式如下：

$$\overline{H}_N(\mathrm{j}\omega) = \sum_{k=-N_\omega}^{N_\omega-1}\sum_{l=0}^{L}\alpha_{k,l}(\omega-\omega_k)^l \cdot 1_{\Omega_k}(\omega) = \sum_{k=-N_\omega}^{N_\omega-1}\overline{H}_{(k)}(\mathrm{j}\omega)\cdot 1_{\Omega_k}(\omega) \tag{4.46}$$

其中，N_ω 是非负频率点的值；L 是内插多项式的最大阶数；Ω_k 表示区间$[\omega_k, \omega_{k+1}]$；$1_{\Omega_k}(\omega)$ 是指当 $\omega\in\Omega_k$ 时为 1，其余处为零；$\alpha_{k,l}$是内部为 k、外部为 ω 的 l 次方时的样条系数。

用上述近似式取代式(4.45)，并执行部分分数与解析求和，可得：

$$\begin{aligned}\hat{\overline{H}}_N(\mathrm{j}\omega) = L_{\overline{H}}(\mathrm{j}\omega) + \frac{1}{\mathrm{j}\pi}\sum_{k=-N_\omega}^{N_\omega-1}\Bigg[\overline{H}_{(k)}(\mathrm{j}\omega)\ln\left|\frac{\omega_k-\omega}{\omega_{k+1}-\omega}\right| \\ -\sum_{q=1}^{N}\overline{H}_{(k)}(\mathrm{j}\omega_q)\ln\left|\frac{\omega_k-\omega_q}{\omega_{k+1}-\omega_q}\right|\prod_{p=1;\,p\neq q}^{N}\frac{\omega-\omega_p}{\omega_q-\omega_p}\Bigg]\end{aligned} \tag{4.47}$$

现在，因果性条件式(4.45)可以改写为：

$$\overline{\Delta}_N(\mathrm{j}\omega) = H(\mathrm{j}\omega) - \hat{\overline{H}}_N(\mathrm{j}\omega) = \Delta_N(\mathrm{j}\omega) + T_N(\mathrm{j}\omega) + D_N(\mathrm{j}\omega) + I_N(\mathrm{j}\omega) \tag{4.48}$$

其中，$\overline{\Delta}_N(\mathrm{j}\omega)$是数值计算的重建误差，$D_N(\mathrm{j}\omega)$是离散化误差，$I_N(\mathrm{j}\omega)$是基于样条的内插误差。与式(4.44)相似，只要下述条件成立，列表 $H_N(\mathrm{j}\omega)$就是因果性的：

$$|\overline{\Delta}_N(\mathrm{j}\omega_k)| \leqslant |T_N(\mathrm{j}\omega_k)| + |D_N(\mathrm{j}\omega_k) + I_N(\mathrm{j}\omega_k)| \qquad \forall k \tag{4.49}$$

如前所述，对$|D_N(\mathrm{j}\omega_k)+I_N(\mathrm{j}\omega_k)|$采用准确的误差界，可以提高因果性核查的分辨率和灵敏度(在参考文献[20]中给出不同的方法估计$|D_N(\mathrm{j}\omega_k)+I_N(\mathrm{j}\omega_k)|$的误差界)。第一个最严格的方法是用样条内插误差分析法来计算误差界。这一上界确保不出现任何的虚假违背。其他方法是基于两个不同内插方案的数值估计。例如，一个可以用三阶样条进行 $\hat{\overline{H}}_N(\mathrm{j}\omega)$的一级估计，再用其他内插方案进行二级估计。根据 Asgari、Lalgudi 和 Tsuk 在参考文献[20]所述，线性内插导致一个高度保守的上界，而二阶内插产生一个不准确的上界。同样，基于三阶厄米特样条(CHS)的三阶内插将给出一个合理的值。

4.4.4 无损耦合传输线示例

本节讨论如何用无损耦合传输线测验上节中所描述的算法。对微带线结构(如图 4.13 所示)进行交流分析，以生成一个 4 端口的 S 参数，其特征阻抗约为 50 Ω。

可以用以下步骤去核查因果性：用 20 阶的拉格朗日内插法以及式(4.39)所述的切比雪夫节点分布，其中 $\varepsilon=0.01$。使用三阶样条估计 $\hat{\overline{H}}_N(\mathrm{j}\omega)$。根据 Asgari、Lalgudi、Tsuk 的建

议[20]，可以用三阶厄米特样条去估计截窗和数值内插误差。为了造出一个非因果的系统响应，加入一个幅度为0.01、中心频率为0.5 GHz、方差为50 MHz的高斯噪声，就可以改变耦合线系统的S参数（只把噪声加到虚部以造出一个非因果响应的结果）。为了确定截窗误差的上界，令式（4.42a）中的$M=0.5$，$\alpha=0$。大多数S参数数据在$\alpha=0$时都能正常工作。然而，为任意数据确定一个合理准确的M值却是相当具有挑战性的，可能需要反复试验以求得一个较好的估值。

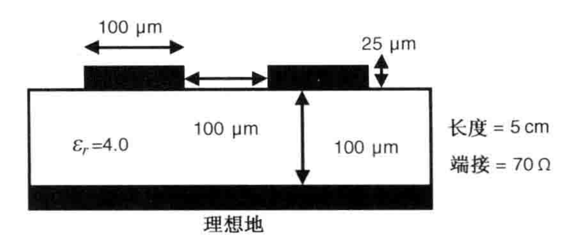


图4.13 无损耦合微带线示例

图4.14（a）给出的是计算误差，是对S_{11}数据通过广义色散关系式重建的结果。这一误差项中包含因数值化和因果性违背引起的误差。为了核查因果性违背，图中也画出数值化误差的上界。如果超过了数值化误差的上界，原始数据就是非因果的。正如图中所示，由于在0.5 GHz中心频率的附近加入高斯噪声，出现了一个因果性违背。如图4.14（b）所示，数值化误差可以分解成数值积分中的截窗误差；以及由于内插和离散化引起的误差。图4.15、图4.16、图4.17显示的分别是对S_{12}、S_{13}和S_{14}项进行的重复性分析。

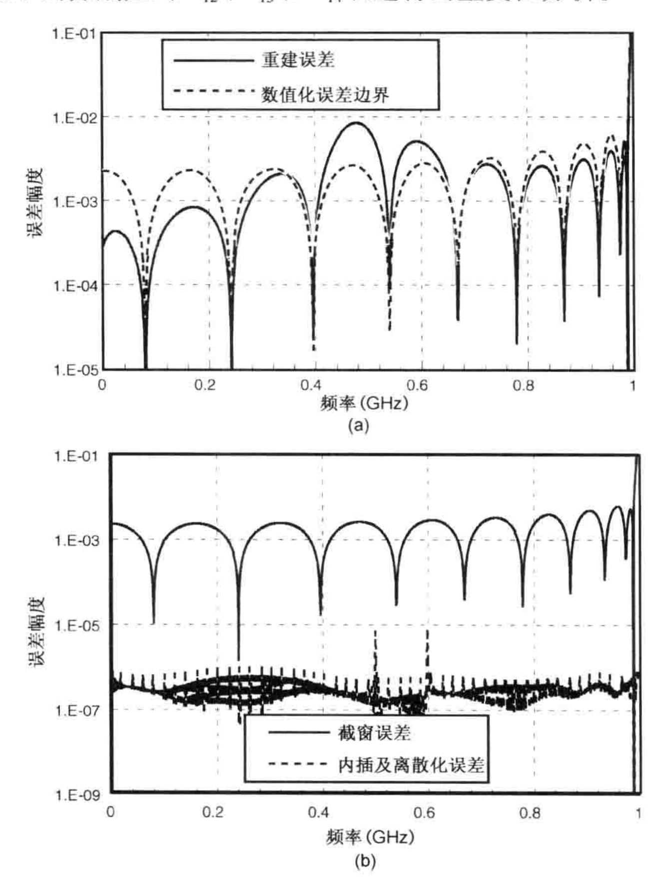


图4.14 （a）因果性核查图以及数值化误差界；（b）S_{11}的截窗误差以及数值内插和离散化误差

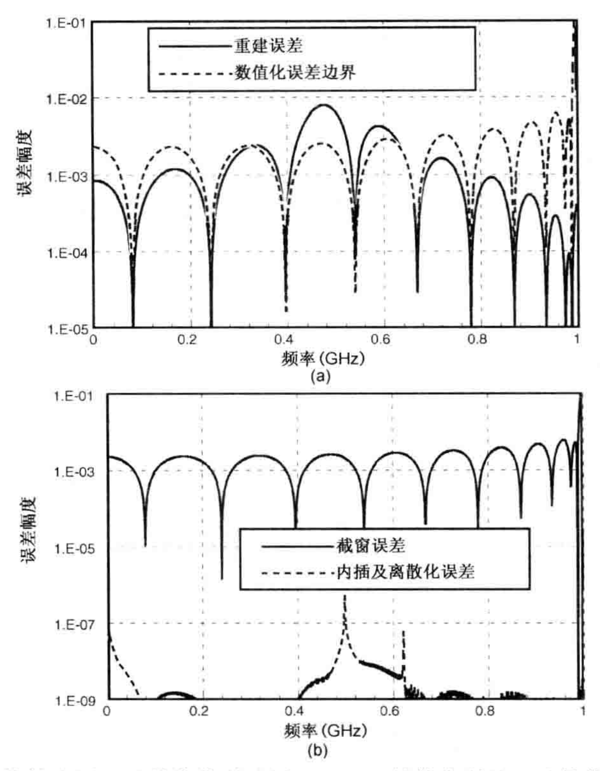


图 4.15 （a）因果性核查图以及数值化误差界；（b）S_{12}的截窗误差以及数值内插和离散化误差

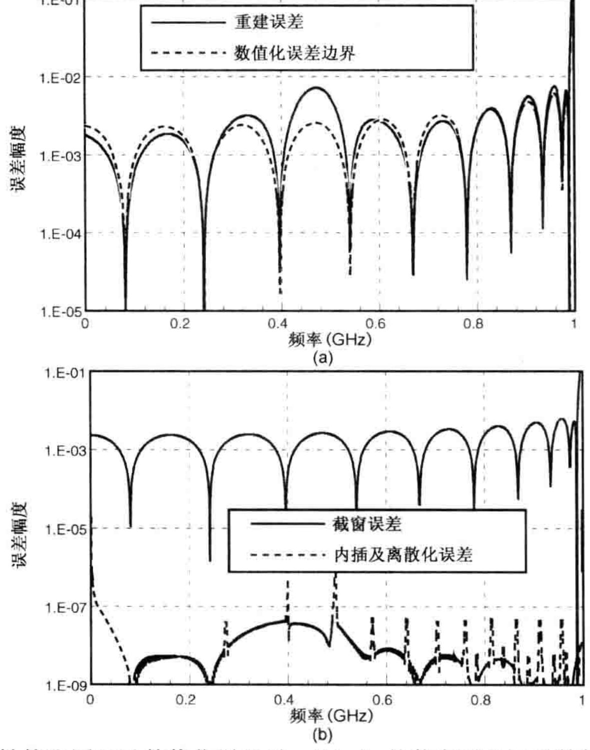


图 4.16 （a）因果性核查图以及数值化误差界；（b）S_{13}的截窗误差以及数值内插和离散化误差

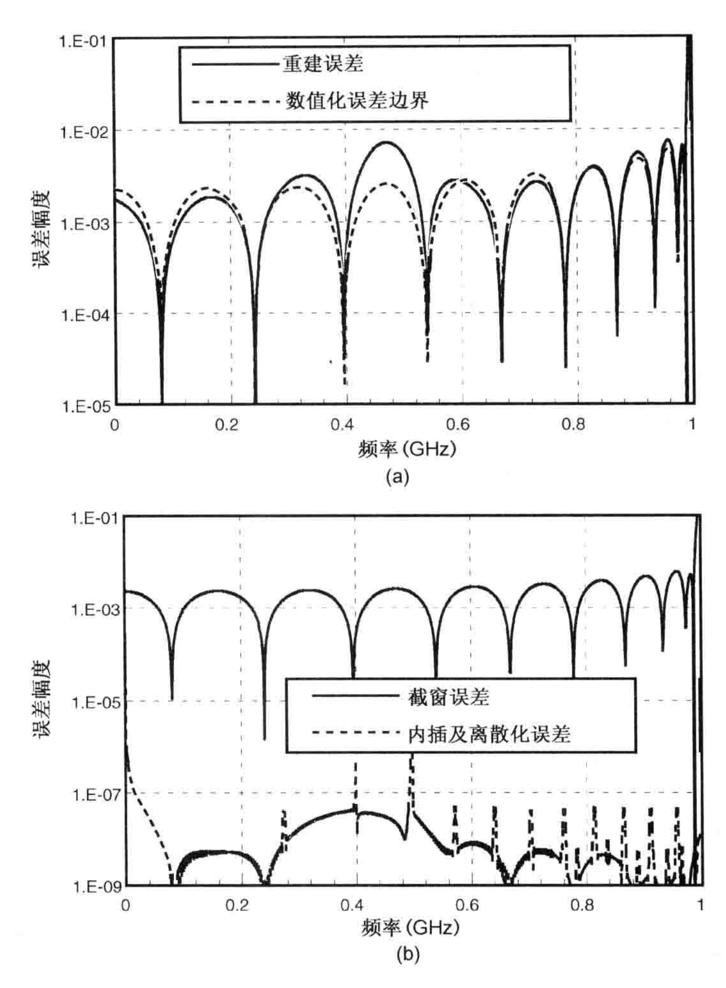


图4.17 (a)因果性核查图以及数值化误差界;(b)S_{14}的截窗误差以及数值内插和离散化误差

4.4.5 因果性强制内插

对S参数数据的内插往往是必要的,特别是对那些直流点。然而,一个对实部和虚部数值的简单内插可能会违背了因果性条件。Triverio、Grivet-Talocia在参考文献[12]中,提出用广义色散关系式(如前所述)进行S参数点的内插。首先,对虚部用一个标准的数值内插方案进行内插。然后,对实部通过广义色散关系式得出。采用这一方案,比采用常规内插以及无相减的色散关系式,都会有明显的改善。事实上,采用无相减的色散关系式得到最坏情况的近似。

4.5 小结

本章回顾了各种网络参数之间的换算公式,包括单端和混模参数之间的换算。需要特别关注对频域数据如何构建时域仿真所需的模型,要确保对宽带数字信号给出准确的通道响应。本章介绍了确定最大频率范围的技术,以及其他改善数值稳定性的技巧。确保可靠

时域仿真的关键是要满足无源性和因果性的条件。本章介绍了一种对无源性和因果性条件直观和非正式的推导；还讨论了潜在的数值问题。

参考文献

1. T. Edwards, *Foundations for Microstrip Circuit Design*, 2nd ed., Wiley, ap. C, pp. 392-395, 1981.
2. K. Kurokawa, "Power waves and the scattering matrix," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-13, no. 3, pp. 194-202, Mar. 1965.
3. R. Marks and D. Williams, "A general waveguide circuit theory," *Journal of Research of the National Institute of Standards and Technology*, vol. 97, pp. 533-561, Sep. 1992.
4. D. Oh, F. Lambrecht, S. Chang, Q. Lin, J. Ren, J. Zerbe, C. Yuan, C. Madden, and V. Stojanovic, "Accurate method for analyzing high-speed I/O system performance," presented at the IEC DesignCon, Santa Clara, CA, 2007.
5. D. Bockelman and W. R. Einsenstadt, "Combined differential and common-mode scattering parameters: theory and simulation," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-43, no. 7, pp. 1530-1539, Jul. 1995.
6. H. Johnson and M. Graham, *High-Speed Digital Design, A Handbook of Black Magic*, Prentice Hall, pp. 1-5, 1993.
7. R. Schaefer, "Discussing the limitations and accuracies of time and frequency domain analysis of physical layer devices," presented at the IEC DesignCon, Santa Clara, CA, 2005.
8. D. Smolyansky, "Advances in gigabit channel measurement-based characterization and simulation," presented at the IEC DesignCon, Santa Clara, CA, 2007.
9. F. Rao, C. Morgan, S. Gupta, and V. Borich, "The need for impulse response models and an accurate method for impulse generation from band-limited S-parameters," presented at the IEC DesignCon, Santa Clara, CA, 2008.
10. W. T. Beyene and C. Yuan, "An accurate transient analysis of high-speed package interconnects using convolution technique," *International Journal of Analog Integrated Circuits and Signal Processing*, vol. 35, no. 2-3, pp. 107-120, 2003.
11. P. Triverio and S. Grivet-Talocia, "Stability, causality, and passivity in electrical interconnect models," *IEEE Transactions on Advanced Packaging*, vol. 30, no. 4, pp. 795-808, Nov. 2007.
12. P. Triverio and S. Grivet-Talocia, "Causality-constrained interpolation of tabulated frequency responses," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2006, pp. 181-184.
13. H. Shi, "A refine procedure for S-parameter DC extrapolation based on sampling theorem and causality," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2007, pp. 43-46.
14. E. Gad, C. Chen, M. Nakhla, and R. Achar, "Passivity verification in delay-based macromodels of electrical interconnects," *IEEE Transactions on Circuits and Systems I*, vol. 52, no. 10, pp. 2173-2187, Oct. 2005.
15. S. Grivet-Talocia and A. Ubolli, "A comparative study of passivity enforcement schemes for linear lumped macromodels," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 4, pp. 673-683, Nov. 2008.
16. M. R. Wohlers, *Lumped and Distributed Passive Networks*, Academic, 1969.

17. D. C. Youla, L. J. Castriota, and H. J. Carlin, "Bounded real scattering matrices and the foundations of linear passive network theory," *IRE Transactions on Circuit Theory*, vol. CT-6, pp. 102-124, Mar. 1959.
18. B. Young and A. S. Bhandal, "Causality checking and enhancement of 3D electromagnetic simulation data," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2010, pp. 81-84.
19. P. Triverio and S. Grivet-Talocia, "Robust causality characterization via generalized dispersion relations," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 3, pp. 579-593, Aug. 2008.
20. S. Asgari, S. N. Lalgudi, and M. Tsuk, "Analytical integration-based causality checking of tabulated S-parameters," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2010, pp. 189-192.
21. W. Rudin, *Principles of Mathematical Analysis*, 3rd ed., McGraw Hill, 1976.

第5章 传 输 线

Dan Oh, Joong-Ho Kim

第4章讨论了可以表征任意无源结构的一般网络参数。这些网络参数为频域分析提供了准确的通道模型，但它们可能会造成数值不稳定问题或错误的时域模型。对于均匀互连结构而言，传输线模型比一般网络模型提供了更直观的物理模型和更准确的电路模型。对传输线模型的透彻理解有助于信号完整性工程师构建准确的通道模型，从而设计出更好的物理通道。本章共计包括四部分的内容，第一部分介绍基本的电报方程理论和传输线参数。并且给出将传输线参数变为其他网络参数的换算公式。

本章的第二部分，介绍一种流行的基于有损传输线模型递归卷积的时域仿真技术。这种方法是基于频域的有理函数逼近。相比传统的直接卷积法，它提供出一种快速又准确的时域模型。然而，递归卷积的准确性在很大程度上取决于并不总是稳定的有理函数逼近。本章将探讨与递归卷积法相关的潜在数值不稳定问题。

本章的第三部分，讨论基于测量数据的传输线建模。传输线模型通常是由电磁场求解器产生的。场求解器模型的准确度受限于输入材料参数的准确性。然而，高频区的材料性能，例如导体的电导率和介质的损耗角正切，是难以度量或表征的。因此，基于直接测量的传输线建模是非常有用的，甚至可以从传输线模型中再算出有效的材料特性。

本章的最后一部分讨论片上互连模型。一个高速I/O接口采用的是高频时钟，由于I/O接口模块往往占用芯片大量的外围面积，导致时钟的布线长度相对较长。用一个简单的RC网络作为I/O接口中时钟网络的模型是不合适的，而传输线模型则会更准确一些。片上走线的特点与片外互连大不相同，因为它们往往没有明确的返回路径。在小结中将介绍各种主板走线、封装走线、片上互连的RLGC参数，并指出它们间的主要区别。

5.1 传输线理论

在多导体传输线中，横电磁(TEM)波的麦克斯韦方程组简化为电报方程。频域电报方程的一般形式如下：

$$-\frac{\partial \boldsymbol{v}(z,\omega)}{\partial z} = [\boldsymbol{R}(\omega) + \mathrm{j}\omega \boldsymbol{L}(\omega)]\boldsymbol{i}(z,\omega) = \boldsymbol{Z}_l(\omega)\boldsymbol{i}(z,\omega) \tag{5.1a}$$

$$-\frac{\partial \boldsymbol{i}(z,\omega)}{\partial z} = [\boldsymbol{G}(\omega) + \mathrm{j}\omega \boldsymbol{C}(\omega)]\boldsymbol{v}(z,\omega) = \boldsymbol{Y}_l(\omega)\boldsymbol{v}(z,\omega) \tag{5.1b}$$

其中，$\boldsymbol{v}(z)$ 是线间电压矢量，$\boldsymbol{i}(z)$ 是沿线电流矢量。$\boldsymbol{R}$、$\boldsymbol{L}$、$\boldsymbol{G}$、$\boldsymbol{C}$ 分别是每单位长度的电阻(Ω/m)、电感(H/m)、电导(S/m)、电容(F/m)矩阵；它们通常都是频率的函数。

上述耦合微分方程的一般解如下[1]：

$$\boldsymbol{v}(\omega) = \mathrm{e}^{-\boldsymbol{\Psi}(\omega)z}\boldsymbol{A} + \mathrm{e}^{\boldsymbol{\Psi}(\omega)z}\boldsymbol{B} \tag{5.2a}$$

$$\boldsymbol{Z}_c(\omega)\boldsymbol{i}(\omega) = \mathrm{e}^{-\boldsymbol{\Psi}(\omega)z}\boldsymbol{A} - \mathrm{e}^{\boldsymbol{\Psi}(\omega)z}(\omega)\boldsymbol{B} \tag{5.2b}$$

其中

$$\boldsymbol{Z}_c(\omega) = \boldsymbol{Y}_c^{-1}(\omega) = \boldsymbol{\Psi}(\omega)(\boldsymbol{G}(\omega) + \mathrm{j}\omega\boldsymbol{C}(\omega))^{-1} = \boldsymbol{\Psi}(\omega)\boldsymbol{Y}_l(\omega)^{-1} \tag{5.3a}$$

$$\boldsymbol{\Psi}(\omega) = [(\boldsymbol{R}(\omega) + \mathrm{j}\omega\boldsymbol{L}(\omega))(\boldsymbol{G}(\omega) + \mathrm{j}\omega\boldsymbol{C}(\omega))]^{1/2} = [\boldsymbol{Z}_l(\omega)\boldsymbol{Y}_l(\omega)]^{1/2} \tag{5.3b}$$

$\boldsymbol{Y}_c$和 $\boldsymbol{Z}_c$分别是特征导纳矩阵和阻抗矩阵。$\boldsymbol{\Psi}$是传播常数矩阵。在式(5.3a)及式(5.3b)中假设 $\boldsymbol{Z}_l$和 $\boldsymbol{Y}_l$是对称的，而 $\boldsymbol{Z}_l\boldsymbol{Y}_l$为如下所示的对角化矩阵：

$$\boldsymbol{Z}_l\boldsymbol{Y}_l = \boldsymbol{M}\hat{\boldsymbol{D}}\boldsymbol{M}^{-1} = \boldsymbol{M}\hat{\boldsymbol{\Psi}}^2\boldsymbol{M}^{-1} = \boldsymbol{M}\begin{bmatrix}\psi_1^2 & & \\ & \ddots & \\ & & \psi_N^2\end{bmatrix}\boldsymbol{M}^{-1} \tag{5.4}$$

其中，$\hat{\boldsymbol{\Psi}}$是模态传播矩阵，ψ_i是模态传播常数。注意，$\boldsymbol{Y}_l\boldsymbol{Z}_l$和 $\boldsymbol{Z}_l\boldsymbol{Y}_l$具有相同的特征值，确保了电流波与电压波以同样的方式传播，尽管它们的特征矢量不同。在对传输线进行分析时，模态传播常数对于探究和理解其中的各种现象起着重要的作用。5.2 节中将要讨论串扰的影响，就是这样一个示例。

表 5.1 中给出传输线参数($\boldsymbol{Z}_c$和 $\boldsymbol{\Psi}$)换算成其他网络参数的公式[1,2]。当我们对矩阵 $\boldsymbol{A}$ 进行某种功能运算时，采用下面的定义：

$$\mathrm{fn}(\boldsymbol{A}) \equiv \mathrm{M}\mathrm{fn}(\hat{\boldsymbol{A}})\boldsymbol{M}^{-1} = \boldsymbol{M}\begin{bmatrix} fn(a_1) & & 0 \\ & \ddots & \\ 0 & & fn(a_N)\end{bmatrix}\boldsymbol{M}^{-1} \tag{5.5}$$

其中，a_i是对角化矩阵 $\hat{\boldsymbol{A}}$ 的元素。

在得到 $\boldsymbol{Z}_c$和 $\boldsymbol{\Psi}$之后，使用下列公式可以求得 RLGC 矩阵：

$$\boldsymbol{R}(\omega) = \mathrm{Re}[\boldsymbol{\Psi}(\omega)\boldsymbol{Z}_c(\omega)],\quad \boldsymbol{L}(\omega) = \frac{1}{\omega}\mathrm{Im}[\boldsymbol{\Psi}(\omega)\boldsymbol{Z}_c(\omega)] \tag{5.6a}$$

$$\boldsymbol{G}(\omega) = \mathrm{Re}[\boldsymbol{Z}_c^{-1}(\omega)\boldsymbol{\Psi}(\omega)],\quad \boldsymbol{C}(\omega) = \frac{1}{\omega}\mathrm{Im}[\boldsymbol{Z}_c^{-1}(\omega)\boldsymbol{\Psi}(\omega)] \tag{5.6b}$$

表 5.1 传输线参数矩阵与 Z 以及 ABCD 矩阵参数之间的换算公式

	Z_c, $\boldsymbol{\Psi}$	Z	ABCD
$\boldsymbol{Z}_c$, $\boldsymbol{\Psi}$	$\boldsymbol{Z}_c(\omega) = \boldsymbol{\Psi}(\omega)\boldsymbol{Y}_l^{-1}(\omega)$ $\boldsymbol{\Psi}(\omega) = [\boldsymbol{Z}_l(\omega)\boldsymbol{Y}_l(\omega)]^{1/2}$ $\boldsymbol{Z}_c(\omega) = \boldsymbol{Y}_c^{-1}(\omega)$ $\boldsymbol{Y}_l(\omega) = \boldsymbol{G}(\omega) + \mathrm{j}\omega\boldsymbol{C}(\omega)$ $\boldsymbol{Z}_l(\omega) = \boldsymbol{R}(\omega) + \mathrm{j}\omega\boldsymbol{L}(\omega)$	$\boldsymbol{Z}_{11} = \boldsymbol{Z}_c\coth(\boldsymbol{\Psi}l)$ $\boldsymbol{Z}_{12} = \boldsymbol{Z}_c\mathrm{csch}(\boldsymbol{\Psi}l)$ $\boldsymbol{Z}_{11} = \boldsymbol{Z}_{22}$, $\boldsymbol{Z}_{12} = \boldsymbol{Z}_{21}$	$\boldsymbol{A} = \boldsymbol{Z}_c\cosh(\boldsymbol{\Psi}l)\boldsymbol{Z}_c^{-1}$ $\boldsymbol{B} = \boldsymbol{Z}_c\sinh(\boldsymbol{\Psi}l)$ $\boldsymbol{C} = \sinh(\boldsymbol{\Psi}l)\boldsymbol{Z}_c^{-1}$ $\boldsymbol{D} = \cosh(\boldsymbol{\Psi}l)$
Z	$\cosh(\boldsymbol{\Psi}l) = \boldsymbol{Z}_{12}^{-1}\boldsymbol{Z}_{11}$ $\boldsymbol{Z}_c = \boldsymbol{Z}_{12}\sinh(\boldsymbol{\Psi}l)$	$\begin{bmatrix}\boldsymbol{v}_1\\ \boldsymbol{v}_2\end{bmatrix} = \begin{bmatrix}\boldsymbol{Z}_{11} & \boldsymbol{Z}_{12}\\ \boldsymbol{Z}_{21} & \boldsymbol{Z}_{22}\end{bmatrix}\begin{bmatrix}\boldsymbol{i}_1\\ \boldsymbol{i}_2\end{bmatrix}$	参见表 4.1
ABCD	$\cosh(\boldsymbol{\Psi}l) = \boldsymbol{D}$ $\boldsymbol{Z}_c = \boldsymbol{B}\mathrm{csch}(\boldsymbol{\Psi}l)$	见表 4.1	$\begin{bmatrix}\boldsymbol{v}_1\\ \boldsymbol{i}_1\end{bmatrix} = \begin{bmatrix}\boldsymbol{A} & \boldsymbol{B}\\ \boldsymbol{C} & \boldsymbol{D}\end{bmatrix}\begin{bmatrix}\boldsymbol{v}_2\\ -\boldsymbol{i}_2\end{bmatrix}$

5.1.1 准静态近似

在上述传输线方程中，一个基本假设就是传播的波是一种 TEM 模态。一般而言，非均

匀介质的传输线，或者是含有导线损耗的传输线，都不支持 TEM 模态。需要用全波分析(麦克斯韦方程组)，去准确地表征传输线中的混模状态。然而，当横向电场和磁场分量比纵向分量占优势时，原本的混合模态变成了一种准 TEM 模态，其 TEM 的特征比混模更占主导地位。对麦克斯韦方程进行三维分析，可以确定出准 TEM 模态的有效范围[3~5]。从本质上说，当横向尺寸远小于波长时，准 TEM 模型就是有效的。对于集成电路中的情况，在假设导线损耗可以忽略不计时，准 TEM 模型是足以适用的。

由于趋肤效应或表面粗糙度引起的导线损耗在电流流动的方向形成电场，这在准 TEM 模态中是被忽略不计的。幸运的是，研究表明，准 TEM 近似在趋肤效应占主导的频率范围内也是有效的[6]。另外的介质损耗没有在电流流动方向形成额外的电场，它不像导线损耗那样会影响到准 TEM 的逼近度。最后，因为 TEM 模态的电场和磁场分布接近于静态的分布，可以用静态分析的方法而不是全波求解法去表征准 TEM 传输线。这就是许多传输线求解器是一种准静态工具的道理。

5.1.2 RLGC 矩阵的性质

典型的传输线模型使用 RLGC 矩阵作为输入来表征传输线参数。RLGC 模型已经从常数矩阵进化到完全频率相关的表格式矩阵。当数字 I/O 的速度很低时，随频率而变的趋肤效应和介质损耗都可以忽略；完全可以用常数 RLGC 矩阵进行传输线的仿真。当 I/O 速度提高时，由于频率相关损耗引起的色散再也不能忽略，因此，必须使用公式来表征 $\boldsymbol{R}$ 和 $\boldsymbol{G}$ 值的频率相关性。对趋肤效应和介质损耗进行建模，广泛采用以下的表达式：

$$\boldsymbol{R}(\omega) = \boldsymbol{R}_{\mathrm{dc}} + \mathrm{j}\sqrt{f}\boldsymbol{R}_s \tag{5.7}$$

$$\boldsymbol{G}(\omega) = \boldsymbol{G}_{\mathrm{dc}} + \mathrm{j}f\boldsymbol{G}_d \tag{5.8}$$

上述表达式当损耗相对较小时没有问题。然而，当与频率相关的损耗变大时，这些简单表达式就不再能准确地表征出传输线的行为。此外，事实上这些关系式违背了因果性并造成额外的准确性问题。HSPICE 中 W 元件模型支持的表格格式可以接纳任意的频率相关行为。采用这一表格格式，可以用 S 参数数据(无论是从全波求解器或测量获得)准确地对传输线建模。5.4 节详细描述基于测量对传输线建模的方法学。

本节余下的部分用于阐述 $\boldsymbol{L}$ 和 $\boldsymbol{C}$ 矩阵的物理性质。不是简单地列出这些性质，本节将给出基于静态假设的简要推导。这些属性也可以用电报方程加以讨论。首先考虑电容矩阵。电容矩阵($\boldsymbol{C}$)以下列方式给出电压与导线总自由电荷的关系：

$$\boldsymbol{C}\boldsymbol{v} = \boldsymbol{q} \tag{5.9}$$

为了计算电容矩阵，需要求得由 N 个独立电压激励的电荷量。以下是解的矩阵关系式：

$$\boldsymbol{C} = \boldsymbol{Q}\boldsymbol{V}^{-1} \tag{5.10}$$

在某个导体与其他导体之间以及与地导体之间逐个加上一个单位电压的激励，电压 $\boldsymbol{V}$ 就是一个单位阵；电容 $\boldsymbol{C}$ 则简单地等于电荷 $\boldsymbol{Q}$。这样，$\boldsymbol{Q}$ 表示导体上的物理电荷，可以推导出如下的性质：

- $\boldsymbol{Q}$ 是对称的，根据互易性，$\boldsymbol{C}$ 也是对称的：

$$C_{i,j} = C_{j,i} \tag{5.11a}$$

- 因为 $\boldsymbol{Q}$ 的对角线元素是激励导体上的电荷，$\boldsymbol{Q}$ 的非对角线元素是在其他导体上感应

的电荷，所以 $\boldsymbol{Q}$ 的对角线元素是正电荷，所有非对角线元素均为负电荷：

$$C_{i,i} > 0, \quad C_{i,j} < 0, \quad j \neq i \tag{5.11b}$$

- 此外，感应电荷之和的总量必然小于激励导体的电荷量，因为有些电荷是感应到地导体上的。这使得 $\boldsymbol{C}$ 的对角线元素的值会比较大一些：

$$\left|C_{i,i}\right| > \left|\sum_{i \neq j} C_{i,j}\right| \tag{5.11c}$$

- 由于 $\boldsymbol{C}$ 是实的、对称的、对角元素占优势的，从而它是正定的。

上述电容矩称为麦克斯韦电容矩阵。在计算物理自电容和互电容（ C_i^s 和 $C_{i,j}^m$ ）时，采用以下的关系式：

$$C_{i,j} = -C_{i,j}^m \tag{5.12a}$$

$$C_{i,i} = C_i^s + \sum_{i \neq j} C_{i,j}^m \tag{5.12b}$$

相反，电感矩阵($\boldsymbol{L}$)是指当信号导体上有电流时，在信号导体磁通量与参考导体磁通量之间的差，关系式如下：

$$\boldsymbol{Li} = \boldsymbol{\psi} \tag{5.13}$$

这一静态电感称为外部电感。由于趋肤效用的作用，它不包括任何内部电感。$\boldsymbol{L}$ 中的所有元件都是正的。由于静电和静磁公式之间的同构性，可以用下述表达式计算电感矩阵[7]：

$$\boldsymbol{L} = \frac{1}{c^2}\boldsymbol{C}_{\text{free}}^{-1} \tag{5.14}$$

其中，c 是光速；$\boldsymbol{C}_{\text{free}}$是自由空间情况下的电容矩阵，这里所有的介质层都换成为自由空间。

由于互易性，$\boldsymbol{L}$ 是对称的。正定矩阵的逆也是正定的，所以基于式(5.14)的 $\boldsymbol{L}$ 是正定的。这一麦克斯韦电感矩阵 $\boldsymbol{L}$ 与物理电感的关系式如下：

$$L_{i,j} = L_{i,j}^m \tag{5.15a}$$

$$L_{i,i} = L_i^s \tag{5.15b}$$

上一节给出电报方程式(5.1a)、式(5.1b)的解[参见式(5.2a)和式(5.2b)]，其假设前提是乘积 $\boldsymbol{ZY}$ 是对角化的[参见式(5.4)]。无损传输线的一个先决条件就是 $\boldsymbol{L}$ 和 $\boldsymbol{C}$ 是对称正定的，非均匀介质时的 $\boldsymbol{LC}$ 和 $\boldsymbol{CL}$ 则是有 n 个不同特征值的对角化阵。所以，无损传输线满足这一假设前提[8]。对于均匀介质，$\boldsymbol{L}$ 和 $\boldsymbol{C}$ 矩阵间基于式(5.14)的表达式如下：

$$\boldsymbol{LC} = \frac{1}{v^2} \tag{5.16}$$

因此，均匀介质 $\boldsymbol{LC}$ 矩阵的所有特征值都是相同的。这是一个重要的性质，它与下一节传输线串扰主题背后的物理机理密切相关。

5.2 前向与后向串扰

人们从多种不同的角度描述传输线的串扰。本节的前向串扰是指在波传播过程中发生的串扰。因此，前向串扰与端接情况无关。另一方面，后向串扰是指由于反射引起的各种耦合，因此它是线阻抗和端接状况的强函数。术语近端串扰和远端串扰分别是指在传输线的

源端和负载端的前向与后向串扰之和。在进行串扰分析时，假设传输线是均匀和无损的。除了地导体的损耗外，耦合的大小并非是损耗的主导因素。

传统上，人们用电容耦合和电感耦合对串扰现象加以解释。在描述两条甚至三条耦合传输线的耦合效应时，给出了一个数学上的简单表达式。例如，Dally 和 Poulton 在参考文献[9]中给出如图 5.1 所示对称双线传输线的远端串扰(V_F)和近端串扰(V_N)的幅度：

$$V_F = \frac{l\sqrt{L_s C_s}}{2}\left(\frac{C_m}{(C_s + C_m)} - \frac{L_m}{L_s}\right)\frac{V_s}{t_r} = \frac{t_d}{2}\left(\frac{C_m}{(C_s + C_m)} - \frac{L_m}{L_s}\right)\frac{V_s}{t_r} \tag{5.17a}$$

$$V_N = \frac{1}{4}\left(\frac{C_m}{(C_s + C_m)} + \frac{L_m}{L_s}\right)V_S \tag{5.17b}$$

其中，l 是传输线的长度；V_S是攻击线的电压摆幅。图 5.2 给出了微带线在阶跃上升边情况下的近端和远端串扰响应。注意，这里的远端串扰公式，只有当奇模和偶模间的错位小于上升边(t_r)时才是有效的。

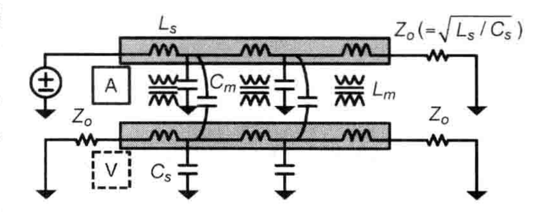


图 5.1　对称的双线传输线系统

然而，耦合现象从根本上说是由于电磁意义上模态间的相互作用。基于电容和电感的简单解释不能解释所有串扰背后的物理机理，即使是经验丰富的信号完整性工程师，有时也会造成对串扰效应的误引导。例如，一个常有的错误概念就是一个可以在模态空间发送信号以消除耦合。人们还广泛地认为前向串扰是与攻击线信号的导数相关。下节将不按照电容和电感耦合的概念，而是介绍基于模态分析的前向/后向串扰基础知识。模态分析表明，前向串扰并不是攻击线响应导数的函数，在模态空间发送信号也不能解决串扰问题。

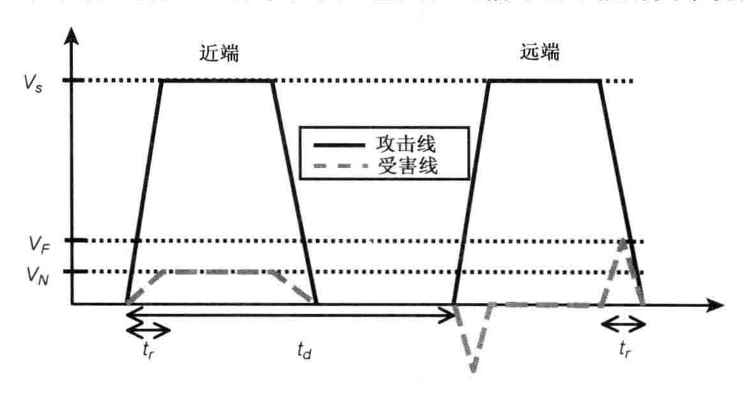


图 5.2　基于感性和容性耦合分析的近端串扰和远端串扰

5.2.1　模态突变及反射(后向串扰)

在波导理论中，不同的介质支持不同的传播模态空间。如果把两个不同的介质相连，接口处就出现突变。传播模态将从一个模态空间转换到另一种模态，可能会导致模态耦合及反射。考虑这样一种情况，其中驱动源是单端端接，传输线是弱耦合。这时驱动源和传输线的模态配置(特征矢量)都是单端的，模态空间是相同的，不会发生模态转换。视阻抗的不匹配程度只发生信号的反射，而没有发生耦合。另一方面，如果该系统有一个强

耦合的传输线，传播的信号为从单端模态转换为耦合模态，由于在接口处模态阻抗的不匹配，会出现某些模态的反射。当这些耦合模态出现不同程度的反射时，就出现了被称为后向串扰的串扰。注意，只在接口处发生模态反射，后向串扰也仅发生在接口处。当信号跨过接口处之后，就不再有额外的串扰发生，只是某些特殊介质还可能有前向串扰发生，在下一节再做介绍。

数学上，模态反射用下述传输线表达式表示，反射系数矩阵可以用下列矩阵方程求得[18]：

$$\boldsymbol{T} = (\boldsymbol{I} + \boldsymbol{Z}_t\boldsymbol{Y}_c)^{-1} \tag{5.18a}$$

$$\boldsymbol{\Gamma} = (\boldsymbol{Z}_t\boldsymbol{Y}_c + \boldsymbol{I})^{-1}(\boldsymbol{Z}_t\boldsymbol{Y}_c - \boldsymbol{I}) \tag{5.18b}$$

其中，$\boldsymbol{Z}_t$是端接矩阵，$\boldsymbol{Y}_c$是传输线特征导纳。为了避免串扰，$\boldsymbol{T}$ 和 $\boldsymbol{\Gamma}$ 矩阵必须是对角化的；否则耦合项将导致串扰。根据式(5.18)，当且仅当$\boldsymbol{Z}_t\boldsymbol{Y}_c$是对角化的，或者说，$\boldsymbol{Z}_t$必须是$\boldsymbol{Z}_c$的简单线性倍数，则 $\boldsymbol{T}$ 和 $\boldsymbol{\Gamma}$ 就是对角化的。因此，端接网络中也包括在信号节点间的跨接端接，以避免串扰。

这种端接可能会引起明显的功耗，如果在芯片上端接则需要大量的芯片面积。但为了避免高速链路时信号的反射，必须在片上端接。根据前面的表达式可知，后向串扰与模态的转换有关，从而与特征矢量相关，但并不是直接与特征值有关的。换句话说，后向串扰并非直接与任何一个波的传播特性有关。具体而言，它与信号边沿速率和传输线长度无关。耦合噪声波形的形状除极性外，与攻击源的波形相同。这里假设特征矢量不是频率的函数。

在实际的印制电路板(PCB)应用场合，后向串扰不仅发生在源端或负载端，也发生在走线引出端区附近、键合线、过孔切换，连接器转换，封装走线和电路板走线等阻抗不匹配处(严格说是模态不匹配处)。因此，通过正确的走线阻抗匹配以避免耦合，几乎是不可能的(或至少是不切实际的)。一个处理串扰更有效的方法是使用均衡方案进行抵消[10~14]。在采用差分信令的SerDes应用中，人们对串扰抵消技术进行了一些研究。然而迄今为止，还没有任何商用产品采用了任何串扰抵消技术。这些方法对于存储器接口显得更有效一些，因为它们往往采用对串扰非常敏感的单端信令。遗憾的是，高昂的实现成本和设计复杂度，阻碍了这些技术在实际中的推广应用。

对于如图5.1所示的对称双线情况，下面给出基于模态分析的近端串扰(V_N)准确表达式。先把这一表达式与Dally和Poulton的式(5.17b)进行对比。然后，再用HSPICE仿真对比这两个表达式的准确性。根据图5.1，写出奇模和偶模的电容和电感如下：

$$L_{\text{odd}} = L_s - L_m = L_{11} - L_{12} \tag{5.19a}$$

$$L_{\text{even}} = L_s + L_m = L_{11} + L_{12} \tag{5.19b}$$

$$C_{\text{odd}} = C_s + 2C_m = C_{11} - C_{12} \tag{5.19c}$$

$$C_{\text{even}} = C_s = C_{11} + C_{12} \tag{5.19d}$$

其中，L_s、L_m、C_s、C_m是物理电感和电容，L_{11}、L_{12}、C_{11}、C_{12}是麦克斯韦值，C_{12}是负的。使用下述表达式可以求得特征阻抗矩阵：

$$\boldsymbol{Z}_c = \begin{bmatrix} Z_s & Z_m \\ Z_m & Z_s \end{bmatrix} \tag{5.20a}$$

$$Z_s = \frac{1}{2}(Z_{\text{odd}} + Z_{\text{even}}) = \frac{1}{2}\left(\sqrt{L_{\text{odd}}/C_{\text{odd}}} + \sqrt{L_{\text{even}}/C_{\text{even}}}\right) \tag{5.20b}$$

$$Z_m = \frac{1}{2}(Z_{\text{even}} - Z_{\text{odd}}) = \frac{1}{2}\left(\sqrt{L_{\text{even}}/C_{\text{even}}} - \sqrt{L_{\text{odd}}/C_{\text{odd}}}\right) \tag{5.20c}$$

根据这一关系式以及端接情况，耦合电压的传输项等于：

$$\boldsymbol{T}(2,1) = \frac{Z_m Z_o}{Z_s^2 - Z_m^2 + Z_o Z_s} \tag{5.21}$$

上述表达式并未化简为式(5.17b)。为了测试这两个表达式的准确性，我们用以下传输线参数进行 HSPICE 仿真：

$$\boldsymbol{L} = \begin{bmatrix} 2.9350\text{E-}07 & 5.3183\text{E-}08 \\ 5.3183\text{E-}08 & 2.9350\text{E-}07 \end{bmatrix}, \boldsymbol{C} = \begin{bmatrix} 1.1632\text{E-}10 & -1.0459\text{E-}11 \\ -1.0459\text{E-}11 & 1.1632\text{E-}10 \end{bmatrix} \tag{5.22}$$

HSPICE 仿真的近端串扰是 70.06 mV。用式(5.21)求得的结果是 70.05 mV，与 HSPICE 的仿真结果精确匹配。用式(5.17b)求得的结果是 67.78 mV，清楚地表明式(5.17b)只是一种近似。

5.2.2 模态传播(前向串扰)

如果说信号在传送过程中没有串扰，可能很多人会感到惊讶。然而，从模态分析的角度看这是对的。传输线只是波导的一种特殊形式，它支持 TEM(或准 TEM)波这种传播模态。只要这些传输线是均匀的，它们的模态也是互相独立的，彼此之间没有耦合。任一传送信号都可以分解成几种传输线传播模态之和，然后再重组回原始信号。因此，在传送过程中没有发生模态的转换。

这时就有新的问题产生：前向串扰是如何形成的？答案是：由于传播模态的模态速度之差引起的。一般情况下，传输线的所有 N 个独立的模态将以各自的模态速度传播。随着线长的增加，每种模态的渡越时间将明显不同。首先，原始信号在经由传输线传播之前先分解成不同的传输模态。每种模态以不同速度到达线的末端，在它们组合回原始信号的时候，每种模态都累积了明显的错位。这种错位可看成在远端的耦合噪声。因此，当传输线长度增大时，由于错位的积累使得前向串扰呈线性增大。

图 5.3 展示出这种前向串扰的机理。为简单起见，这一示例是一种对称的双微带线系统。在这种情况下，奇模和偶模的模态分别为(0.5, 0.5)和(0.5, -0.5)。传播前的任一激励电压都被分解成这两种模态的组合。图 5.3 给出传输线的激励：攻击线上为 1 V；受害线上为 0 V。图 5.3 中给出三个不同位置上的三幅电压波形图，并给出线上的模态电压。在驱动源位置 A，由于奇模和偶模之间没有时延差，第一列曲线显示在受害线上的净电压是零。当奇模和偶模沿线传播时，错位开始累积，在位置 B 处的波形显示了典型的前向串扰波形。图 5.3 中的第二列曲线演示出错位是如何引起攻击线和受害线波形失真的。对于攻击线，错位已经形成了导致时序抖动的一个门廊。在实际仿真中，当边沿速率放缓时会出现这一门廊。另外，在受害线上由错位形成了一个脉冲。当线长度非常长时，奇模和偶模波形之间的错位可以超过一个位时宽，造成如图 5.3 中的第三列曲线所示的奇模和偶模波形完全分开。实践中线条间的耦合区通常较短，很少出现如此退化的情况。

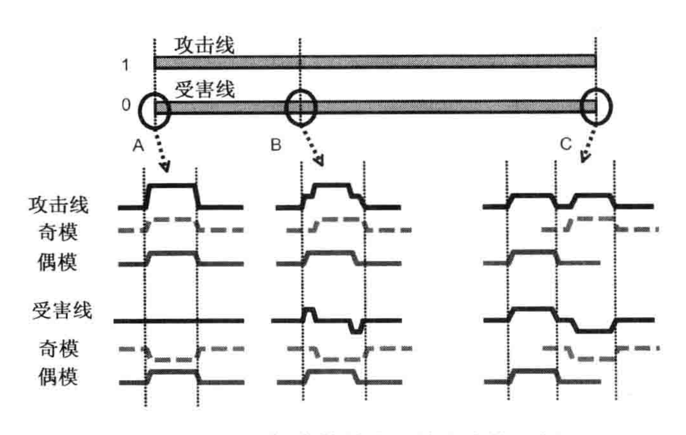


图 5.3 基于耦合传输线的前向串扰示例

图 5.4 显示采用式(5.22)所描述的传输线中奇模和偶模的模态速度差。该线的长度是 40 cm。所有的源端和负载端都用 Z_o端接。对受害线用一个 PRBS(伪随机二进制序列)数据模板激励。检查攻击线三种不同的数据模板：静态、偶模、奇模的情况。正如所料，奇模数据模板最先到达，接着是单端模态(静态数据模板)，偶模数据模板。有趣的是，如同图 5.3 所预估的那样，只有单端模态在上升边或下降边时出现门廊，因为它同时包含有奇模和偶模模态在内。另一方面，纯粹的偶模或奇模模态是以一个速度在传播，所以没有出现任何门廊。

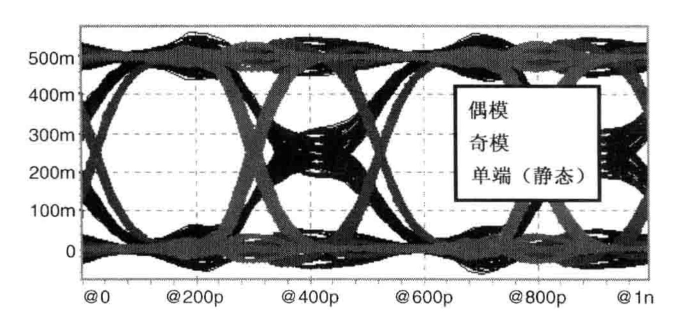


图 5.4 微带线的静态模、偶模和奇模数据模板

前向串扰是由于模态速度之差引起的。在均匀介质中的布线就没有前向串扰，因为它们具有相同的模态速度[参见式(5.16)]。因此，在均匀带状线的情况下没有前向串扰。但是，由于各种模态的转换和反射(后向串扰)，它可能有远端串扰。嵌入式微带线的前向串扰较小，因为其模态速度之差比常规微带线要小。

高速数字电缆，例如同轴电缆或屏蔽双绞线电缆，都采用均匀介质避免前向串扰是非常有效的。将电缆线双绞也可以明显降低前向串扰，因为它将串扰的影响平均掉了。对于差分线，两个差分对的双绞方向应该选取相反的方向，这将进一步平均掉由两个双绞线对引起的任何串扰积累。

在此对本节内容做一小结，基于模态分析，对图 5.1 的对称双线情况，给出远端串扰(V_F)的前向串扰表达式。推导出对奇模和偶模间有多大错位都有效的一般表达式。计算奇模和偶模间错位的公式为：

$$t_{\mathrm{skew}} = t_{\mathrm{odd}} - t_{\mathrm{even}} = l\sqrt{(L_{11} - L_{12})(C_{11} - C_{12})} - l\sqrt{(L_{11} + L_{12})(C_{11} + C_{12})}$$
$$\approx l\sqrt{L_{11}C_{11}}\left(-\frac{C_{12}}{C_{11}} - \frac{L_{12}}{L_{11}}\right) = l\sqrt{L_s(C_s + C_m)}\left(\frac{C_m}{(C_s + C_m)} - \frac{L_m}{L_s}\right) \tag{5.23}$$

这里，采用 $\sqrt{1-x} \approx 1 - x/2$ 近似关系以简化表达式。将具有不同错位量的偶模和奇模脉冲叠加，给出前向串扰当$|t_{\mathrm{odd}} - t_{\mathrm{even}}| < t_r$时的表达式为：

$$v_F = (t_{\mathrm{odd}} - t_{\mathrm{even}})\frac{V_s}{t_r}$$
$$\approx \frac{l\sqrt{L_s(C_s + C_m)}}{2}\left(\frac{C_m}{(C_s + C_m)} - \frac{L_m}{L_s}\right)\frac{V_s}{t_r} \tag{5.24a}$$

对于$|t_{\mathrm{odd}} - t_{\mathrm{even}}| > t_r$的情况，则有

$$v_F = \frac{V_s}{2} \tag{5.24b}$$

如果进一步将 $\sqrt{L_s(C_s + C_m)}$ 近似为 $\sqrt{L_sC_s}$，可得式(5.17a)。根据式(5.24a)，可以将图5.2扩展为包括不同的模态错位量，如图5.5所示。

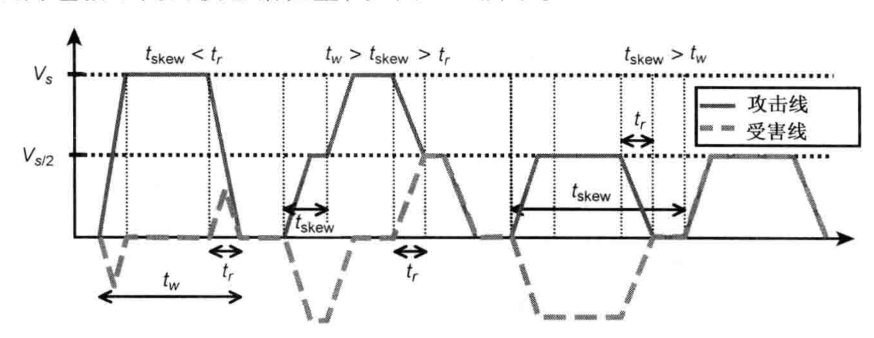


图5.5 基于模态分析的远端串扰

5.3 传输线的时域仿真

对有损传输线进行瞬态仿真，一直是过去20年中的热门话题。在进行传输线瞬态仿真中遇到的基本困难是，它的频域特性是超越函数；它的终端可能是非线性器件。非线性器件将仿真分析限制只能在时域进行。处理传输线超越特性的一个常规或直接方案，就是用傅里叶或拉普拉斯变换进行数值卷积[15~17]。

由于W元件的建模效率和准确性，它在HSPICE中已被广泛采用[18]。尽管W元件，或类似的算法已经使用了十多年，对于瞬态仿真的准确度仍有一些讨论在继续[19]。W元件结合矩阵时延提取，采用递归卷积法仿真传输线。本节介绍传输线仿真技术的基础知识，并指出面临的一些挑战和潜在问题。对有损严重的传输线进行瞬态仿真可能是不稳定的。本节提供了一些技巧可以避免这种不稳定。此外，除了递归卷积专题之外，本节还回顾了传统的直接卷积技术。

5.3.1 基于特征的传输线模型

图 5.6 给出适于改进节点分析(MNA)法的传输线等效电路。基于特征[20]推导出的详细表达式如下：

$$\boldsymbol{i}_1(\omega) = \boldsymbol{Y}_c(\omega)\boldsymbol{v}_1(\omega) - 2\boldsymbol{i}_{b1}(\omega) \tag{5.25a}$$

$$\boldsymbol{i}_2(\omega) = \boldsymbol{Y}_c(\omega)\boldsymbol{v}_2(\omega) - 2\boldsymbol{i}_{b2}(\omega) \tag{5.25b}$$

其中

$$\boldsymbol{i}_{b1}(\omega) = \mathrm{e}^{-\boldsymbol{\Psi}(\omega)l}(\boldsymbol{i}_2(\omega) + \boldsymbol{i}_{f2}(\omega)) \tag{5.25c}$$

$$\boldsymbol{i}_{f2}(\omega) = \mathrm{e}^{-\boldsymbol{\Psi}(\omega)l}(\boldsymbol{i}_1(\omega) + \boldsymbol{i}_{b1}(\omega)) \tag{5.25d}$$

指数传播矩阵($\mathrm{e}^{-\boldsymbol{\Psi}(\omega)l}$)包含时延和指数衰减。长传输线的指数衰减比较严重。在递归卷积算法中，用于拟合指数传播矩阵的有理函数模型，其缓变的特点并未反映出指数衰减的实际情况。当线长增大时，这一不足变得更加严重。改善长传输线准确性的一种方法是，将其分成指数衰减较小的几小节。通常只要分成数节就够了，使用过多的节可能导致不准确的结果。

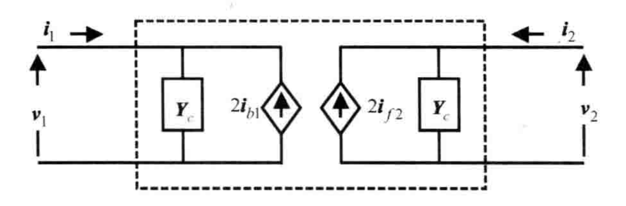


图 5.6 传输线电路模型表示

$\mathrm{e}^{-\boldsymbol{\Psi}(\omega)l}$ 中的时延，也是有理函数逼近中的一个问题，因为它会产生很强的振荡行为。因此，最好在应用有理函数逼近之前提取出时延信息。早期基于直接卷积的瞬态仿真技术并不提取时延，导致由仿真得到的时域波形会显示出非因果性的响应。提取时延有助于提高直接卷积法或递归卷积法的准确度和仿真时间。因为传输线主导的时延是由于电感和电容引起的，可以用下列公式提取时延[18]：

$$\mathrm{e}^{-\tilde{\boldsymbol{\Psi}}(\omega)l} = \mathrm{e}^{-\boldsymbol{\Psi}(\omega)l}\mathrm{e}^{\mathrm{j}\omega\boldsymbol{\tau}_d} \tag{5.26}$$

其中，$\mathrm{e}^{-\boldsymbol{\Psi}(\omega)l}$ 是无时延的指数传播函数，时延矩阵 $\boldsymbol{\tau}_d$的表达式为：

$$\boldsymbol{\tau}_d = [\boldsymbol{C}(\infty)\boldsymbol{L}(\infty)]^{1/2}l \tag{5.27}$$

注意在上述公式中使用了 $\boldsymbol{C}(\omega)$ 和 $\boldsymbol{L}(\omega)$ 的渐近值。任何动态的时延项仍体现在式(5.26)中。为了在时域对提取出的时延建模，可以使用下面的分解式：

$$\mathrm{e}^{-\mathrm{j}\omega\boldsymbol{\tau}_d} = \boldsymbol{M}_\tau\mathrm{e}^{-\mathrm{j}\omega\hat{\boldsymbol{\tau}}_{\mathrm{dm}}}\boldsymbol{M}_\tau^{-1} \tag{5.28}$$

这里，$\hat{\boldsymbol{\tau}}_{\mathrm{dm}}$ 和 $\boldsymbol{M}_\tau$是 $\boldsymbol{C}(\infty)\boldsymbol{L}(\infty)$ 的特征值和特征矢量矩阵。所有的 $\boldsymbol{\tau}_d$、$\hat{\boldsymbol{\tau}}_{\mathrm{dm}}$、$\boldsymbol{M}_\tau$都是与频率无关的实数矩阵。模态指数时延矩阵对应于模态输入信号的一个时域位移，且很容易实现。对这一时域延迟元件所需的采样时间步长，要比时延本身更短。因此，传输线系统中的最大仿真时间步长，受到其中任一传输线模型最小时延的限制。一个短传输线可以用几个RLGC集总元件有效地建模。由短线趋肤效应和介质损耗引起的色散效应可以忽略不计，采用常数集总 RLGC 模型已经足够。耦合电阻建模需要采用复杂的电压相关模型，但只要没有形成主衰减或耦合，短线情况下仍可以将这些模型省略掉。

5.3.2 时域仿真的伴随模型

如图5.6所示的传输线模型可以很容易地转换为如图5.7所示的伴随模型。这一伴随模型可用于改进节点分析(MNA)法中[21]。本节描述用于直接卷积法的伴随模型。下一节介绍用于递归卷积法中的伴随模型。

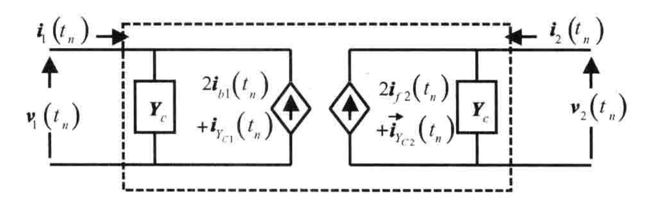


图5.7 传输线的伴随模型

直接卷积法曾被认为是数值低效和不准确的。直接卷积法在早期应用的实现中没有提取时延；结果是除了较大的计算时间开销外，还形成非因果性的响应[15~17]。如上节所示，对传输线时延的提取可以采用解析的方法。如果添加上适当的时延提取，直接卷积法的仿真时间并不比递归卷积法有明显的增大，可以将它作为一种仿真传输线鲁棒又稳定的方案。

在仿真一般S参数模型时，稳定性问题变得更加重要。最近，人们研究了基于数值算法的S参数时延提取[22,23]。对于短传输线，或强耦合条件，S参数的直接卷积可能会由于混叠形成不准确的响应(参见5.2.2节)。然而，在以下几段中介绍的传输线模型直接卷积则没有这一问题，这时把传输线参数的卷积在有限带宽下进行。

考虑式(5.18)中特征导纳($\boldsymbol{Y}_c$)的伴随模型。为了给MNA中的导纳矩阵填值，提取如下的$\boldsymbol{Y}_c$渐近值：

$$\boldsymbol{Y}_c(\omega) = \boldsymbol{Y}_\infty + \widehat{\boldsymbol{Y}}_c(\omega) \tag{5.29}$$

其中，$\boldsymbol{Y}_\infty$为$\boldsymbol{Y}_c$的渐近值，它相当迅速地饱和，很容易进行数值计算。然后，只对具有有限带宽的$\widehat{\boldsymbol{Y}}_c(\omega)$进行卷积。在时刻$t_n$的伴随模型关系式可以写为：

$$\boldsymbol{i}_i(t_n) = \hat{\boldsymbol{Y}}_c\boldsymbol{v}_i(t_n) - [2\boldsymbol{i}_{bi}(t_n) + \boldsymbol{i}_{Yci}(t_n)] \tag{5.30}$$

其中

$$\boldsymbol{i}_{Yc1}(t_n) = \hat{\boldsymbol{Y}}_c(t)^* v_1(t_n) \tag{5.31a}$$

$$\boldsymbol{i}_{Yc2}(t_n) = \hat{\boldsymbol{Y}}_c(t)^* v_2(t_n) \tag{5.31b}$$

且

$$\begin{aligned}\boldsymbol{i}_{b1}(t_n) &= \mathrm{e}^{-\boldsymbol{\Psi}(\omega)l} * \left(\boldsymbol{i}_2(t_n) + \boldsymbol{i}_{f2}(t_n)\right) \\ &= \mathrm{e}^{-\tilde{\boldsymbol{\Psi}}(\omega)l} * \left[\mathrm{e}^{-\mathrm{j}\omega\boldsymbol{\tau}_d}\left(\boldsymbol{i}_2(t_n) + \boldsymbol{i}_{f2}(t_n)\right)\right]\end{aligned} \tag{5.32a}$$

$$\begin{aligned}\boldsymbol{i}_{f2}(t_n) &= \mathrm{e}^{-\boldsymbol{\Psi}(\omega)l} * \left(\boldsymbol{i}_1(t_n) + \boldsymbol{i}_{b1}(t_n)\right) \\ &= \mathrm{e}^{-\tilde{\boldsymbol{\Psi}}(\omega)l} * \left[\mathrm{e}^{-\mathrm{j}\omega\boldsymbol{\tau}_d}\left(\boldsymbol{i}_1(t_n) + \boldsymbol{i}_{b1}(t_n)\right)\right]\end{aligned} \tag{5.32b}$$

$e^{-\boldsymbol{\Psi}(\omega)l}$ 与电流矢量 $\boldsymbol{i}_1(t_n)$、$\boldsymbol{i}_2(t_n)$、$\boldsymbol{i}_{f2}(t_n)$、$\boldsymbol{i}_{b1}(t_n)$ 的卷积有点复杂。首先，在模态空间计算有时延的电流矢量 $\boldsymbol{i}_1(t_n)$、$\boldsymbol{i}_2(t_n)$、$\boldsymbol{i}_{f2}(t_n)$、$\boldsymbol{i}_{b1}(t_n)$ 。再将这一电流与无时延的指数矩阵函数 $e^{-\tilde{\boldsymbol{\Psi}}(\omega)l}$ 卷积(没有渐近值)，这样进行的直接卷积将更加有效。

5.3.3 递归卷积时域模型

Semlyen 和 Dabuleanu 最早引入的递归卷积[24]，已被应用到不同的场合，例如时域求解器和器件建模等[27~30]。它将直接卷积的仿真复杂度从 $O(n^2)$ 降低到 $O(n)$。递归卷积所依据的有理函数逼近，从原理上讲只适用于集总系统。再者，从原理上讲有理函数不能表征分布式系统或具有超越行为的系统。对于很长的有损传输线，有理函数逼近可能会导致明显不准确的结果。

当提取了传输线的主要时延之后，用有理函数模型来对指数衰减函数建模是准确仿真的关键。趋肤效应和介质损耗加速了指数衰减，并对有理函数逼近提出了挑战[19]。即使采纳近似方法的新进展成果[25,26]，当损耗严重增加时采用一个有理函数都无法在很宽的频段内充分地将指数衰减建模。正如先前在5.3.1节中提到的，可以将一长线划分成多节。

再次先看一下特征导纳矩阵 $\boldsymbol{Y}_c(s)$ 的伴随模型。在拉普拉斯域，$\boldsymbol{Y}_c(s)$ 可以近似为：

$$\boldsymbol{Y}_c(s) \approx \frac{\boldsymbol{P}_M s^M + \cdots + \boldsymbol{P}_1 s^1 + \boldsymbol{P}_0}{q_M s^M + \cdots + q_1 s^1 + 1} = \boldsymbol{Y}_\infty + \sum_{m=1}^{M} \frac{\boldsymbol{A}_m}{1 + s/\omega_{pm}} \tag{5.33}$$

其中，q_m 和 $\boldsymbol{Y}_\infty$ 的元素($\boldsymbol{P}_m$ 和 $\boldsymbol{A}_m$)都是实的，$\boldsymbol{\omega}_{pm}$ 是正实的。需要注意的是，所有矩阵元素都用一个公共极点。另外，每个矩阵元素可以用它自己的极点进行拟合。使用衰减指数幂级数的相应时域表达式写为：

$$\boldsymbol{Y}_c(t) \approx \boldsymbol{Y}_\infty + \sum_{m=1}^{M} \boldsymbol{A}_m e^{-\omega_{pm}t} \tag{5.34}$$

现在，假设输入 $\boldsymbol{v}_i(t)$ 是分段线性连续的，$\boldsymbol{Y}_c(t) * \boldsymbol{v}_i(t)$ 表示为以下的卷积：

$$\begin{aligned}\boldsymbol{i}_{b1}(t_n) &= e^{-\boldsymbol{\Psi}(\omega)l} * \left(\boldsymbol{i}_2(t_n) + \boldsymbol{i}_{f2}(t_n)\right) \\ &= e^{-\tilde{\boldsymbol{\Psi}}(\omega)l} * \left[e^{-j\omega\boldsymbol{\tau}_d}\left(\boldsymbol{i}_2(t_n) + \boldsymbol{i}_{f2}(t_n)\right)\right]\end{aligned} \tag{5.35}$$

对上述积分式进行积分并重新安排项，可以得到如下的递推公式[18,27]：

$$\boldsymbol{Y}_c(t_n) * \boldsymbol{v}_i(t_n) = \left(\boldsymbol{Y}_\infty + \sum_{m=1}^{M} \boldsymbol{A}_m - \sum_{m=1}^{M} \boldsymbol{D}_m(T)\right)\boldsymbol{v}_i(t_n) - \sum_{m=1}^{M} \boldsymbol{z}_m(t_n) \tag{5.36a}$$

其中

$$\boldsymbol{z}_m(t_n) = \left(\boldsymbol{D}_m(T_{n-1})e^{-\omega_{pm}T_n} - \boldsymbol{D}_m(T_n)\right)\boldsymbol{v}_i(t_{n-1}) + e^{-\omega_{pm}T_n}\boldsymbol{z}_m(t_{n-1}) \tag{5.36b}$$

$$\boldsymbol{D}_m(T_n) = \frac{\boldsymbol{A}_m}{\omega_{pm}T_n}\left(1 - e^{-\omega_{pm}T_n}\right) \tag{5.36c}$$

伴随模型可写为：

$$\boldsymbol{i}_i(t_n) = \dot{\boldsymbol{Y}}_c \boldsymbol{v}_i(t_n) - \left[2\boldsymbol{i}_{bi}(t_n) + \boldsymbol{i}_{Yci}(t_n)\right] \tag{5.37a}$$

其中

$$\dot{\boldsymbol{Y}}_c = \boldsymbol{Y}_\infty + \sum_{m=1}^{M} \boldsymbol{A}_m - \sum_{m=1}^{M} \boldsymbol{D}_m(T) \tag{5.37b}$$

$$\boldsymbol{i}_{Yci}(t_n) = \sum_{m=1}^{M} \boldsymbol{z}_m(t_n) \tag{5.37c}$$

$\boldsymbol{z}_m(t_n)$和$\boldsymbol{D}_m$的表达式分别由式(5.36b)和式(5.36c)给出。

对无时延指数传播函数 $e^{-\tilde{\Gamma}(\omega)l}$ 的递归卷积，可以采用有理函数逼近的简单方式计算如下：

$$e^{-\tilde{\boldsymbol{\Gamma}}(s)l} \approx \sum_{m=1}^{M} \frac{\boldsymbol{A}_m}{1 + s/\omega_{pm}} \tag{5.38}$$

需要注意的是，在指数传播函数中没有无穷大项。与式(5.36a)相类似，对有时延的$\boldsymbol{i}_1(t_n)$、$\boldsymbol{i}_2(t_n)$、$\boldsymbol{i}_{f2}(t_n)$、$\boldsymbol{i}_{b1}(t_n)$，也可以进行递归卷积。

在前面的推导中，假设输入信号是分段线性的。如果用分段阶跃逼近也可以得到类似的表达式，但计算仍然很复杂而仿真准确度却不高。另一方面，高阶近似可以改善仿真准确度，但它会明显加大计算时间。注意，一般而言，有理逼近可能会导致复共轭极点。再者，$\boldsymbol{A}_m$和ω_{pm}可能是有正实数值的复共轭对。如果求得这时的递归卷积公式，它将是一个相当长的复表达式。人们可以根据分段阶跃的假设化简这一表达式，但生成的关系式仍是相当复杂的。这时，如果用实极点取代复极点可能会更有效一些。复共轭对可以表征频域的振荡行为，对于具有平稳单调性的传输线，没有必要用它去对传输线建模。

5.4 基于测量的传输线建模

本节讨论由 J. Kim、D. H. Han、W. Kim、D. Oh、C. Yuan 等人[31~33]提出的传输线准确建模方法。介绍如何获取 S 参数测量值；如何将端口不连续剥离并转换为传输线参数等细节。本节还讨论与基于测量建模相关的两个潜在准确性问题。第一，考察在谐振频率附近的测量误差。特征阻抗的测量对于端口突变造成的反射非常敏感，所以在很宽的频率范围内对基于测量的特征阻抗进行表征是很困难的。为了解决特征阻抗测量中的端口不连续问题，本节提出了一种减轻端口突变问题的剥离技术。第二，弄清由于直流值不准确形成的时域仿真误差。提出了一种同时采用时间和频率测量数据的混合方法减轻直流值准确性问题。考察的几个测量示例，如 MCM-L 共面线和封装微带线等，验证了该方法的准确性。

5.4.1 S 参数换算为传输线参数

频域测量是高频测量的首选方法。在表征耦合效应时尤其如此[41]。本节介绍从 S 参数数据获取传输线模型的方法。首先，使用第 4 章在表 4.3 中所列的换算公式，将 S 参数换算为 ABCD 参数。然后，使用表 5.1 中的公式将 ABCD 参数换算为传输线参数。

采用式(5.4)，将 ABCD 参数中的 $\boldsymbol{D}$ 矩阵对角化以找出传播常数矩阵：

$$\boldsymbol{D} = \cosh(\boldsymbol{\Psi} l) \equiv \boldsymbol{M}\cosh(\hat{\boldsymbol{\Psi}} l)\boldsymbol{M}^{-1} = \boldsymbol{M}\begin{bmatrix} \cosh(\psi_1 l) & & 0 \\ & \ddots & \\ 0 & & \cosh(\psi_N l) \end{bmatrix}\boldsymbol{M}^{-1} \tag{5.39a}$$

其中，$\hat{\boldsymbol{\Psi}}$ 是模态传播常数矩阵。对测得的 $\boldsymbol{D}$ 进行同样的对角化，可得：

$$\boldsymbol{D} = \boldsymbol{M}\begin{bmatrix} \lambda_1 & & 0 \\ & \ddots & \\ 0 & & \lambda_N \end{bmatrix}\boldsymbol{M}^{-1} \tag{5.39b}$$

最后，传播常数矩阵的计算如下：

$$\boldsymbol{\Psi} = \boldsymbol{M}\hat{\boldsymbol{\Psi}}\boldsymbol{M}^{-1} = \boldsymbol{M}\left(\frac{1}{l}\begin{bmatrix} \operatorname{arccosh}(\lambda_1) & & 0 \\ & \ddots & \\ 0 & & \operatorname{arccosh}(\lambda_N) \end{bmatrix}\right)\boldsymbol{M}^{-1} \tag{5.40}$$

其中，$\mathrm{Re}\{\operatorname{arc\,cosh}(\lambda_i)\} \geqslant 0$。为了满足因果性，必须选择正衰减因子。需要特别注意传播常数的虚部：不要将 S 参数的循环映射相位输出展开成真正的弧度相位。注意，一般多导体传输线的传播常数矩阵 $\boldsymbol{\Psi}$ 并不对称。

使用 $\boldsymbol{C}$ 矩阵的测量值，可以很容易地计算出特征阻抗矩阵($\boldsymbol{Z}_c$)如下：

$$\boldsymbol{Z}_c = \boldsymbol{C}^{-1}\sinh(\boldsymbol{\Psi} l) \tag{5.41a}$$

其中

$$\sinh(\boldsymbol{\Psi} l) = \frac{1}{2}(\mathrm{e}^{\boldsymbol{\Psi} l} - \mathrm{e}^{-\boldsymbol{\Psi} l}) \tag{5.41b}$$

且

$$\mathrm{e}^{\boldsymbol{\Psi} l} = \boldsymbol{M}\mathrm{e}^{\hat{\boldsymbol{\Psi}} l}\boldsymbol{M}^{-1} \tag{5.41c}$$

有趣的是，不同于传播常数矩阵，特征阻抗矩阵始终是对称的，即使对于非对称多导体传输线也是如此。在求解出传播常数和特征阻抗矩阵后，可以使用式(5.6)计算出频率相关的 RLGC 矩阵。

5.4.2　测量寄生的剥离

高频测量数据对传输线两端端口的突变非常敏感。在谐振频率处，反射系数(或 S_{11} 测量)是不准确的，导致不准确的特征阻抗值。另一方面，传播常数的测量则不受这种谐振的影响，可以利用多线法等测量方法，根据两条不同线长的两次测量结果，准确地加以提取[31~33,42~45]。图 5.8 是一个多线法的结构示例。在这一示例中，采用 SOLT(短路－开路、负载－直通)校正技术进行二端口或四端口测量。所有测得的 S 参数采用 10 点平均 FIR 滤波器技术加以平滑；为了进行准确的时域分析可用样条内插增加测量的点数。

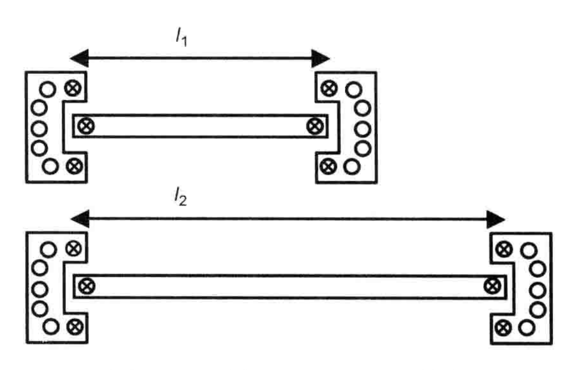


图 5.8　不同长度的两个单根传输线的顶层金属层示意图

使用表 5.1，对于两个不同长度(l_1 和 l_2)的同类传输线测得的传输矩阵，可以用探针头寄生 ABCD 矩阵和传输线的 ABCD 矩阵表示如下：

$$\begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ \boldsymbol{X} & \boldsymbol{I} \end{bmatrix}\begin{bmatrix} \boldsymbol{Z}_c\cosh(\boldsymbol{\Psi} l_1)\boldsymbol{Z}_c^{-1} & \boldsymbol{Z}_c\sinh(\boldsymbol{\Psi} l_1) \\ \sinh(\boldsymbol{\Psi} l_1)\boldsymbol{Z}_c^{-1} & \cosh(\boldsymbol{\Psi} l_1) \end{bmatrix}\begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ \boldsymbol{Y} & \boldsymbol{I} \end{bmatrix} = \begin{bmatrix} \boldsymbol{A}_{m_1} & \boldsymbol{B}_{m_1} \\ \boldsymbol{C}_{m_1} & \boldsymbol{D}_{m_1} \end{bmatrix} \tag{5.42a}$$

$$\begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ \boldsymbol{X} & \boldsymbol{I} \end{bmatrix} \begin{bmatrix} \boldsymbol{Z}_c \cosh(\boldsymbol{\Psi} l_2)\boldsymbol{Z}_c^{-1} & \boldsymbol{Z}_c \sinh(\boldsymbol{\Psi} l_2) \\ \sinh(\boldsymbol{\Psi} l_2)\boldsymbol{Z}_c^{-1} & \cosh(\boldsymbol{\Psi} l_2) \end{bmatrix} \begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ \boldsymbol{Y} & \boldsymbol{I} \end{bmatrix} = \begin{bmatrix} \boldsymbol{A}_{m_2} & \boldsymbol{B}_{m_2} \\ \boldsymbol{C}_{m_2} & \boldsymbol{D}_{m_2} \end{bmatrix} \tag{5.42b}$$

其中，$\boldsymbol{X}$ 和 $\boldsymbol{Y}$ 是探针焊盘两端寄生的导纳矩阵。对于焊盘的突变采用集总形式加以表征。重要的是要注意，$\boldsymbol{X}$ 和 $\boldsymbol{Y}$ 是已经考虑探针间耦合的完全矩阵。使用较短传输线矩阵之逆，从公式中消除导纳矩阵 $\boldsymbol{Y}$，可以得出下列公式：

$$\begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ \boldsymbol{X} & \boldsymbol{I} \end{bmatrix} \begin{bmatrix} \boldsymbol{Z}_c \cosh(\boldsymbol{\Psi}(l_2-l_1))\boldsymbol{Z}_c^{-1} & \boldsymbol{Z}_c \sinh(\boldsymbol{\Psi}(l_2-l_1)) \\ \sinh(\boldsymbol{\Psi}(l_2-l_1))\boldsymbol{Z}_c^{-1} & \cosh(\boldsymbol{\Psi}(l_2-l_1)) \end{bmatrix} \begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ -\boldsymbol{X} & \boldsymbol{I} \end{bmatrix} = \begin{bmatrix} \boldsymbol{M}_{11} & \boldsymbol{M}_{12} \\ \boldsymbol{M}_{21} & \boldsymbol{M}_{22} \end{bmatrix} \tag{5.43a}$$

其中

$$\begin{bmatrix} \boldsymbol{M}_{11} & \boldsymbol{M}_{12} \\ \boldsymbol{M}_{21} & \boldsymbol{M}_{22} \end{bmatrix} = \begin{bmatrix} \boldsymbol{A}_{m_2} & \boldsymbol{B}_{m_2} \\ \boldsymbol{C}_{m_2} & \boldsymbol{D}_{m_2} \end{bmatrix} \begin{bmatrix} \boldsymbol{A}_{m_1} & \boldsymbol{B}_{m_1} \\ \boldsymbol{C}_{m_1} & \boldsymbol{D}_{m_1} \end{bmatrix}^{-1} \tag{5.43b}$$

用端口突变矩阵的逆乘以式(5.43)，可得传输线参数的 ABCD 矩阵为：

$$\begin{aligned} &\begin{bmatrix} \boldsymbol{Z}_c \cosh(\boldsymbol{\Psi}(l_2-l_1))\boldsymbol{Z}_c^{-1} & \boldsymbol{Z}_c \sinh(\boldsymbol{\Psi}(l_2-l_1)) \\ \sinh(\boldsymbol{\Psi}(l_2-l_1))\boldsymbol{Z}_c^{-1} & \cosh(\boldsymbol{\Psi}(l_2-l_1)) \end{bmatrix} \\ &= \begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ -\boldsymbol{X} & \boldsymbol{I} \end{bmatrix} \begin{bmatrix} \boldsymbol{M}_{11} & \boldsymbol{M}_{12} \\ \boldsymbol{M}_{21} & \boldsymbol{M}_{22} \end{bmatrix} \begin{bmatrix} \boldsymbol{I} & \boldsymbol{0} \\ \boldsymbol{X} & \boldsymbol{I} \end{bmatrix} \end{aligned} \tag{5.44a}$$

参见表 4.1，均匀传输线的矩阵 $\boldsymbol{A}$ 是矩阵 $\boldsymbol{D}$ 的转置矩阵。因此，$\boldsymbol{Z}_c \cosh(\boldsymbol{\Psi}(l_2-l_1))\boldsymbol{Z}_c^{-1}$ 等于 $\cosh(\boldsymbol{\Psi}(l_2-l_1))$ 的转置；采用代数方法通过相乘消去右侧项再比较对角线项，就可以用代数法求出探针焊盘寄生：

$$\boldsymbol{X} = (\boldsymbol{M}_{22} - \boldsymbol{M}_{11}^{\mathrm{T}})(\boldsymbol{M}_{12} + \boldsymbol{M}_{12}^{\mathrm{T}})^{-1} \tag{5.44b}$$

当把探针焊盘寄生剥离后，用 5.4.1 节中所给的步骤就可以求出传播常数和特征阻抗矩阵。然后，利用式(5.6a)和式(5.6b)，可以求得 HSPICE 仿真用的频率相关 RLGC 矩阵。

5.4.3 示例

构建两条微带线作为测试用例结构。线长为 6.558 mm 和 13.337 mm，宽为 76.6 μm。封装衬底材料的厚度为 35.5 μm。信号层和地层的金属层为铜，厚度分别为 35.5 μm 和 16 μm。重要的是要注意，传输线的设计应尽可能短（以便从 S 参数测量中提取出特征阻抗），但也不能短得由于两探头间的挤近效应而影响测量。

图 5.9 给出了传播常数和特征阻抗。从 45 MHz 到 26.5 GHz 用 801 个线性点进行数据测量。图 5.9(b)实线所示为测得的特征阻抗，由于谐振在 $\lambda/2$ 处出现不连续[43]。图 5.10 给出了探针头的寄生导纳。

为了拓宽所建模型的频率范围，考虑到 7 GHz($\lambda/4$)离 $\lambda/2$ 足够远，通过对 45 MHz ~ 7 GHz间的数据进行拟合，得到从 7 ~ 26.5 GHz 范围内的特征阻抗。特征阻抗的高频性质使得允许以可接受的准确度外推而得到，因为 7 GHz 的特征阻抗已经到达一个稳定区，比较接近无穷大频率处的特征阻抗。这是因为此时的电场集中在信号和地导体的表面附近；在高频时趋肤效应使得内电感变得微不足道，只留下了外电感这一稳态项。为了确保在 $\lambda/4$ 处具有这种稳态行为，必须对 DUT 的走线长度做出相应的设计。

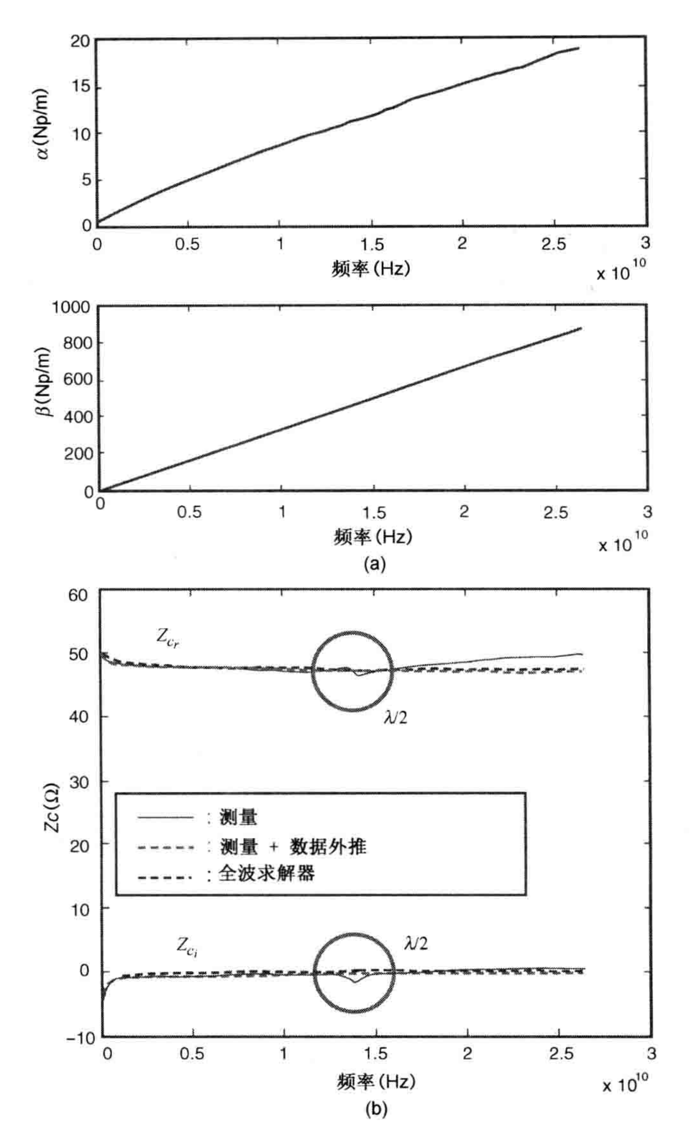


图 5.9 (a) 传播常数；(b) 特征阻抗 [33] (ⓒ2010 IEEE)

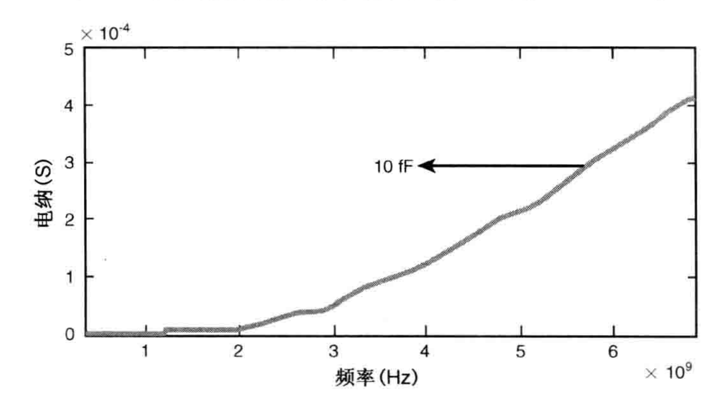


图 5.10 探针头寄生导纳的虚部 [33] (ⓒ2010 IEEE)

人们再一次采用有理函数去拟合特征阻抗[33]。在近似时使用了 14 阶的有理函数。图 5.11给出了高达7 GHz 之内的实测和拟合数据对比。对于特征阻抗的实部和虚部匹配得都很好。图 5.9(b)给出了全部的对比。为了验证外推特征阻抗的准确度，在图 5.9(b)将它与全波求解器模型的结果进行了对比。使用频率相关的介电常数和损耗角正切，采用 HFSS 进行了仿真。在f =26.5 GHz 时，外推和仿真特征阻抗之间的差小于1%。图 5.12 是把特征阻抗和传播常数函数换算为 RLGC 参数的情况。

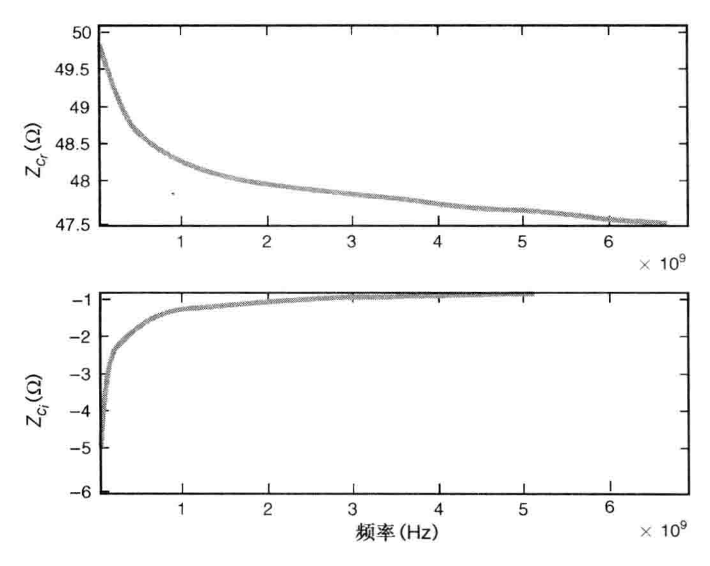


图 5.11 特征阻抗测量(实线)以及数据拟合(虚线)[33](ⓒ 2010 IEEE)

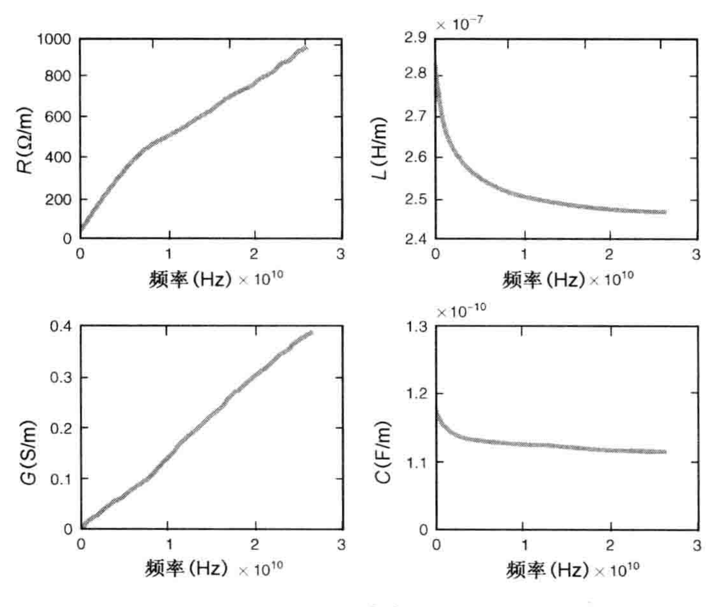


图 5.12 RLGC 参数[33](ⓒ 2010 IEEE)

5.4.4　传输线模型中直流值的影响

虽然从频域测量可以获得一个准确的高频模型，但它仍然欠缺直流值。因为数字信号的带宽很宽(从直流直到 3 次谐波频率)，直流或低频响应对数字信号是非常重要的。图 5.13 给出了 20 ps 上升边的 5 GHz 数字信号频谱。虽然高峰出现在 5 GHz 和 15 GHz，但低于约1 GHz 的低频区仍有较大的幅值。从图 5.13 所示阶跃响应的频谱成分以及图 5.14 所示的叠加合成原理，可以更清楚地理解数字信号低频分量的重要性。

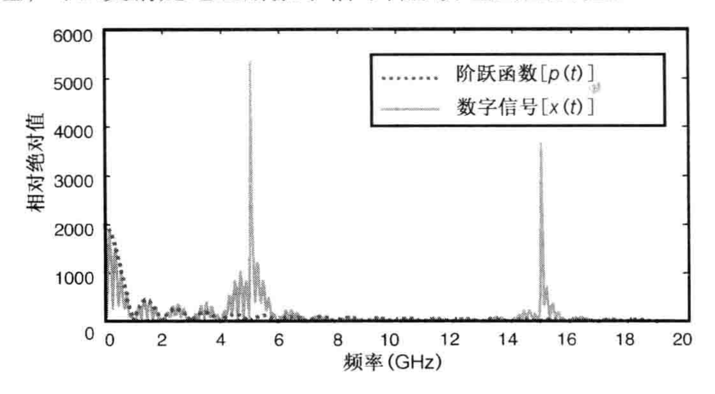


图 5.13　数字信号和阶跃函数的频谱

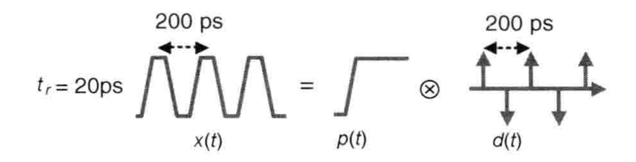


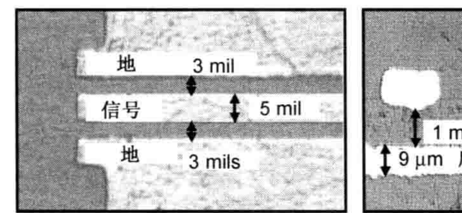
图 5.14　数字脉冲表示为阶跃与冲激之卷积和

尽管直流或低频响应是传输线的重要数据点，人们很难用频域测量或全波求解器准确地提取出低频响应。VNA 仪器支持的最高频约为 50 MHz。当数据率提高时，VNA 仪器可以持续支持更高的频率表征。遗憾的是，这也升高了低频的上界。从仿真的角度看，全波麦克斯韦方程求解器难以求解出低频响应[34,35]。因为全波求解器的机制是捕获波现象(耦合的 E 场和 H 场)，而低频范围内的电路结构可看成集总元件(E 场和 H 场间无耦合)类，求解器就很不准确了。最近，朱和焦给出了这一领域的突出改善[36]。

作为一个示例，我们用 VNA 测量如图 5.15 所示的共面传输线。图中所示为具体的尺寸。介电常数为 3.8；损耗角正切为 0.02。共面线的地导体没有连接到底侧的金属平面。两条长度为 2.54 mm 和 5 mm 的走线用于 VNA 测量；一条单独的 50 mm 走线用于 TDR 测量。

使用上一节中描述的方法，我们可以提取出如图 5.16 所示的特征阻抗和传播常数。可以用特征阻抗和传播常数生成传输线的 RLGC 模型，然后在 HSPICE 中用频率相关的表格 W 元件模型进行仿真[37]。图 5.17 给出时域仿真波形与 TDR 波形的对比。泰克(Tektronix) TDR 仪器的上升边为 30 ps；幅度为 250 mV。一个 5 cm 长的传输线在远端被连接到地。

仿真中，我们用 50 MHz 时的斜率外推出图 5.16 中从直流至 50 MHz 特征阻抗和传播常数的低频数据。然而，如图 5.17 所示，基于 VNA 测量的仿真波形与 TDR 的测量波形并不一致。这就是由于传输线低频受限形成的不当直流响应。以下各节将详细讨论这一问题。



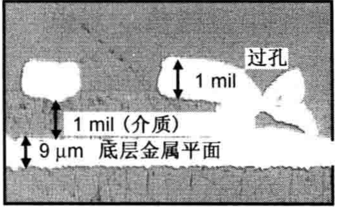


图 5.15 MCM-L 衬底上的共面线，左图：顶层；右图：横截面 [33]（ⓒ 2010 IEEE）

图 5.16 VNA 测量的特征阻抗和传播常数

图 5.17 基于 VNA 测量、基于 W 元件 RLGC 模型的仿真与 TDR 实测时域波形的对比

下面，也把测量数据与基于 HSPICE 或麦克斯韦二维等准静态分析的二维场求解器模型做比较。基于解析 W 元件 RLGC 模型提取的参数如下：

$$
\begin{aligned}
R &= 5.468 + 2.1126 \times 10^{-3}\sqrt{f} \quad \Omega/\mathrm{m} \\
L &= 142.3 \quad \mathrm{nH/m} \\
G &= 1.39453 \times 10^{-11} f \quad \mathrm{S/m} \\
C &= 233.6 \quad \mathrm{pF/m}
\end{aligned}
\tag{5.45}
$$

图 5.17 还给出基于这一解析模型的 HSPICE 仿真结果，同样显示出与实测的明显差异。这一问题也是由于不当的直流建模。我们用下面几段讨论传输线模型中直流建模的灵敏度。

为了研究传输线模型的灵敏度，考虑略有不同的 RLGC 参数。表 5.2 提供了详细的值。4 条相似的传输线，只是其直流电阻值有所不同。

表 5.2 具有不同直流电阻的 RLGC 模型

	案例 1	案例 2	案例 3	案例 4
L_o(nH/m)	340.8			
C_o(pF/m)	112.3			
R_o(Ω/m)	5e-6	300e-6	5	25
R_s(mΩ/m)	1.435			
G_o(S/m)	0			
G_d(pS/m)	13.1			

传输线 0.2 m 长，终端短路。所有的线都相同，只是直流电阻(R_o)有微小差异。四种情况下的直流电阻分别是 1 μΩ、60 μΩ、1 Ω、5 Ω。阶跃信号源的幅度为 250 mV；上升边为 30 ps；输出电阻为 50 Ω。用于连接信号源与被测线的是一条无损传输线，其特征阻抗与输出电阻相同以便于仿真 TDR 波形。仿真用的是 HSPICE 2008.09 版本。所有传输线给出如图 5.18所示的不同响应。尽管人们推测趋肤效应和介质损耗项会在示例中占主导地位，但仿真数据显示出结果却与直流电阻值是强相关的。

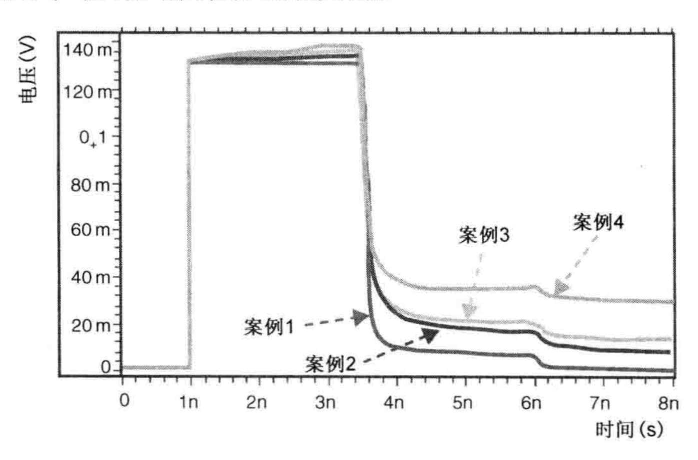


图 5.18 对表 5.2 中 RLGC 参数使用 HSPICE 得到的脉冲响应[33]（© 2010IEEE）

可以看到，当直流电阻系列值较小(R_o < 300 μΩ/m)时，HSPICE 就会产生不准确的响应。例如，尽管案例 1 的直流电阻(1 μΩ)和案例 2 的直流电阻(60 μΩ)微不足道，图 5.18 给出的响应却差异很大。为了解决这一问题，可以输入更准确的直流信息。下节提供一个从时域测量中获得直流值的准确方法。

5.4.5 传输线参数的直流表征

由于频域测量的低频数据存在有基本性的问题，人们设法用时域方法计算正确的直流值。通过采用短脉冲传播技术[38]或 TDR[39]，根据互连线的瞬态行为可以对传输线加以表征。本节用 TDR 提取出低频区域的传输线参数。从传输线近端的首次反射提供了有关特征阻抗的

信息；而从远端的往返程反射则提供了有关传播常数的信息。对于如图 5.15 所示的共面线，图 5.19 给出了在短路和开路端接下的 TDR 波形。

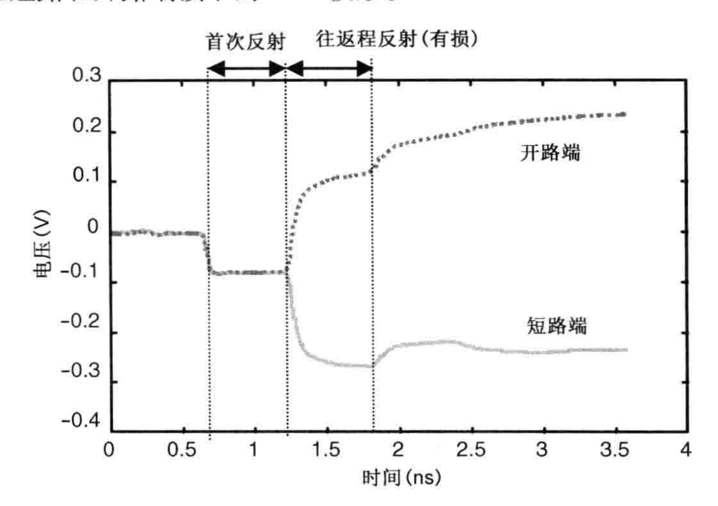


图 5.19 对短路和开路传输线进行的 TDR 测量

因为双线具有相同的截面使得它们具有相同的特征阻抗，导致图 5.19 的 TDR 波形中给出了相同的首次反射。正如图中所示，只要传输线的长度比信号的上升边和下降边足够长，采用时间截窗就可以将首次反射和往返程反射分开。在一般情况下，使用下列公式可以从 TDR 波形中计算阻抗：

$$\text{阻抗} = 50\frac{1+\Gamma}{1-\Gamma} \tag{5.46}$$

其中，TDR 仪器和电缆的阻抗为 50 Ω。在图 5.19 中的输入幅度为 250 mV。短路波形的稳定状态($t \approx 3.5$ ns)阻抗是 1.2 Ω，这是该线的直流电阻。在 $t = 1.2$ ns 时电压为 −80.2 mV，其阻抗为 25.7 Ω。

为了使仿真波形能与如图 5.19 所示的 TDR 测量波形相匹配，传输线模型必须满足两个低频条件。这里，采用终值定理[40]和静态直流电阻对这些条件加以推导。如果极限存在，时域函数 $y(t)$ 当 $t \to \infty$ 时的极限值，等于相应拉普拉斯变换 $Y(s)$ 与变量 s 之积当 $s \to 0$ 时的极限值[40]：

$$\lim_{t\to\infty} y(t) = \lim_{s\to 0}[sY(s)] \tag{5.47}$$

这就是拉普拉斯变换的终值定理。将终值定理应用于如图 5.19 所示的阶跃响应。该图中的阶跃函数 $x(t)$ 作用于系统的 $H(s)$，它是 $h(t)$ 的拉普拉斯变换。这时的系统响应是：$y(t) = x(t) * h(t)$。因为 $x(t)$ 的拉普拉斯变换为 $1/s$，那么 $Y(s)$ 则等于 $H(s)/s$。现在，我们将终值定理应用于理想的阶跃响应 $Y(s)$：

$$\lim_{t\to\infty} y(t) = \lim_{s\to 0}[sY(s)] = \lim_{s\to 0} H(s) \tag{5.48}$$

这里，$y(t)$ 的终值与 $H(s)$ 的低频值相关，其中 $s = j\omega = j2\pi f$。虽然推导终值定理时用的是理想阶跃函数，对于实际是有限上升边的阶跃函数也一样适用。

为了将终值定理应用于图 5.19 的 TDR 波形，写出首次反射的关系式为：

$$H(s) = \frac{Z_c(s) - 50}{Z_c(s) + 50} \tag{5.49}$$

其中 $Z_c(s)$ 是传输线的特征阻抗，50 Ω 是信号源和电缆的特征阻抗。然后，根据终值定理式(5.48)，在图 5.19 中首次反射 $y(t)$ 的终值有如下关系式：

$$\lim_{t\to\infty} y(t) = \lim_{s\to 0} H(s) = \frac{Z_c(s\to 0) - 50}{Z_c(s\to 0) + 50} \tag{5.50}$$

如果传输线的长度比阶跃输入的上升边(参见图 5.19)大，用 TDR 测量就可以测出首次反射。传输线越长，首次反射的时间窗口就越长。因此，如果传输线的长度是无限长，就能测量到 $y(t\to\infty)$。然而，对于无限长的传输线就不再需要测量 $y(t\to\infty)$，因为 $y(t)$ 将迅速到达 $y(t\to\infty)$ 的稳态值。在图 5.19 中，$t=1$ ns 时的值可以用做 $y(t\to\infty)$ 的值。这样，根据式(5.44)，可以从图 5.19 中的首次反射中计算出 $Z_c(f\to 0)$。对于有直流损耗的传输线，其 $Z_c(f\to 0)$ 如下：

$$Z_c(f\to 0) = \sqrt{\frac{R_{DC}}{G_{DC}}} \tag{5.51}$$

其中，R_{DC}是传输线每单位长度的直流电阻，G_{DC}是传输线每单位长度的直流电导。在图 5.19 的示例中，输入幅度为 250 mV，$Z_c(f\to 0) = 25.7$ Ω。

第二个低频条件，可以根据传输线的静态电阻进行推导。如图 5.19 所示，TDR 波形的稳态响应最后必然达到静态电阻值。基于终端短路的阶跃响应情况，其静态电阻值是 1.2 Ω。此值与基于截面和电导率信息的计算值相一致。从图 5.19 传输线的近端看到稳态输入阻抗，其表达式如下：

$$Z_{in} = Z_c \frac{R_L + Z_c \tanh(\gamma l)}{Z_c + R_L \tanh(\gamma l)} \tag{5.52}$$

其中，γ 和 l 分别是传播常数和传输线长度，R_L是端接电阻值。对于直流的情况，下述简化对传输线是有效的：

$$Z_c(f\to 0) = \sqrt{\frac{R_{DC}}{G_{DC}}},\ \alpha_{DC} = \sqrt{R_{DC} G_{DC}} \qquad \tanh(\alpha_{DC} l) \approx \alpha_{DC} l \tag{5.53}$$

其中，α_{DC}为直流衰减常数。这样，直流时的输入阻抗 $Z_{in}(f\to 0)$，可以化简如下：

$$Z_{in}(f\to 0) = \frac{R_L + R_{DC} l}{1 + R_L G_{DC} l} \tag{5.54}$$

根据式(5.51)和式(5.54)，从低频分量中可以用下述表达式计算出 R_{DC}和 G_{DC}：

$$G_{DC} = \frac{R_{DC}}{Z_c(f\to 0)^2} \quad (\mathrm{S/m}) \tag{5.55a}$$

$$R_{DC} = \frac{1}{l} \frac{Z_{in}(f\to 0) - R_L}{1 - \dfrac{R_L}{Z_c(f\to 0)^2} Z_{in}(f\to 0)} \quad (\Omega/\mathrm{m}) \tag{5.55b}$$

测量 R_{DC} 的一个简便方法是使用短路端接的传输线，这时 $R_{DC} = Z_{in}(f\to 0)/l$。参照图 5.19，由于 5 cm 长时 $Z_{in}(f\to 0) = 1.2$ Ω，此时的 $R_{DC} = 24.0$ Ω/m。此外，由于 $Z_c(f\to 0) = 25.7$ Ω，此时的 $G_{DC} = 36.3$ mS/m。注意，使用开路端接，无法在测量阻抗时准确地测量 G_{DC}。

当 G_{DC} 和 R_{DC} 为零时，$Z_c(f\to 0) = \sqrt{L(f\to 0)/C(f\to 0)}$。当 $G_{DC} = 0$ 和 $R_{DC} \neq 0$ 时，在 DC 时的 Z_c 变成无穷大。$G_{DC} = 0$ 将导致时域仿真的直流收敛问题，这时往往将其近似为 $Z_c(f\to\infty)$ 的值，或者假定为一个较小的任意值。更好的办法是使用 TDR 响应将 G_{DC} 近似为一个较小的值。最近，已直接用 S 参数仿真传输线而无须转换为传输线模型。这一 S 参数模型在直流时也面临相同的不准确问题，必须正确设置 S 参数的直流条件如下：

$$
\begin{aligned}
S_{11} = S_{22} &= \frac{R_{DC}G_{DC} + R_{DC}/Z_o - G_{DC}Z_o}{2 + R_{DC}G_{DC} + R_{DC}/Z_o + G_{DC}Z_o} \\
S_{21} = S_{12} &= \frac{2}{2 + R_{DC}G_{DC} + R_{DC}/Z_o + G_{DC}Z_o}
\end{aligned}
\tag{5.56}
$$

其中，Z_o 是参考特征阻抗。

在无法进行时序域测量的情况下，也可以用 5.4.1 节给出的广义色散关系式对 S 参数数据进行直流点插值。使用 5.4.1 节的公式，可以从这一内插 S 参数中求得相应的传输线参数。

为了说明上述所提出的直流增强技术，将低频约束应用于图 5.15 的 MCM-L 传输线模型中。在图 5.17 中，频率相关 W 元件模型（从 VNA 提取时不加任何直流约束）显示与 TDR 测量波形有些差异。基于图 5.19 的 TDR 测量，提取的互连线直流电阻和电导：$R_{DC} = 24.0\ \Omega/\text{m}$、$G_{DC} = 36.3\ \text{mS/m}$。图 5.20 给出了最终的对比。如图所示，具有 DC 校正的增强模型与测量间具有良好的关联度。

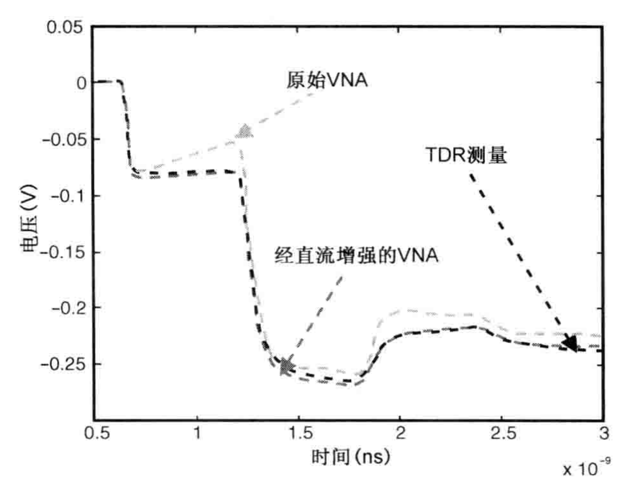


图 5.20　针对 VNA 测量低频补偿后的时域仿真

5.5　片上连线建模

随着 I/O 速度的持续提高，使得片上布线也开始呈现出传输线效应。本节将讨论片上互连的传输线建模。传统上的片上全局线网建模用的是 RC 或 RLC 网络。由于片上导线的高损耗特性，电路工程师会插入缓冲器以解决损耗并最大限度地降低 RC 网络的时延。然而由于缓冲器易受电源噪声的影响，必须尽量减少缓冲器的数目。在高速 I/O 接口中，对全局时

钟网建模比对内核区的建模更重要，因为I/O时钟频率往往比内核时钟频率更高。现代I/O线已经工作在数吉赫兹的数据率，今后的设计将很快达到10 Gb/s。需要在接口区为5 GHz的时钟信号线网布线，会覆盖整个处理器裸芯片的外侧。受峰值功耗所限，内核的频率相对比较固定；要提高芯片性能只能用多核。对于高频I/O时钟线网，不能再用简单的集总RC片上导线模型；必须采用传输线模型或分布式RLGC模型[46~48]。

除了I/O时钟的高频特征外，I/O接口中时钟线的每段都比内核时钟线要长。这是为了减少I/O的中继缓冲器数量以便降低电源噪声引起的缓冲抖动。对于低功耗应用，可以采用LC谐振槽作为时钟分配网络方案[49]。这一谐振电路取消了缓冲器，从而节省了功耗。因为这时的导线电感已成为LC谐振槽的一部分，对这类时钟线的准确建模也变得很重要。由齐等人[50]提出的片上建模法，最初是对LC谐振槽中的时钟线建模，但也可以用于其他一般的片上时钟线建模。本节将介绍齐等人提出的片上导线建模法[50]。

5.5.1 片上连线建模的挑战

片外的PCB或封装走线都有良好定义的信号返回路径。片上导线的情况就不是这样，它们没有一个明确的信号返回路径。原本PCB或封装中的电源/地平面被网格取代。因为返回路径的定义很松散，它随信号的频率成分而变。结果是，片上导线的电阻和电感是频率的强函数。信号低频分量可以通过一个很大区域内的邻线返回，而高频信号分量则由于挤近效应只能通过很临近的邻线返回。有限的建模区域，可能会导致不准确的低频模型。这种电阻/电感的频率相关性与常规PCB和封装走线由趋肤效应引起的频率波动情况完全不同。事实上，趋肤效应对片上导线的影响非常小，因为导线的横截面通常小于集肤深度。

图5.21所示是返回路径上的挤近效应。在吉赫兹级的频率上，挤近效应以深刻的方式影响着片上导线。如图5.21所示，高频时电流的返回路径很靠近信号线，形成一个较小的回路电感。这是因为电流总是试图寻找阻抗最小的路径返回。在直流或低频时，是导线电阻而不是电感主导着回路导线的阻抗。因此电流将自己扩散到许多平行的路径中，以尽量降低电阻(参见图5.21)。对于目前IC工艺中所用的细连线结构，挤近效应占主导地位，而趋肤效应并不明显。

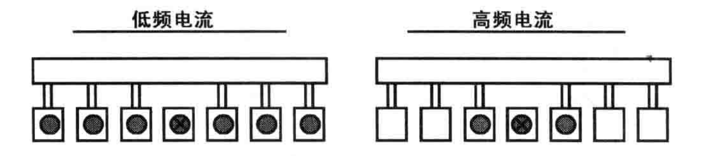


图5.21 不同信号频率的电流返回路径

5.5.2 片上连线的高效建模

虽然可以将一个完整的传输线模型用于片上导线，但它却成为改进仿真效率的一大负担，因为短传输线限制了仿真时间的步长。用分布元件为片上导线建模，可以与传输线一样准确而无须牺牲仿真时间。PEEC多节π形常被用作为片上导线的分布式效应建模[51]。对于片上应用，可以用一个标准的RC提取工具(如QuickCap)来计算导线的电阻、电容。由于I/O接口中的典型时钟布线相当均匀，也可以用一个简单的二维静态求解器为片上的时钟线

网建模。导线的电感则可以用 FastHenry 加以计算[52]。为了加速仿真电路，可以忽略两节线之间的前向耦合。此外，由于趋肤效应可以忽略而电流分布很均匀，可以用单根细线对导线建模。

图 5.22 给出了一个典型共面时钟线的等效 RLC 电路模型。假设在数吉赫兹频率时的大部分电流从最近的地返回。所需 π 形的节数可以根据时钟频率和线长确定，以表征分布式的效应。注意，不需要用全波求解器为片上导线进行更准确的建模。因为全波求解器不仅要用更长的仿真时间，当返回路径没有很好定义时它也是不准确的。

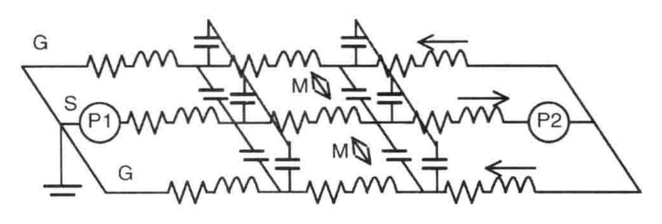


图 5.22 片上走线的多节 π 形模型

5.5.3 模型与测量的关联度

对于上述片上导线模型的正确性，我们用如图 5.23 所示 90 nm 工艺下的实际测试结构进行了验证。图中给出单端和差分时钟走线的结构和表征。把从仿真电路模型得出的 S 参数与实测值进行比对。

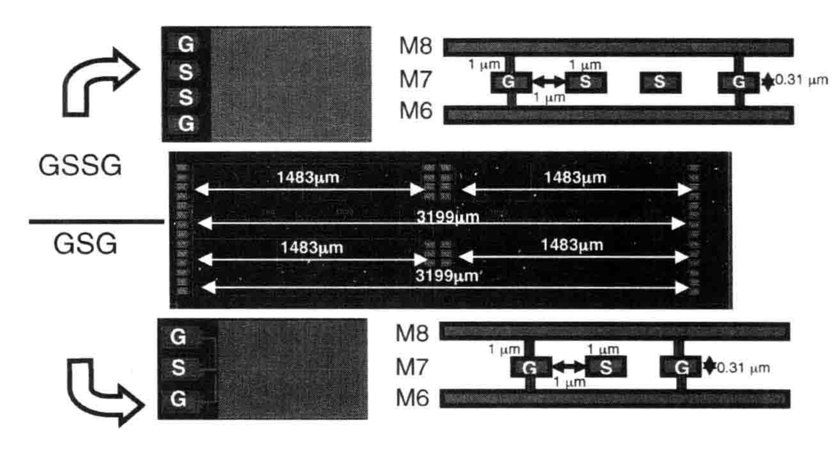


图 5.23 单端和差分的时钟测试结构

在进行片上测量时，探针头的寄生参数可以引起显著的突变。基于 5.4.2 节中所述双线法的剥离方法，并不适用于片上测量。片上检测用的探针头在到达 DUT 导线前有相当长的馈线。因此，端口突变将占据测量响应的很大一部分，采用双线法是不合适的。本节用场求解器生成一个简单的 RLC 模型。图 5.24 显示的探针头模型中包括从探针头到 DUT 导线的馈线。高频时总的馈线结构，使总的 DUT 电感增加了约 7%；总的 DUT 电阻增加了约 2%。基于这个简单的 RLC 模型，可以计算出探针结构的 S 参数。然后，使用表 4.3 中的换算公式将测得总的 S 参数换算为 ABCD 参数，再把它剥离出。

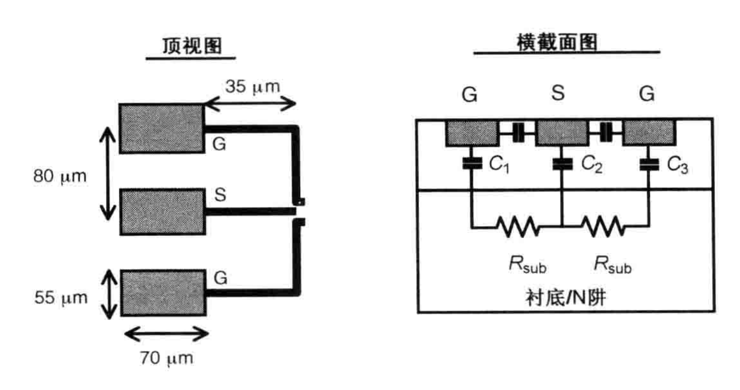


图 5.24 探针焊盘头和馈线的紧凑模型

首先考察单端时钟线的关联程度。图 5.25 给出了 S 参数的关联度。直到 20 GHz 之前，在测量和仿真之间的关联度都非常好。将测得的 S 参数与 RLC 仿真结果进行对比，就可以得到 RLC 参数。图 5.26 绘制出一个单端时钟树的回路电阻。正如所料，电阻在低频区间比较平坦，在更高的频率则由于挤近效应而呈现斜坡上升。在低频时的不匹配主要是由于在仿真中未对工艺波动及其对电流返回路径的影响建模。这一工艺中有 ±28% 的线电阻波动以及过孔电阻 ±50% 的波动。图 5.27 是对电感的比较。如所预估，高频时因为返回路径较小而电感变小。由典型趋肤效应引起的电感波动比由挤近效应引起的波动要小。对于 LC 谐振时钟分配网络而言，捕获这种大电感频率波动是非常重要的。根据工作时钟频率的不同，导线对电感的贡献会有明显的不同，这进而又决定了时钟分配网络中的峰值谐振频率。类似于电阻的情况，在低频区观察到一些不匹配现象。

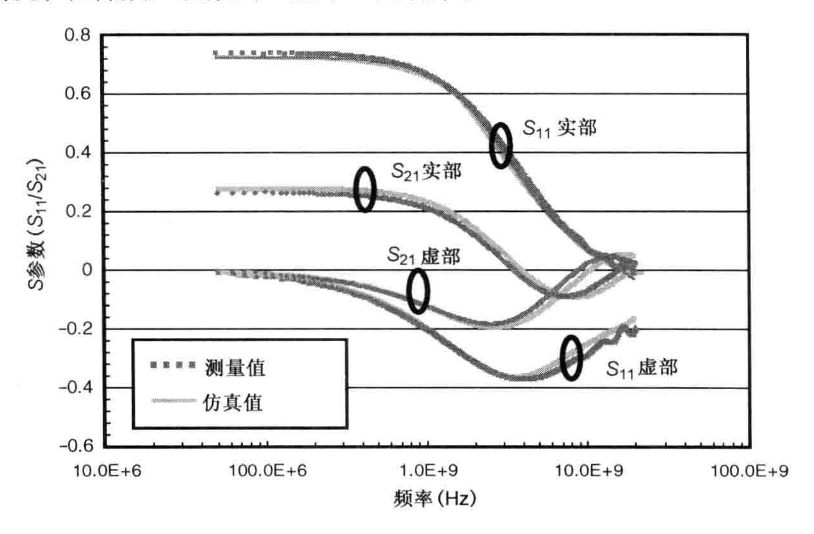


图 5.25 单端时钟 S 参数的关联度(平均误差为 8%，例如 S_{11} 的 Imag)

差分时钟线用于高速 I/O 接口，甚至是片上导线的布线中。图 5.28 给出了混模中的差分 S 参数与测量的关联一致性。5.1.4 节中介绍了单端和混模 S 参数之间的换算。在多数频率点上都有很好的匹配。在 10 GHz 以上的不匹配，可能是由于仿真中采用了频率无关的焊盘模型，因为之前的焊盘模型不能准确地建模时延。

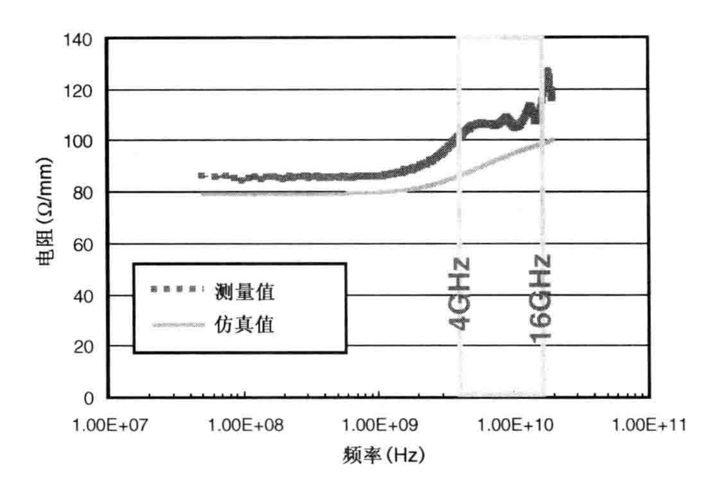


图 5.26　由于挤近效应使得高频回路电阻增大(平均误差为 13%)

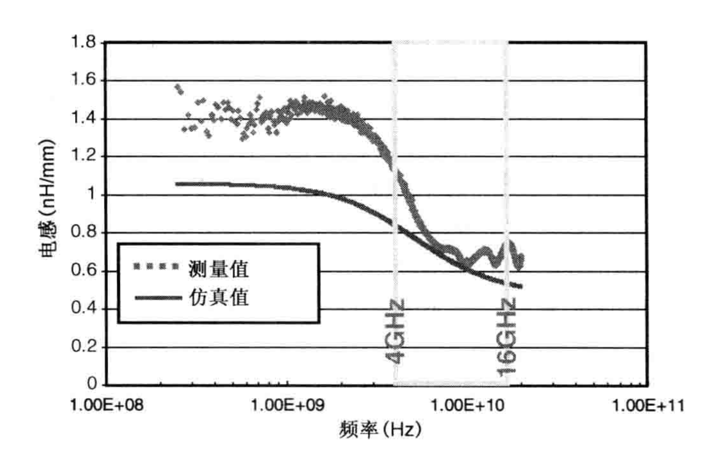


图 5.27　由于挤近效应使得高频回路电感双倍降低(超过 500 MHz 时的平均误差为 14%)

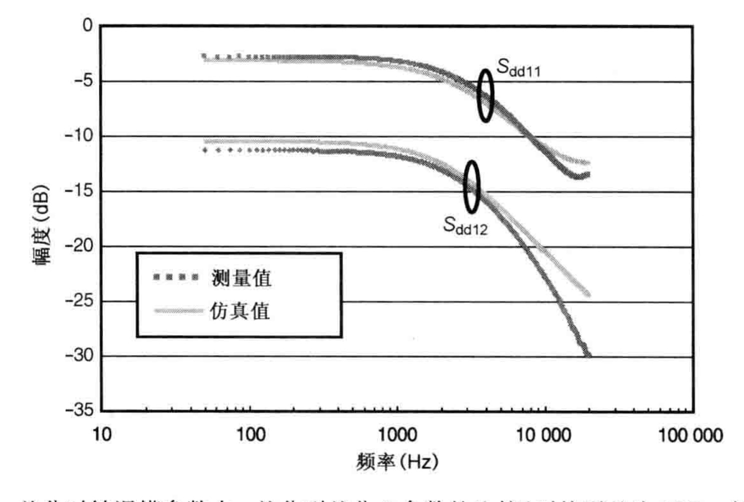


图 5.28　差分时钟混模参数中，差分到差分 S 参数的比较(平均误差为 10%，例如 S_{dd12})

5.6 片上、封装及 PCB 走线之对比

本节按照片外和片上层级对比不同类型的传输线：一个典型 PCB 主板微带线；一个 BT 衬底封装的微带线；一个片上导线。图 5.29 给出了主板和封装走线的结构信息。主板走线的长度为 8 cm 和 16 cm，而封装走线的长度是 6.56 mm 和 13.34 mm。片上导线采用上一节如图 5.23 所示的结构。图 5.30 给出了换算后的 RLGC 参数。正如所料，片上导线的电阻明显高于封装和 PCB 走线，并在很宽的频率范围内不变。这表明片上导线的趋肤效应或挤近效应不是很严重；而封装和 PCB 的走线电阻表明它们具有频率相关的趋肤效应。如图 5.30 所示，封装走线的电阻高于 PCB 布线。这是因为封装走线较小的横截面使得电流面积较小。片上导线的电感和电容一直到很高频率时都在变化，说明用传输线对片上导线建模并不太合适。

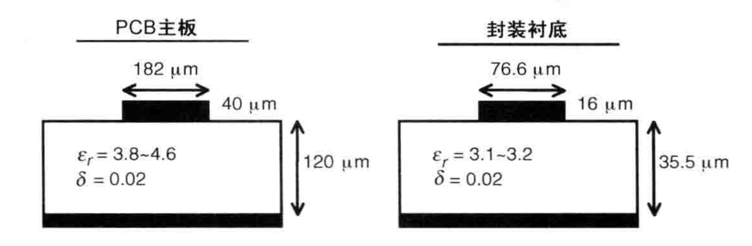


图 5.29 微带线结构：PCB 主板和封装走线

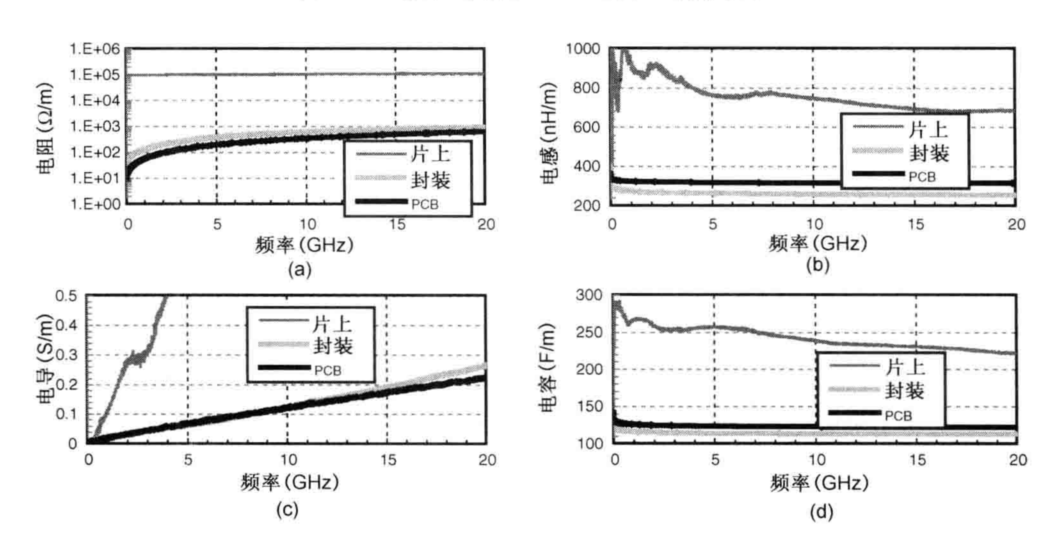


图 5.30 芯片、封装和 PCB 走线的 RLGC 参数

为了进行更有意义的对比，我们选择传输参数中的传播常数函数和特征阻抗。因为我们只对定性对比感兴趣，采用以下化简的传播常数和特征阻抗定义：

$$\gamma(\omega) = \sqrt{Z(\omega)Y(\omega)} \approx \alpha_c(\omega) + \alpha_d(\omega) + \beta(\omega) \tag{5.57a}$$

$$Z_c(\omega) = \sqrt{Z(\omega)/Y(\omega)} \approx \sqrt{L(\omega)/C(\omega)} \tag{5.57b}$$

其中

$$\alpha_c(\omega) \approx R(\omega)\sqrt{C(\omega)/L(\omega)} \tag{5.57c}$$

$$\alpha_d(\omega) \approx G(\omega)\sqrt{L(\omega)/C(\omega)} \tag{5.57d}$$

$$\beta(\omega) = \omega\sqrt{L(\omega)\cdot C(\omega)} \tag{5.57e}$$

$\alpha_c(\omega)$和$\alpha_d(\omega)$分别表示由导线损耗和介质损耗引起的衰减。$\beta(\omega)$表示相位时延（参见图5.31）。因为片上导线的直流损耗占主导地位，其$\alpha_c(\omega)$几乎是平坦的。如前所述，封装走线的$\alpha_c(\omega)$大于PCB走线的。另一方面，封装和PCB的$\alpha_d(\omega)$是相似的，因为介质损耗并不是导体结构尺寸的强函数。封装走线的特征阻抗趋于稳定饱和值的过程比PCB走线更慢。这是因为，封装走线的较小结构使得内电感占据更大的分量。

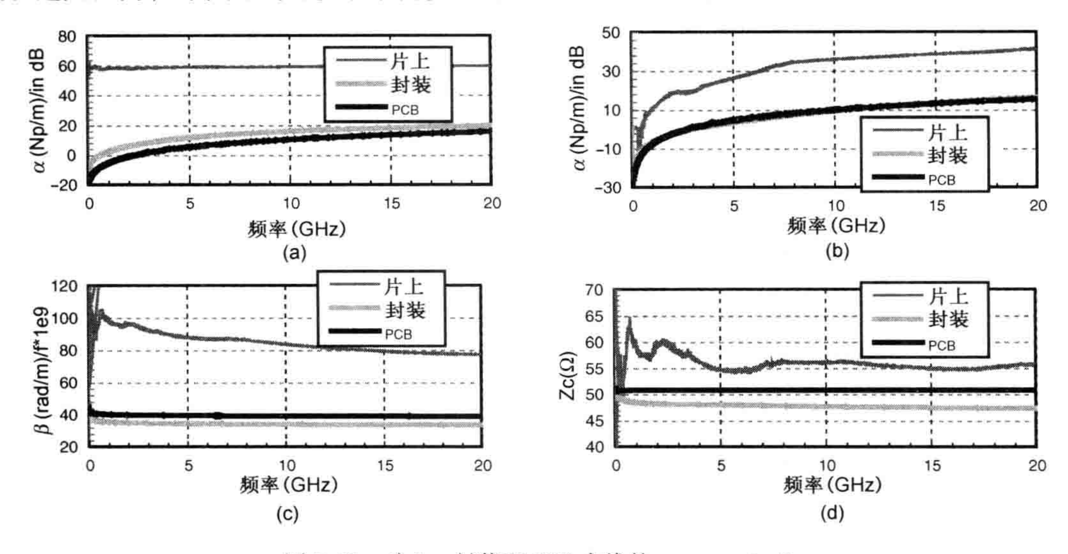


图5.31 片上、封装和PCB走线的α_c、α_d、β、Z_c

5.7 小结

本章介绍了传输线理论的基本知识。讨论了RLGC参数的基本物理性质以及串扰现象。还讨论并对比了流行的有损色散线的瞬态仿真技术（以及这些仿真方法的缺陷）。提出了一个从S参数测量中求解频率相关RLGC参数的方法。本章介绍了基于时域TDR响应的直流准确度增强方法。需要特别关注片上导线的建模，π形分节模型提供了足够的准确度。最后，本章总结了片上导线、封装走线、PCB走线等不同传输线的特性。

参考文献

1. J. Gruodis and C. S. Chang, "Coupled lossy transmission line characterization and simulation," *IBM Journal of Research and Development*, vol. 25, pp. 25-41, Jan. 1981.
2. W. Kim, J.-H. Kim, D. Oh, and C. Yuan, "Implementation of broadband transmission line models with accurate low-frequency response for high-speed system simulations," presented at the IEC DesignCon, Santa Clara, CA, Feb. 2006.

3. M. Horno, R. L. Mesa, F. Medina, and R. Marques, "Quasi-TEM analysis of multilayered multiconductor coplanar structures with dielectric and magnetic anisotropy including substrate losses," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-38, no. 8, pp. 1059-1068, Aug. 1990.
4. F. L. Mesa, G. Cano, F. Medina, R. Margues, and M. Horno, "On the quasi-TEM and full-wave approaches applied to coplanar multistrip on lossy dielectric layered media," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-40, no. 3, pp. 524-531, Mar. 1992.
5. R. K. Hoffmann, *Handbook of Microwave Integrated Circuits*, Artech House, 1987.
6. G. L. Matthaei, K. Kiziloglu, N. Dagli, and S. I. Long, "The nature of the charges, currents, and fields in and about conductors having cross-sectional dimensions of the order of a skin depth," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-38, no. 8, pp. 1031-1036, Aug. 1990.
7. K. S. Oh, "Efficient modeling of interconnects and capacitive discontinuities in highspeed digital circuits," Ph. D. dissertation, University of Illinois at Urbana-Champaign, 1995.
8. K. D. Marx, "Propagation modes, equivalent circuits, and characteristic terminations for multiconductor transmission lines with inhomogeneous dielectrics," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-21, no. 7, pp. 450-457, Jul. 1973.
9. W. Dally and J. Poulton, *Digital System Engineering*, Cambridge University Press, 1998.
10. J. Zerbe, P. Chau, C. Werner, W. Stonecypher, H. J. Liaw, G. J. Yeh; T. P. Thrush, S. Best, and K. Donnelly, "A 2 Gb/s/pin 4-PAM parallel bus interface with transmit crosstalk cancellation, equalization, and integrating receivers," in *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, Feb. 2001, pp. 66-67.
11. C. Pelard, E. Gebara, A. J. Kim, M. Vrazel, F. Bien, Y. Hur, M. Maeng, S. Chandramouli, C. Chun, S. Bajekal, S. Ralph, B. Schmukler, V. Hietala, and J. Laskar, "Realization of multigigabit channel equalization and crosstalk cancellation integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 10, pp. 1659-1669, Oct. 2004.
12. Y. Hur, M. Maeng; C. Chun, F. Bien, H. Kim, S. Chandramouli; E. Gebara, and J. Laskar, "Equalization and near-end crosstalk (NEXT) noise cancellation for 20 Gb/s 4-PAM backplane serial I/O interconnects," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 1, pp. 246-255, Jan. 2005.
13. J. Buckwalter and A Hajimiri, "Cancellation of crosstalk-induced jitter," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 3, pp. 621-632, Mar. 2006.
14. J. Wilson and D. Oh, "Active crosstalk cancellation for next-generation single-ended memory interfaces," in *Proceedings of Electronic Components and Technology Conference*, Lake Buena Vista, FL, Jun. 2011, pp. 202-208.
15. J. E. Schutt-Aine and R. Mittra, "Scattering parameter transient analysis of transmission lines loaded with nonlinear terminations," *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, pp. 529-536, Mar. 1988.
16. A. R. Djordjevic, T. K. Sakar, and R. F. Harrington, "Analysis of time response of lossy multiconductor transmission line networks," *IEEE Transactions on Microwave Theory and Techniques*, vol. 35, pp. 898-908, Oct. 1987.
17. J. R. Griffith and M. S. Nakhla, "Time-domain analysis of lossy coupled transmission lines," *IEEE Transactions on Microwave Theory and Techniques*, vol. 38, pp. 1480-1487, Oct. 1990.
18. D. B. Kuznetsov and J. E. Schutt-Aine, "Optimal transient simulation of transmission lines," *IEEE Transactions on Circuits and Systems*, vol. 43, no. 2, pp. 110-121, Feb. 1996.

19. K. S. Oh, "Accurate transient simulation of transmission lines with the skin effect," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 19, pp. 389-396, Mar. 2000.
20. F. H. Branin Jr., "Transient analysis of lossless transmission lines," in *Proceedings of the IEEE*, vol. 55, 1967, pp. 2012-2013.
21. A. E. Ruehli, Ed, *Circuit Analysis, Simulation, and Design*, part 1, North-Holland, 1986.
22. S Grivet-Talocia, "Delay-based macromodels for long interconnects via time-frequency decompositions," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2006, pp. 199-202.
23. A. Chinea, P. Triverio, and S Grivet-Talocia, "Compact macromodeling of electrically long interconnects," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2008, pp. 199-202.
24. A. Semlyen and A. Dabuleanu, "Fast and accurate switching transient calculations on transmission lines with ground return using recursive convolutions," *IEEE Transactions on Power Apparatus and Systems*, vol. PAS-94, no. 3, pp. 561-569, Mar. 1975.
25. B. Gustavsen and A. Semlyen, "Rational approximation of frequency domain response by vector fitting," *IEEE Transactions on Power Delivery*, vol. 14, no. 3, pp. 1052-1061, July 1999.
26. B. Gustavsen and C. Heitz, "Modal vector fitting: a tool for generating rational models of high accuracy with arbitrary terminal conditions," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 4, pp. 664-672, Nov. 2008.
27. K. S. Oh and J. E. Schutt-Aine, "An efficient implementation of surface impedance boundary conditions for the finite-difference time-domain method," *IEEE Transactions on Antennas and Propagation*, vol. 43, pp. 660-666, Jul. 1995.
28. M. La Scala, S. Sblendorio, and R. Sbrizzai, "Parallel-in-time implementation of transient stability simulations on a transputer network," *IEEE Transactions on Power Systems*, vol. 9, pp. 1117-1125, May 1994.
29. T. K. Tang, M. S. Nakhala, and R. Griffith, "Analysis of lossy multiconductor transmission lines using the Asymptotic Waveform Evaluation technique," *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, pp. 2107-2116, Dec. 1991.
30. W. T. Beyene and J. E. Schutt-Aine, "Accurate diode forward recovery reverse model using asymptotic waveform evaluation techniques," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 16, no. 12, pp. 1447-1453, Dec. 1997.
31. J. Kim and D. H. Han, "Hybrid method for frequency-dependent lossy coupled transmission line characterization and modeling," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2003, pp. 239-242.
32. W. Kim, J. Kim, D. Oh, and C. Yuan, "S-parameters based transmission line modeling with accurate low-frequency response," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2006, pp. 79-82.
33. J. Kim, D. Oh, and W. Kim, "Accurate characterization of broadband multiconductor transmission lines for high-speed digital systems," *IEEE Transactions on Advanced Packaging*, vol. 33, pp. 857-867, Nov. 2010.
34. D. Gope, A. Ruehli, and V. Jandhyala, "Solving low-frequency EM-CKT problems using the PEEC method," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2005, pp. 351-354.
35. J. Zhao and W. C. Chew, "Integral equation solution of Maxwell's equations from zero frequency to micro-

wave frequencies," *IEEE Transactions on Antennas and Propagation*, vol. 48, no. 10, pp. 1635-1645, Oct. 2000.

36. J. Zhu and D. Jiao, "A rigorous method for fundamentally eliminating the low-frequency breakdown in full-wave finite-element-based analysis: combined dielectricconductor case," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2011, pp. 69-72.
37. *HSPICE Signal Integrity Guide*, version 2008.09, Synopsis.
38. A. Deutsch, G. Arjavalingam, and G. V. Kopcsay, "Characterization of resistive transmission lines by short-pulse propagation," *IEEE Microwave and Guided Wave Letters*, vol. 2, pp. 25-27, Jan. 1992.
39. W. Kim and M. Swaminathan, "Simulation of lossy package transmission lines using extracted data from one-port TDR measurements," *IEEE Transactions on Advanced Packaging*, vol. 28, no. 4, pp. 736-744, Nov. 2004.
40. C. L. Liu and J. W. S. Liu, *Linear Systems Analysis*, McGraw-Hill, 1975.
41. R. Schaefer, "Discussing the limitations and accuracies of time and frequency domain analysis of physical layer devices," presented at the IEC DesignCon, Santa Clara, CA, 2005.
42. R. B. Marks, "A multiline method of network analyzer calibration," *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, pp. 1205-1215, Jul. 1991.
43. D. F. Williams, and R. B. Marks, "Accurate transmission line characterization," *IEEE Microwave and Guided Wave Letters*, vol. 3, no. 8, pp. 247-249, Aug. 1993.
44. T. Winkel, L. S. Dutta, H. Grabinski, and E. Grotelǘshen, "Determination of the propagation constant of coupled lines on chips based on high frequency measurements," in *Proceedings of IEEE Multi-Chip Module Conference*, Feb. 1996, pp. 99-104.
45. T. Winkel, L. S. Dutta, and H. Grabinski, "An accurate determination of the characteristic impedance matrix of coupled symmetrical lines on chips based on high frequency S-parameter measurements," in *IEEE 49th ARFTG Conference Digest*, Jun. 1997, pp. 223-226.
46. A. Deutsch, H. H. Smith, G. V. Kopcsay, D. C. Edelstein, and P. W. Coteus, "On-chip wiring design challenges for GHz operation," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 1999, pp. 45-48.
47. P. J. Restle, "High speed interconnects: A designer's perspective," in *ICCAD Tutorial: Interconnect High Speed Design: Problems, Methodologies and Tools*, Nov. 1998.
48. X. Qi, A. Gyure, Y. Luo, S. Lo, M. Shahram, and K. Singhal, "Simulation of interconnect inductive impact in the presence of process variations in 90 nm and beyond," *IEEE Electron Device Letters*, vol. 27, no. 8, pp. 696-698, Aug. 2006.
49. J. Poulton, R. Palmer, A. M. Fuller, T. Greer, J. Eyles, W. J. Dally, and M. Horowitz, "A 14-mW 6.25-Gb/s transceiver in 90-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 12, pp. 2745-2757, Dec. 2007.
50. X. Qi, J.-H. Kim, L. Yang, R. Schmitt, and C. Yuan, "Compact on-chip wire models for the clock distribution of high-speed I/O interfaces," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2008, pp. 235-238.
51. A. E. Ruehli, "Inductance calculations in a complex integrated circuit environment," *IBM Journal of Research and Development*, pp. 470-481, Sep. 1972.
52. M. Kamon, M. J. Tsuk, and J. K. White, "FASTHENRY: a multipole-accelerated 3-D inductance extraction program," *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, pp. 1750-1758, Sep. 1994.

第Ⅱ篇

链路性能分析

第 6 章　通道的电压预算与时序预算

第 7 章　制造工艺波动建模

第 8 章　链路 BER 建模与仿真

第 9 章　快速时域通道仿真技术

第10章　链路 BER 分析的时钟模型

第6章 通道的电压预算与时序预算

Dan Oh，袁兴朝

前面的章节讨论了无源通道结构的准确建模问题。以下几章的重点是通道的分析与仿真问题。信号完整性设计的最终目标是，确定所研究的I/O通道是否在最坏工作条件下依然能够满足目标性能的要求。我们需要在对传统器件和无源通道建模的基础上，进行深层次的分析。为此，需要回答的几个关键问题是：

- 什么是既能确保目标系统链路可靠性，又能避免过度系统设计的恰当电压和时序预算？
- 如何确保大批量生产系统仍有足够的容限？
- 除了传统的无源通道和输出驱动器之外，如何厘清各种器件的抖动和噪声分量？
- 如何对不同时令拓扑结构及其相应的抖动建模？

虽然这些问题对现代高速I/O分析很重要，但很难见到有用的相关文献。从本章到第12章给出的材料，可以帮助回答这些问题。下面是一个简要的概述。

I/O系统的发展起始于测试芯片的设计，该设计通常要有一个理想的系统环境。例如，严格控制的PCB走线阻抗（以消除信号反射），放置足够数量的旁路电容器以尽量降低电源噪声。然而，我们必须考虑到各种工艺波动，以确保大批量生产的成功。第7章描述了一个基于田口法的实验设计（DoE）方法，在通道仿真中加入制造波动因素。田口实验设计法还可以用于优化通道设计。例如，可以通过田口分析优化驱动器的幅度和端接，使得信号眼图的睁开度（电压容限）最大化。

传统的信号完整性分析往往侧重于表征由无源通道衰减和色散、输出驱动器压摆率和非线性引起的确定性抖动。典型的确定性抖动包括：符号间干扰、串扰、信号错位。然而，链路抖动的重要组成部分源自器件抖动，比如锁相环（PLL）抖动、时钟缓冲器抖动、占空比失真（DCD）、参考时钟抖动等。因此，在链路仿真中必须捕获到由这些抖动分量引起的链路容限损失，预估出链路的电压和时序容限。第8章提出一个统计链路仿真流程，可以仿真典型的确定性抖动源以及有源器件的抖动（包括确定性和随机抖动）。

第8章中讨论的统计链路仿真器假设系统或通道是线性时不变的。因此，严格地说，它不适用于片上端接（ODT）随时间而波动的非线性驱动器。此外，它还假定数据模板是随机和均匀的，因此它不能处理数据编码。第9章给出时域的快速通道仿真方法，它可以帮助统计仿真器克服上述统计方法的不足。时域的方法对单端信令接口特别有用，因为它可以处理同时开关输出（SSO）噪声。第9章还对IBIS标准机构提出的AMI（算法模型接口）模型基础知识进行了述评。

在对抖动的贡献中，时钟信号给出最主导的分量。第10章介绍了时钟抖动的基本机理；建模方法学；不同类型的时令拓扑结构；以及时钟抖动的放大和跟踪等。第10章还将

第 8 章和第 9 章描述的统计方法扩展到包括抖动跟踪在内。第 11 章讨论了电源噪声建模中的预算问题，因为常常是电源噪声造成了器件抖动。最后，第 12 章介绍如何用数据编码降低符号间干扰或同时开关输出噪声的影响。

本章讨论如何定义通道的电压预算和时序预算。对通道的电压和时序(VT)进行预算的权衡折中是高速 I/O 链路设计中最重要的任务之一。VT 的预算必须适当指配给通道中的各个构件，包括发送器、接收器和无源通道。不平衡的 VT 预算可能导致系统发生故障；或由于某一特定子构件的过分高指标造成无谓的成品率下降和高系统成本。

然而，除非是标准制定机构成员，或从事专用标准的制定，一般工程师很少有机会去定义通道的 VT 预算。相反，许多实际的信号完整性分析侧重于对系统建模与仿真，以确定所设计的系统是否满足某一给定的标准规范。不同的 I/O 接口有不同的电气规范，它们需要不同的仿真环境设置和方案。即使我们没有机会从事通道 VT 预算的制定，但如果能透彻理解电压和时序规范定义的缘由，仍然有助于对系统设计的权衡折中。例如，如果我们知道分配给通道的时序误差有多大，也许就会设法将串扰与通道符号间干扰(阻抗波动)进行权衡折中。

以下各节介绍常用的电压和时序方程；解释其背后的基本概念，以及有关这些方程的局限性等(具体而言，就是基于方程的时序预算无法解释在各个不同构件分量之间、各种噪声谱分量之间的相互作用)。最后，以提出一种统计链路仿真器结束对高速 I/O 接口时序预算的讨论。

6.1　时序预算方程及其分量

定义通道时序预算的最简单方法，就是将发送器、接收器和无源通道各自的抖动分量线性叠加。如果总和小于符号时间或 UI(单位间隔)，对通道时序预算可以进行权衡折中。采用这一简单方法的基本假设前提是，通道中所有的抖动分量是线性无关的。对关系式中的各抖动分量都使用最坏情况值，就能确保该系统在最坏场合也能正常工作。这种情况下，采用这一方程去定义每个通道构件的抖动规范或预算是很方便的。这些预算可以相应地被换算成器件(发送器和接收器)的交流技术规范并在器件的数据手册中列出。由于其简单，这种方法被广泛采用多年，尽管这种方法被认为是比较悲观的。

较低数据率的系统，如 DDR 和 RDRAM 存储器系统，在其通道时序方程中只考虑确定性抖动(DJ)分量。当数据率达到数 Gb/s，如 PCIe、FlexIO、XDR 等存储器系统时，要将时序预算方程扩展以便将随机抖动(RJ)包括在内。具体而言，总的峰-峰值抖动(TJ)由如下 DJ 的线性求和，再加上 RJ 的方和根(平方和的开方)：

$$\mathrm{TJ} \equiv \mathrm{TJ}_{\mathrm{DJ}} + \mathrm{TJ}_{\mathrm{RJ}} \equiv \sum \mathrm{DJ} + 2Q_{\mathrm{BER}}\sqrt{\sum \sigma^2} \tag{6.1}$$

在式(6.1)中，Q_{BER}是目标误码率(BER)下的 Q 函数值，DJ 表示确定性抖动分量，σ 表示随机抖动(RMS)分量。$Q(x)$函数等于正态分布函数下从 x 到无穷大区域间的面积，写成余误差函数 erfc(x)的形式如下：

$$Q(x) = \frac{1}{2}\mathrm{erfc}\left(\frac{x}{\sqrt{2}}\right) \tag{6.2}$$

具有误码检测功能的链路，在 BER $=10^{-12}$下 $Q_{BER}=7.03$ 是一个常用的链路目标值。对于没有误码检测的存储器系统，采用相当低的 BER。例如，$Q_{BER}=9.26$ 以确保 BER $=10^{-20}$。由于数据率的不断提高，要使用更低的 BER 目标值以保持在给定时间区间内误码数不变。表6.1列出了各种 BER 目标下的 Q_{BER}。

表6.1　目标 BER 与 Q_{BER}

BER	10^{-1}	10^{-2}	10^{-3}	10^{-4}	10^{-5}
Q_{BER}	1.28155	2.32635	3.09023	3.71902	4.26489
BER	10^{-6}	10^{-7}	10^{-8}	10^{-9}	10^{-10}
Q_{BER}	4.75342	5.19934	5.61200	5.99781	6.36134
BER	10^{-11}	10^{-12}	10^{-13}	10^{-14}	10^{-15}
Q_{BER}	6.70602	7.03448	7.34880	7.65063	7.94135
BER	10^{-16}	10^{-17}	10^{-18}	10^{-19}	10^{-20}
Q_{BER}	8.22208	8.49379	8.75729	9.01327	9.26234
BER	10^{-21}	10^{-22}	10^{-23}	10^{-24}	10^{-25}
Q_{BER}	9.50502	9.74179	9.97305	10.19916	10.42045
BER	10^{-26}	10^{-27}	10^{-28}	10^{-29}	10^{-30}
Q_{BER}	10.63722	10.84974	11.05823	11.26293	11.46402

各种通道和器件的不同效应，在式(6.1)中将引入确定性抖动(DJ)和随机性抖动(RJ)(第2章提供了各种抖动特性的详细描述)。确定性抖动包括：占空比失真(DCD)、符号间干扰、正弦或周期抖动、串扰、同时开关输出抖动和电磁干扰等。确定性抖动源于链路的所有构件，包括发送器、接收器和无源通道等。相反，随机抖动只源于发送器和接收器，主要是热噪声、散弹噪声和闪烁噪声等。

6.2　光纤通道的双δ模型

式(6.1)与光纤通道抖动规范中的双δ(狄拉克)模型是等价的[1]。双δ模型有两个假设前提条件：第一，确定性抖动用两个δ函数的PDF表示，以总的峰-峰确定性抖动值隔开。第二，随机抖动建模为高斯分布，如式(6.1)所示，其有效标准偏差σ，等于各自方差σ_s平方和的均方根。图6.1说明了这种双δ模型。

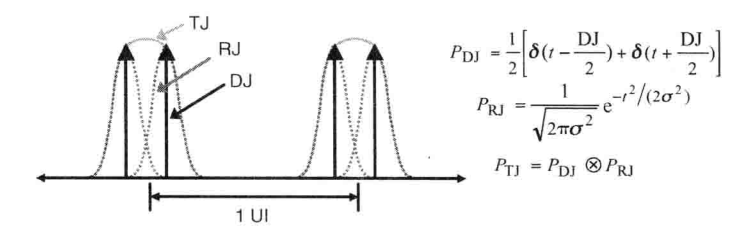


图6.1　光纤通道的双δ模型

为了证明式(6.1)就是等价的双δ模型，考虑10 Gb/s数据率时的两种情况：一种情况下 DJ = 52 ps、$\sigma=2$ ps；另一种情况下 DJ = 9.6 ps、$\sigma=5$ ps。在 BER $=10^{-12}$时，采用式(6.1)计算的总抖动均为80 ps。对于这两种情况，采用对数 BER 尺度和 Q 空间尺度的两

组浴盆曲线如图 6.2 所示。Q 函数尺度图中表明在低 BER 区域是明显的线性变化。图 6.2 所示的情况如所预期的，双 δ 模型预估一个 20%（单位间隔）的容限。人们根据图 6.2 可能会错误地得出结论，认为 DJ = 9.6 ps，σ = 5 ps 的情况是更好的系统，因为它给出了当 BER 在 10^{-12} 以上范围时的较好容限。但在实践中，这种情况是不太理想的，因为它导致当 BER 在 10^{-12} 以下范围时的容限较小。这一示例也表明，一个准确的确定性抖动和随机性抖动分解，对于系统容限分析是很重要的。

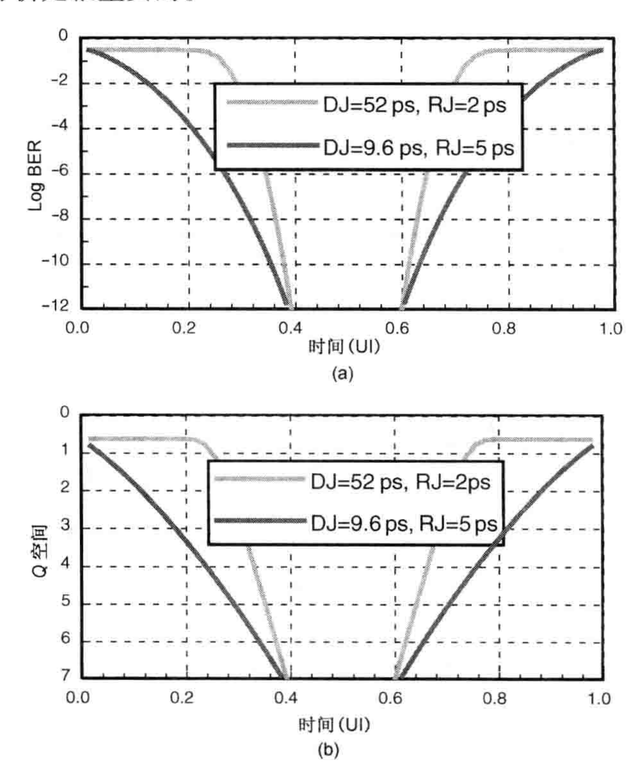


图 6.2　采用光纤通道双 δ 模型的两个不同确定性抖动和随机性抖动值的时序浴盆曲线：使用对数（BER）坐标尺度以及 Q 空间尺度

由于双 δ 模型用简单的 δ 函数去逼近确定性抖动分布，它忽略了确定性抖动分布的细节。这种逼近方案导致悲观的抖动估计[2,3]。为了证明这一局限性，考虑图 6.3 所示的四种不同概率密度函数（PDF）。Madden、Chuck、Oh 阐明了由于不同确定性抖动分布引起总抖动的变化情况[3]。图 6.4 分别显示出 1 ps 随机性抖动和 5 ps 确定性抖动；1 ps 随机性抖动和 20 ps 确定性抖动卷积后总的 PDF。如图中所示，双 δ 模型给出最坏情况的确定性抖动。当确定性抖动分布变宽时结果变得更加悲观。

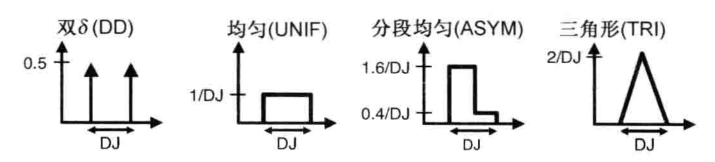


图 6.3　四个测试用例确定性抖动的 PDF 分布：双 δ（DD）、均匀（UNIF）、分段均匀（ASYM）、三角形（TRI）

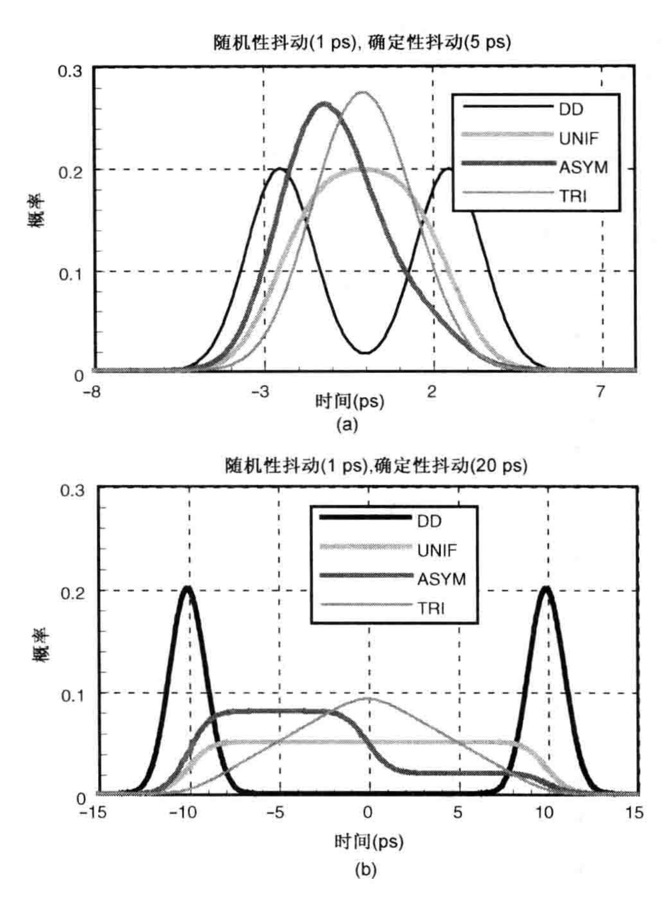


图 6.4 图 6.3 所示四种分布对应的最后 PDF。(a) 采用 1 ps 随机性抖动和 5 ps 确定性抖动；(b) 采用 1 ps 随机性抖动和 20 ps 确定性抖动

基于双 δ 模型的流行尾部拟合法[2,3]，始终以正态分布为假定前提，所生成的随机性抖动值有些不同[3]。表 6.2 列出了对图 6.5 中浴盆曲线进行尾部拟合的结果。用于曲线拟合的 BER 数据，其值在 10^{-5} ~ 10^{-10} 之间。如表中所示，因为采用基于悲观双 δ 的确定性抖动近似表示，通常会低估了确定性抖动。更有趣的是它又高估了随机性抖动。这种差异，对于确定性抖动分布紧凑围绕中心的情况将变得更大。

表 6.2 基于尾部拟合对图 6.5 浴盆曲线中的确定性抖动和随机性抖动进行估计

	DD	UNIF	ASYM(左)	ASYM(右)	TRI
DJ	20 ps	16.1 ps	15.3 ps	15.3 ps	15.4 ps
RJ	1 ps	1.145 ps	1.193 ps	1.228 ps	1.181 ps

图 6.5 给出 1 ps 随机性抖动、20 ps 确定性抖动时四种情况下 BER 曲线的对比。对于双 δ(DD)情况的 BER 曲线采用余误差函数计算；其他情况使用数值积分计算。正如所料，双 δ 的情况给出了最悲观的曲线。双 δ 分布与其他分布之间的差异随着确定性抖动的增大而变大。注意，在一般情况下，不同的确定性抖动分布在高 BER 区域的差异会更大一些。虽然在低误码区域的差异变小(此时随机性抖动为主导)，但是差异依然明显存在。这是因为由随机性抖动与确定性抖动卷积生成的函数，包括其尾部区域，已不再是常规的高斯正态分布函数。

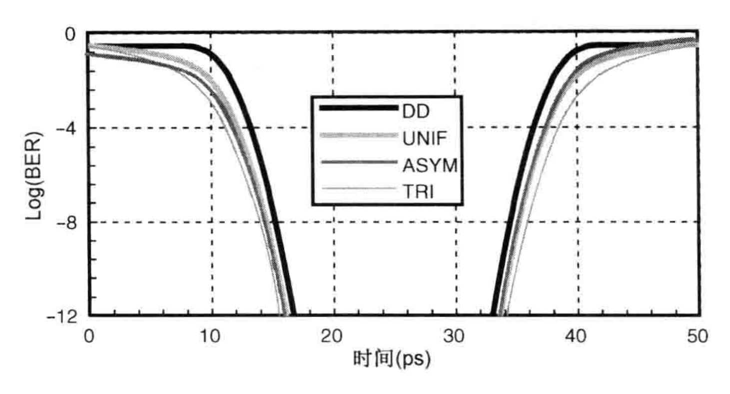


图 6.5　图 6.3 所示四种分布最终的浴盆曲线

不对称的确定性抖动分布导致不对称的浴盆曲线，如图 6.5 所示。尾部拟合法产生了两种不同的随机性抖动值；浴盆曲线的左侧对应一个；右侧又对应另一个(见表 6.2)。但是，原始的分布只会有一个随机性抖动值。实践中，如果系统中的随机性抖动源相同而确定性抖动分布不同，会观察到稍有不同的随机性抖动值。出现这种差异的主要原因可能是在从总抖动中提取随机性抖动和确定性抖动值时遇到的数值计算难题。在表 6.2 中的尾部拟合法说明了这一问题。有趣的现象还有，不对称浴盆曲线在低 BER 区域趋于一致的情况，因为这几种情况都是用正态分布在固定时间间隔内来进行积分的。

6.3　构件分量级的时序预算

本节给出通道时序预算的具体示例。如前所述，在低数据率时，对各个构件分量采用如下的线性求和方案：

$$TJ = TJ_{TX} + TJ_{RX} + TJ_{CH} + TJ_{CLK} = (DJ_{TX} + 2Q_{BER}\sigma_{TX}) + (DJ_{RX} + 2Q_{BER}\sigma_{RX}) + DJ_{CH} + (DJ_{CLK} + 2Q_{BER}\sigma_{CLK}) \quad (6.3)$$

其中，时序预算被分解成构件子分量，如无源通道(TJ_{CH})、发送器(TJ_{TX})、接收器(TJ_{RX})、时钟(TJ_{CLK})。注意，无源通道中没有随机抖动。式(6.3)给出的是一个悲观的时序预算。对于高速应用，最好采用式(6.1)的方和根法计算随机抖动：

$$TJ = (DJ_{TX} + DJ_{RX} + DJ_{CH} + DJ_{CLK}) + 2Q_{BER}\sqrt{\sigma_{TX}^2 + \sigma_{RX}^2 + \sigma_{CLK}^2} \quad (6.4)$$

第一代 PCIe 规范(2.5 Gb/s)是基于式(6.3)的；而第二代 PCIe 规范(5 Gb/s)是基于式(6.4)的。表 6.3 比较了基于第二代 PCIe 规范的两种计算方案[4,5]。显然，式(6.3)比式(6.4)预估更悲观一点的总抖动。如下节所示，即使是采用式(6.4)预估的最终抖动值也有些许悲观。另一方面，虽然式(6.4)给出一个较好的时序预算，它仍然需要提取每个构件的确定性抖动和随机性抖动分量，但其过程比较复杂耗时。实践中，只是在系统表征阶段才能进行这种提取。在批量生产线上，只能根据有限的数据长度(例如，$BER = 10^{-6}$或更大的情况)，去对单个器件采用式(6.3)进行时序测试。

表 6.3 对第二代 PCIe 在 5 Gb/s（总抖动为 10^{-12}）时数据时钟架构下使用线性求和与方和根两种方法的时序预算对比

(ps)	确定性抖动	随机性抖动	线性求和	方 和 根
发送器	30	1.4	50	
接收器	48	1.4	68	
通道	58	0	58	
参考时钟	0	4	56	
有效方差 σ		4.46		
总计	136	63	232	199

到目前为止，时序技术规范式(6.3)或式(6.4)考虑的都是抖动对系统级的影响。为了便于进行构件分量级的测试，需要基于系统级规范对最终器件级的规范给出明确的定义。构件分量级的时序规范，必须考虑不同器件对系统和测试环境影响是不同的。由于这种不同，构件分量级的规范往往要高于系统级的规范。多数器件生产厂商的规范都是基于构件分量级的值。系统厂商在构建整个系统时需要考虑到这些不同。对于标准 I/O 接口，标准委员会（如 PCIe）往往提供了一个参考设计指南，使得系统厂商不必再担心这种不同。

6.4 时序预算方程的缺陷

时序预算关系式(6.1)是建立在一些假设前提之上的。本节将讨论这些假设及其影响。正如上一节所述，式(6.1)的假设之一就是双 δ 函数的确定性抖动近似，它忽略了确定性抖动分布的细节，并预估出一个悲观的系统容限。式(6.1)的另一个关键性假设就是所有的抖动分量都是独立的。这一独立假设导致的结果如下：

- 对确定性抖动分量采用线性求和。
- 对随机抖动分量采用方和根法。
- 将上述两个部分和式再线性求和。

让我们仔细看一下这些近似的各自影响。对确定性分量的线性求和导致悲观的结果。譬如说，串扰效应、同时开关输出噪声引起的抖动、通道符号间干扰等并不是真正独立的。这些效应都与通道或封装的谐振相关。虽然最终系统的电压响应，可以通过把由于同时开关输出噪声、串扰、受害线符号间干扰各自的响应线性叠加进行计算，但对于抖动量则不适于进行线性叠加。我们可以想象一种场景，受害线正在经受的串扰噪声刚好与符号间干扰反射的符号相反，最终导致了抖动的减小。因此，将确定性抖动峰-峰值相加可能是相当悲观的。如上节所述，确定性抖动通常被指定给链路中的子构件，如发送器、接收器、无源通道等。这些构件最坏情况的确定性抖动，并非是线性叠加的。例如，发送器抖动的最坏情况数据模板，一般情况下并不对应最坏情况的通道或接收器抖动。

同样，随机抖动分量的方和根法无视随机抖动分量的完整频谱，忽略了各种随机抖动分量之间的相关性。这种近似再次给出了悲观的抖动值。

需要特别注意的还有，时钟信号中的随机抖动。大多数系统中的发送器和接收器都采用一个公共的时钟发生器。这使得一些出现在发送器的低频谱抖动都会被接收器跟踪。这

样，就需要仔细考察时钟抖动的频谱内容，以避免悲观的预算。第 10 章将详细讨论时钟抖动。

与前两个近似的效果相反，最后在确定性抖动与随机抖动间进行的线性求和近似，给出的是一个乐观的结果。直到前不久，人们还不太明白通道会根据噪声源的不同，对构量/器件级的抖动进行有区别的相关（有色化）。尤其是，发送器的器件抖动会被无源通道的 ISI 放大。第 10 章中将详细讨论这种抖动的放大。

由于上述近似所形成的净效果就是比较容易产生一个悲观的时序预算。为了证明这一点，考虑用统计链路仿真工具对 PCIe 链路进行时序预算。在表 6.3 中给出基于时钟数据恢复（CDR）第二代 PCIe 系统 5 Gb/s 时的抖动规范。将确定性分量规范线性叠加；将随机分量统计叠加，预算表预估出在 BER 为 10^{-12} 时的链路容限几乎为零。可以用统计链路仿真器确定出一个更准确的链路容限，其中所有构件的抖动分量模型都用最大的允许值[6]。

图 6.6 给出的是一个测验系统。Tx 的确定性抖动设置为等于 0.15UI，其中 0.1UI 被假定是由于 DCD 的因素。Tx 均衡化设置为 6 dB。假设 CDR 跟踪低频的随机抖动，只有高频随机抖动被包括在 Tx 的随机抖动（7 mUI RMS）中，从 1.5 ~ 100 MHz 有一个平坦的频谱。此外，设定参考时钟的抖动为20 mUI RMS，其平坦频谱高达 2.5 GHz。

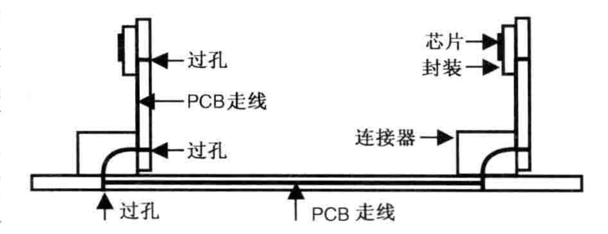


图 6.6　长通道应用时的典型 PCIe 系统

Tx PLL 传递函数的带宽设置为 16 MHz，有 3.0 dB 的峰值（根据第二代 PCIe 规范[4]）。如图 6.7 所示，单独由通道就产生了 0.25UI 的 DJ，而规范为 0.29UI。接收器 Rx 没有线性均衡器（EQ），由于 CDR 模型的调整作用，当与 Tx 和通道一起仿真时，CDR 的自抖动范围大致是 0.24UI（接近 RX DJ 的规范）。此外，Rx 还有 7 mUI 的 RJ。DJ 的总和是 0.64UI，这只比表 6.3 中的规范值好了 0.04UI。因此，人们可以预期链路在 BER = 10^{-12} 时的时序容限为 0.04UI。

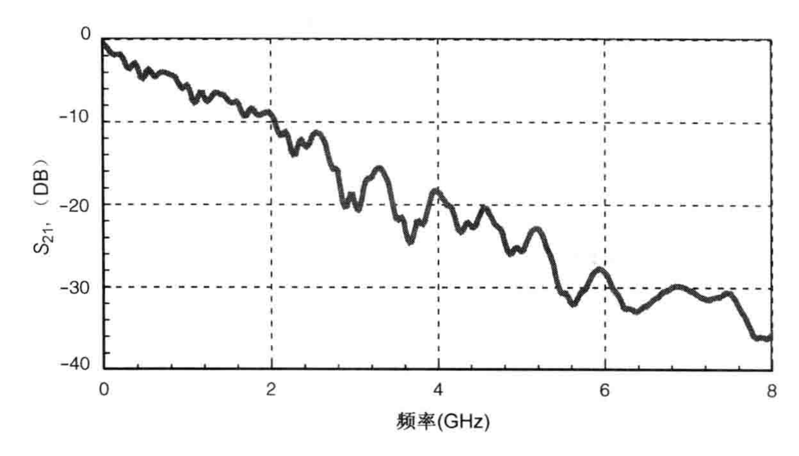


图 6.7　PCIe 通道的 S 参数

由统计仿真器预估的 BER 浴盆曲线如图 6.8 所示。仿真出的不对称时序 BER 浴盆曲线是由于眼图形状的不对称所致。在 BER = 10^{-12} 时的时序容限并非预期的 0.04UI，仿真结果

表明还有额外0.05UI的时序容限。这表明式(6.4)给出的是悲观结果。然而，浴盆曲线是基于表6.3(DJ=0.68UI；RJ=0.022UI)双δ模型生成的，在BER=10^{-12}时获得零时序容限(参见图6.8)。这表明双Dirac模型与式(6.1)之间的密切关系。最后，如图6.9所示，如果将仿真的浴盆曲线采用双δ模型加以拟合，有效的链路确定性抖动和随机性抖动分别是0.355UI和0.039UI。估计得出的链路确定性抖动明显变小；随机性抖动稍微变大。这是由于链路中各种抖动分量之间的复杂相互作用，进一步表明了当前基于时序方程预算方案的缺陷。

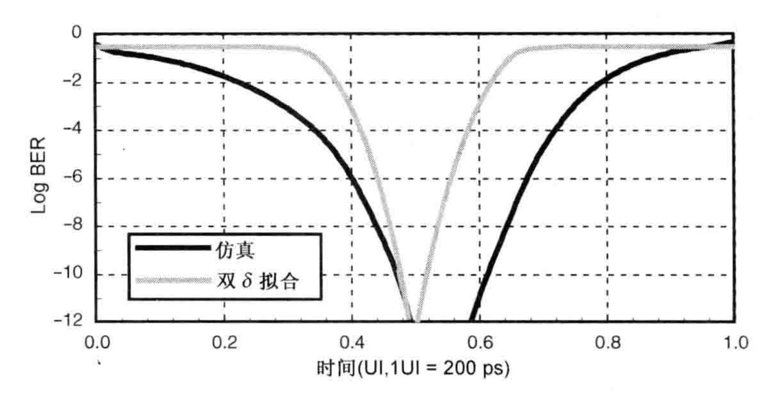


图6.8 使用统计仿真与双δ模型的浴盆曲线

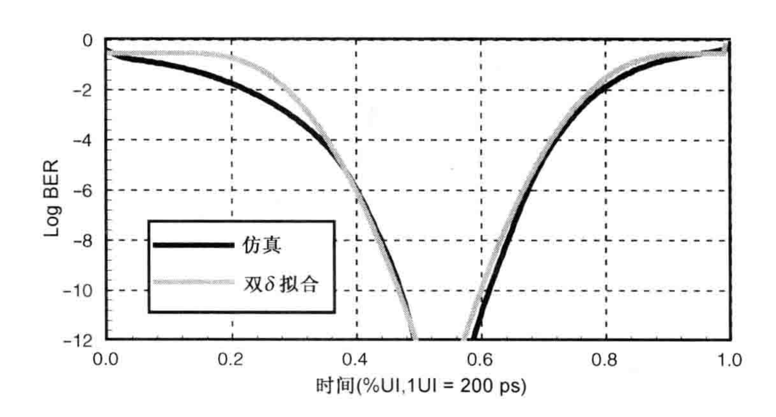


图6.9 对仿真数据的双δ逼近

6.5 电压预算方程及其分量

电压预算方程比时序方程要简单得多，通常写为

$$V_{\mathrm{Rx,Deadband}} + 2Q_{\mathrm{BER}}V_{\mathrm{Rx,Rv}} \leqslant (V_{\mathrm{Tx,Swing}} - V_{\mathrm{ISI}} - V_{\mathrm{XTK}} - V_{\mathrm{SSO}}) \tag{6.5}$$

其中，$V_{\mathrm{Rx,\ Deadband}}$是接收盲区，$V_{\mathrm{Rx,Rv}}$是接收器随机电压噪声。$V_{\mathrm{Tx,Swing}}$是发送器的电压摆幅；$V_{\mathrm{ISI}}$是通道符号间干扰；$V_{\mathrm{XTK}}$是通道串扰；$V_{\mathrm{SSO}}$是由于同时开关输出噪声引起的输出电压噪声。式(6.5)指出在接收焊盘处的电压必须大于某个值(这是对接收器输入电压的需求)。然而，并不经常直接使用这一需求。

一个更实际的电压预算做法是给出接收器输入端所需的最小发送器电压摆幅。为此，

通常用眼图掩模，为不同时间点处规定出眼图的睁开度。图6.10说明了一个普通的眼图掩模。一些I/O接口，比如DDR存储器系统，使用两种不同的眼图睁开度需求：一个指建立一侧；一个指保持一侧[7]。

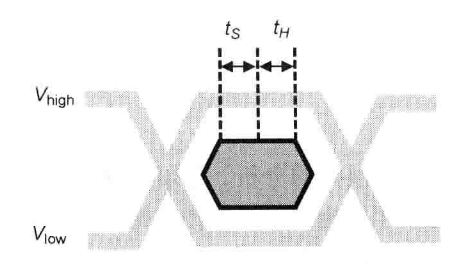


图6.10 典型的眼图掩模示例

6.6 小结

本章提供了一个对通道分析的综述，并讨论了定义和使用通道预算的原因和具体做法。在低数据率，只需对确定性抖动进行简单的线性求和。在数Gb/s的数据率时，把随机抖动包括在内时使用方和根(RSS)法。这种方法是基于双δ模型，给出了明显的悲观结果。更好的办法是使用更严格的统计仿真器。然而，这种仿真需要更复杂的构件分量模型，在初步设计阶段可能无法获得。人们很少有机会直接定义通道预算，但可以用已有预算方案去核查批量生产构件的情况，借以量化出设计中的悲观程度，从而允许在下一代接口中能采用更紧一点的预算。

参考文献

1. "Fibre Channel-Methodologies for Jitter Specification," *National Committee for Information Technology Standardization (NCITS) Technical Report T11.2/Project1230/Rev 10.0*, Jun. 1999.
2. M. P. Li, J. Wilstrup, R. Jesson, and D. Petrich, "A new method for jitter decomposition through its distribution tail fitting," in *Proceedings of International Test Conference*, 1999.
3. C. Madden, D. Oh, and C. Yuan, "System level deterministic and random jitter measurement and extraction for multi - gigahertz memory buses," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2004, pp. 7-10.
4. *PCI Express Card Base Specification*, Rev. 2.0, PCI-SIG, pp. 243-250, Dec. 20, 2006.
5. *PCI Express® Card Electromechanical Specification*, Rev. 2.0, PCI-SIG, pp. 43-46, April 11, 2007.
6. D. Oh, F. Lambrecht, J. Reng, S. Chang, B. Chia, C. Madden, and C. Yuan. "Prediction of system performance based on component jitter and noise budgets," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2007, pp. 33-36.
7. D. Oh, W. Kim, B. Stott, L. Yang, and C. Yuan, "Channel timing error analysis for DDR2 memory systems," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2005, pp. 3-6.

第7章　制造工艺波动建模

Dan Oh

在第6章中对电压预算和时序预算的分析，必须要确保实际的通道能可靠工作。这就是说，大批量生产(HVM)的通道必须是鲁棒的，即使在最坏情况下也能正常工作。为此，在通道分析中必须考虑通道波动(如走线阻抗；封装及PCB的材料性能)，以及发送器及接收器工艺波动的影响。准确表征这些波动将使这些参数的规范变得更宽松和/或更实际。准确的规范将提高构件和系统的成品率，并最终降低整个系统的成本。

如前面各章所述，对通道进行基于最坏情况的分析，可以确保适当的通道性能。例如，对无源通道的分析通常是针对预选的最坏或临界情况条件集合进行的。结果是给出通道时序抖动(t_{CH})的一个最坏情况值。t_{CH}必须满足第6章中基于线性求和法的时序预算方程。工程师们经常从以往的经验、工程判断或传授的猜测中获得预定义的临界案例。这些预定义的案例不一定就是真正的最坏情况，但是很接近。基于最坏情况的分析往往给出悲观的性能分布，会导致系统的过度设计。因为诸临界情况和/或采样样本间在统计上并非是均衡的，所以进行任何定性的分析，如灵敏度分析或解析系统建模，都将是很难的。

人们可以用统计分析的方法对通道进行表征。统计分析优于最坏情况分析，因为它不仅能预估性能分布，也能根据定义好的数学模型提供出额外的信息(如灵敏度、最坏情况、最好情况)。使用统计分析可以优化整个通道的设计。例如，通过调整驱动器的信号幅度和端接值，可以生成一个更好的通道电压容限。

人们广泛使用一种基于蒙特卡罗法的统计分析法[1]。为了能表征性能的分布，蒙特卡罗方案会随机生成大量的样本，当仿真时间比较短时情况还不算严重。但是如果其中有许多参数在变，每次仿真可能都需要相当长的时间，它就不再是理想的通道分析方法。一种基于实验设计(DoE)的统计方法正被普遍采用，如正交阵法和中心复合设计(CCD)法。

在研究每个参数的灵敏度时，许多工程师用得最普遍的实验方法就是，一次改变一个参数而将其余的参数设置为标称值。虽然这种做法似乎是直观的并且实验次数最少，但它不能生成一个准确的统计模型。这是因为计算的输出强烈地偏向于标称值设置。

使用基于田口法的正交阵(OA)，可以做出更好的实验设计[5~7]。田口玄一(Genichi Taguchi)开发的这一方法，用以改进所制造产品的质量。田口法被广泛应用于许多工程领域，包括最近又被用于通道仿真[2~4]。

本章评述了基于正交阵的统计分析法。整个过程中采用的是真实通道仿真示例，并用线性回归模型对性能建模。虽然人们常常用曲面响应模型来优化性能[8]，但由于已超出本书的范围而被略去。

7.1　田口法简介

正确使用 DoE 法将会给出一种均衡的实验，它以一种无偏颇的方式加入所有的输入因素(factor)。执行同样的实验还有一种蛮力方式的全因素实验，它涵盖所有可能的组合。虽然这肯定可以获得一个均衡的实验，但这是不现实的，因为实验的数目随因素个数而迅速增长。例如，如果每个因素有三个等级设置[比如低(L)、标称(N)、高(H)]，N 个因素将需要进行 3^N 次实验。对于一个典型的通道模型，参变量数 N 可以很容易地超过 10。这时的实验次数将超过 59 000。

将实验中可以调整的输入参数称为因素。这些输入参数的不同设置(如 L、N、H)被称为等级。原则上，不同的因素可以有不同的等级。有些情况下可以采用正交阵进行混合等级的实验。本章重点关注的 3 等级因素，纯粹是出于实用的考虑。

一个有名的小型化实验法就是因素-因素实验(FFE)法，它以正交维持了统计上的均衡性。用于因素-因素法的实验矩阵称为正交阵(OA)。显然，因素-因素实验无法提供从全因素实验中获取的所有潜在信息，但它可以给出用于后统计分析的足够信息。田口开发的一套正交阵可用于各种场合[5]。表 7.1 将正交阵所需与全因素所需的实验次数进行了对比，表明了正交阵的有效性。

表 7.1　不同输入因素时全因素和正交阵的总实验次数对比

因素数	等级值	全因素	正交阵
2	2	4	4
3	2	8	4
4	2	16	8
7	2	128	8
15	2	32 768	16
31	2	2 147 483 648	32
4	3	81	7
13	3	1 594 323	27
17	3	129 140 163	81

7.1.1　正交阵的性质

正交阵的一个最根本、最重要的性质就是，所有的实验都是均衡的。换句话说，可以单独评估某一指定因素的影响而无须考虑其他因素。为了说明这一点，考虑表 7.2 中的 L_9 OA，它支持 4 因素(每个因素有 3 个等级)的 9 个实验。注意，每一列包含相同的等级数量。对于任一给定的因素等级而言，其他因素等级的设置是均衡的，从而使得计算一个因素波动的影响时可以独立于其他因素(假设所有因素都是独立的)。例如，所有列中都有三个 0、三个 1 和三个 2。

表 7.2 L_9 正交阵

试验号	F_1	F_2	F_3	F_4
E1	0	0	0	0
E2	0	1	1	1
E3	0	2	2	2
E4	1	0	1	2
E5	1	1	2	0
E6	1	2	0	1
E7	2	0	2	1
E8	2	1	0	2
E9	2	2	1	0

7.1.2 因素的相关性

如上节所述，如果所有的因素都相互独立，在计算单个因素的影响时可以不考虑其他因素，只要均衡设置其他因素的所有等级即可。然而，实际中一些因素之间往往是有关或相关的。例如因素 F_1 的影响，可能会由于因素 F_2 的不同设置而增大或减少。在这种情况下，必须将 F_1 和 F_2 之间的相互作用也考虑在内。注意，采用 L_9 的正交阵可以用于 4 因素场合；或者 3 因素但有一个是互相关的。

正交阵应该根据相互作用的不同进行均衡配置。默认情况下，正交阵给出 2 因素相关时的一个均衡实验方案，如表 7.3 所示。与单因素的情况相同，对 2 因素的等级设置也是均衡的。然而，对于 3 因素的情况这已不再是均衡的，如表 7.4 所示。采用 L_9 的正交阵没有包含足够的情况以涵盖所有 3 因素的组合。然而，L_{54}的正交阵支持直到 5 个输入因素的 54 个实验。它给出了均衡的实验方案，哪怕在 3 个因素间存在相关性。

表 7.3 L_9 正交阵的 2 因素相关设置

试验号	F_1/F_2	F_1/F_3	F_1/F_4	F_2/F_3	F_2/F_4	F_3/F_4
E1	0/0	0/0	0/0	0/0	0/0	0/0
E2	0/1	0/1	0/1	1/1	1/1	1/1
E3	0/2	0/2	0/2	2/2	2/2	2/2
E4	1/0	1/1	1/2	0/1	0/2	1/2
E5	1/1	1/2	1/0	1/2	1/0	2/0
E6	1/2	1/0	1/1	2/0	2/1	0/1
E7	2/0	2/2	2/1	0/2	0/1	2/1
E8	2/1	2/0	2/2	1/0	1/2	0/2
E9	2/2	2/1	2/0	2/1	2/0	1/0

表 7.4 L_9 正交阵的 3 因素相关设置

试验号	$F_1/F_2/F_3$	$F_1/F_2/F_4$	$F_1/F_3/F_4$	$F_2/F_3/F_4$
E1	0/0/0	0/0/0	0/0/0	0/0/0
E2	0/1/1	0/1/1	0/1/1	1/1/1
E3	0/2/2	0/2/2	0/2/2	2/2/2
E4	1/0/1	1/0/2	1/1/2	0/1/2
E5	1/1/2	1/1/0	1/2/0	1/2/0
E6	2/0/2	1/2/1	1/0/1	2/0/1
E7	2/0/2	2/0/1	2/2/1	0/2/1
E8	2/1/0	2/1/2	2/0/2	1/0/2
E9	2/2/1	2/2/0	2/1/0	2/1/0

如果试图准确地对系统建模，必须考虑诸因素间的相互作用。然而，在一般实验中这些因素的相互作用却相当复杂。首先在没有任何相互作用的情况下执行田口法进行分析，确定出哪些因素是最可能相关的。在分析结果的基础上，估计所有可能组合的相关程度。从这一估计中，选择出几个占主导的相关情况用于下面的田口法分析，包括给出相关列。这一过程相当复杂，某些情况下可能是行得通的，但并不是一般情况下都是可行的。因此，本书中略去了相关性建模的内容。

7.1.3 正交阵标示

正交阵的命名标示描绘出一个特定正交阵的属性。本节介绍的是最一般形式的标示。这种形式虽然不常用，但其他所有的标示，只是对这种一般形式在含义简明时的一种简化。这种最一般形式的标示就是

$$L_{\text{trials}}(\text{Levels}^{\text{factors}},\ \text{strength})$$

其中，trials 表示实验的总次数；levels 表示因素等级数；factors 是正交阵所支持的最多输入因素数。例如，$L_{27}(3^{13}, 2)$可用于任何输入因素数小于 14 的情况。一般情况下，采用大值因素数可以提高实验的统计质量(即结果的可信度)，但这是没有必要的。如何为输入因素指配正交阵的列是没有限制的，但基于不同列指配的结果可能是不同的。strength 表示正交阵所支持因素相关的最多个数。例如，采用 L_9 的正交阵支持最多 4 个因素及其中两者之间的相关；表示为 $L_9(3^4, 2)$。这一正交阵的常见短标示为 $L_9(3^4)$或 L_9。

7.1.4 常见的 3 等级正交阵

表 7.5 给出了常见 3 等级因素的正交阵：$L_9(3^4, 2)$、$L_{18}(3^7, 2)$和 $L_{27}(3^{13}, 2)$。注意，7.5 节的表 7.17 中列出了高阶表 $L_{36}(3^{13}, 2)$、$L_{54}(3^5, 3)$、$L_{81}(3^{40}, 2)$等。

表 7.5 正交阵 $L_9(3^4, 2)$、$L_{18}(3^7, 2)$和 $L_{27}(3^{13}, 2)$

$L_9(3^4,2)$	$L_{18}(3^7,2)$	$L_{27}(3^{13},2)$
0000	0000000	0000000000000
0112	1111110	1011122012100
0221	2222220	2022211021200
1011	0012120	0101112201210
1120	1120200	1112201210010
1202	2201010	2120020222110
2022	0102211	0202221102120
2101	1210021	1210010111220
2210	2021101	2221102120020
	0220111	0010111220121
	1001221	1021200202221
	2112001	2002022211021
	0121022	0111220121001

（续表）

$L_9(3^4,2)$	$L_{18}(3^7,2)$	$L_{27}(3^{13},2)$
	1202102	1122012100101
	2010212	2100101112201
	0211202	0212002022211
	1022012	1220121001011
	2100122	2201210010111
		0020222110212
		1001011122012
		2012100101112
		0121001011122
		1102120020222
		2110212002022
		0222110212002
		1200202221102
		2211021200202

7.1.5 灵敏度分析（主值/均值效应）

当采用正交阵进行了实验设计之后，可以使用各种标准的统计分析工具对输出进行处理。这里的“输出”是指从通道仿真（例如，SPICE 的瞬态仿真）中提取出的参数。比较感兴趣的典型参数是电压容限（或在给定采样点上的数据眼图睁开度）、时序抖动（单端信令给定参考电压处或差分信令过零处的数据眼图模糊度）。

仔细均衡的实验产生许多有用的统计参数。本节介绍如何根据正交阵结果计算灵敏度。因为一个 I/O 通道取决于许多个因素，最要紧的是确定出哪个输入参数对系统的影响最大。这一影响称为主值效应或均值效应，可以从正交阵导出。

计算某一给定因素的主值效应时，是对固定等级设置下的所有值求平均。考虑一个简单的示例，假设我们感兴趣的参数是通道电压容限（眼图中心处的眼图睁开度）。图 7.1 和图 7.2 分别给出对三种不同端接阻抗及 PCB 长度设置，绘制出的电压容限的均值（或主值效应）。图 7.1 中的系统输出随着端接阻抗呈现线性波动。图 7.2 中有一个相对 PCB 长度的非线性波动。因为一个典型的系统呈现出某种非线性波动特点，从性能的角度看，准确地对这种非线性建模是非常重要的。严格地说，主值效应并不是灵敏度，因为还没有把它归一化为单位波动。这样做的结果是，如果其中一个因素波动得比其他的大，似乎这个因素是比其他更为灵敏的参数，而实际上它的灵敏度也可能是比较小的。真正有用的是在一定范围内的总波动，而主值效应就提供出了这一信息。

如果在绘制图时先设定一个因素前提下绘制另一个因素的主值效应曲线，就可以从图中看出两个因素之间的相互影响。图 7.3(a) 是一个小的或不相关情况，曲线间只是简单地平移。从图 7.3(b) 的曲线中可以看到有一些曲线波动，但在曲线的方向上没有急剧变动。这种情况说明了两个因素间有轻微的相关。图 7.3(c) 给出了一个较强的相关性。通过测量主值图中斜率的变动，可以量化出相关性的等级。

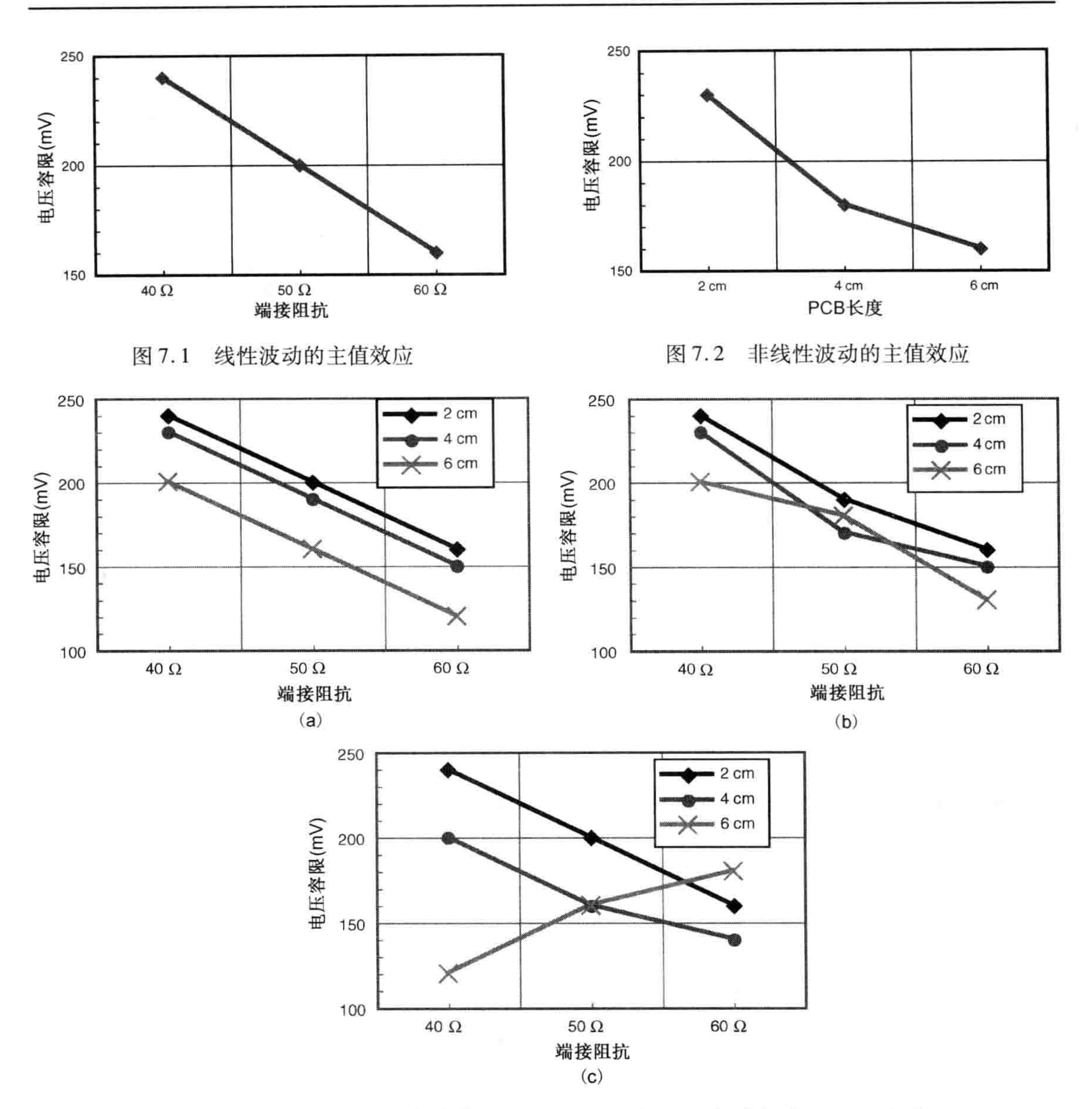


图 7.1　线性波动的主值效应

图 7.2　非线性波动的主值效应

图 7.3　几种情况下的主值曲线图示。(a) 不相关；(b) 轻微相关；(c) 强相关

7.1.6　最坏及最好情况估计

许多应用中，预估最好和最坏情况条件是非常有用的。使用下述简单关系式，就可以估计出输出的性能：

$$\text{估值} = \overline{T} + (F_1(L_i) - \overline{T}) + \cdots (F_N(L_i) - \overline{T}) \tag{7.1}$$

其中，$\overline{T}$ 是总平均(所有结果的均值)，$F_1(L_i)$是(因素 F_1 的 L_i 等级)所有结果的均值。给定设置下估值的计算方法，就是将具有指定等级的各 F_i 项相加。虽然关系表达式似乎很低级，它却提供了一个准确的估计。使用式(7.1)计算所有可能的组合，就可以求得最好情况和最坏情况的估计及其设置。如果忽略掉相关项，就可以直接在主值图中找出每个因素的最大(或最小，取决于输出性能类别)设置值，这就是最佳条件。

注意，式(7.1)中不包含相关项，所以估值只有在相关较小时是准确的。当存在轻微相关时，估计可能会稍微偏离，但预估出的临界情况设置仍然比较准确。简单地基于这些预估进行设置并再做一次实验，就可以获得更准确的值。表7.6将从式(7.1)得出的估计数据与真实的仿真数据进行了对比。应用田口法并根据各种物理参数(如介电常数、厚度、线宽等)来计算PCB走线的阻抗 Z_o。注意，这时两者之间有很好的匹配。

表7.6 使用式(7.1)估计PCB阻抗的准确度

F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8	F_9	估值(Ω)	真值(Ω)
2	2	0	2	1	2	2	0	0	41.6	42.0
2	2	0	2	1	2	2	1	0	42.9	43.2
2	2	0	2	1	2	2	0	1	43.2	43.5
2	2	0	2	1	2	2	2	0	44.0	44.0
2	2	0	2	1	1	1	0	2	44.3	44.5

7.1.7 线性回归模型

人们广泛使用线性回归这一统计技术来建模系统性能。一阶线性回归模型(LRM)的表达式如下：

$$y = C_0 + C_1F_1 + \cdots + C_NF_N + \varepsilon \tag{7.2}$$

通常，用最小二乘拟合来计算系数 C_i。再加入一些附加项就可以对相关性建模：

$$y = C_0 + \sum_{i=1}^{N} C_iF_i + \sum_{i=1}^{N}\sum_{j>i}^{N} C_iF_iF_j + \varepsilon \tag{7.3}$$

将上述表达式进一步扩展再加入如下的二阶项，就可以处理非线性行为：

$$y = C_0 + \sum_{i=1}^{N} C_iF_i + \sum_{i=1}^{N} B_iF_i^2 + \varepsilon \tag{7.4}$$

$$y = C_0 + \sum_{i=1}^{N} C_iF_i + \sum_{i=1}^{N} B_iF_i^2 + \sum_{i=1}^{N}\sum_{j>i}^{N} C_iF_iF_j + \varepsilon \tag{7.5}$$

表征输出性能的一个解析表达式，如曲面响应建模，在执行其他额外的分析时可能是有用的[8]。然而，对最坏和最好情况分布进行简单估计的数据后处理，往往就足够了。生成一个准确回归模型的过程并不算简单。其常常涉及数值逼近中的不稳定，将会失去准确性。人们广泛地研究了线性回归模型，并在很多教科书中都有提及，所以本书没有涵盖详细的描述。相反，下一节中提出的一种新方案，可以比线性回归模型更快速、更准确、数值上更稳定地对输出性能建模。

7.1.8 分段线性模型

7.1.6节讨论了在给定因素设置的情况下，可以采用式(7.1)简单有效地预估出输出的性能。在分段线性(PWL)这一假设前提下通过近似逼近，这一关系式也可以扩展用于任意设置的情况。例如，对等级 j 时因素 F_1 的影响，可以在等级 m 和等级 n 的两个值之间用线性内插加以近似，其中等级 m 和等级 n 是等级 j 的外边界(为了改善插值的准确度，可以采用高阶内插)。这就提供了一种数值稳定和准确的方式去建模输出性能，而不管系统是否是非线性的。还可以将这种内插技术扩展到二维空间以适应相关性的建模。

因为不再存在解析模型，所以无法用解析计算求得分布和波动情况。然而，可以用分段线性的系统模型进行蒙特卡罗仿真而轻松地求得它们。这种做法用得很普遍，因为它可以处理输入因素的任意分布。

重要的是要注意，蒙特卡罗法也可以应用到通道仿真并获得类似的结果。所不同的是仿真时间。这里，首先用田口法获得分段线性的系统模型。再对这种分段线性模型进行蒙特卡罗仿真。采用所估计的 PWL 模型进行通道仿真耗时较少，仿真时间大为改善。

7.1.9　方差分析

方差分析(ANOVA)是统计模型的汇总，它计算出各个输入因素波动的影响。可以根据这些模型估计出各个因素对输出性能的贡献。方差分析模型的细节很容易从许多统计教科书中找到[8]，就不在这里讨论了。

也许方差分析表中最重要的参数就是各个因素占总贡献的百分比。用这些值估计各个因素的影响：百分比越高，就越是主导因素。表 7.7 是一个典型的方差分析表。当一些因素的贡献很小时，就可以把这些有误差的小项合并，从而将表的准确度提高。这一过程称为汇并。表 7.8是汇并后的方差分析表。最后还要注意，方差分析假设各因素是独立的。在 7.1.5 节所介绍的主值图显示出类似的信息，只是没有给出具体的数值。

表 7.7　汇并前的方差分析采样表

因素	自由度	平方和	方差	方差(F)比	纯平方和	贡献(%)
F_1	2	0.000193	9.66E-05	2.28	0.000109	0.0709
F_2	2	0.000176	8.82E-05	2.08	9.16E-05	0.0598
F_3	2	0.000248	0.000124	2.92	0.000163	0.106
F_4	2	0.000258	0.000129	3.04	0.000173	0.113
F_5	2	0.00058	0.00029	6.84	0.000495	0.323
F_6	2	0.000397	0.000198	4.68	0.000132	0.204
F_7	2	0.0226	0.0113	266	0.0225	14.7
F_8	2	0.00672	0.00336	79.3	0.00664	4.34
F_9	2	0.0652	0.0326	769	0.0651	42.5
F_{10}	2	2.37E-05	1.19E-05	0.28	0	0
F_{11}	2	0.0506	0.0253	597	0.0505	33
F_{12}	2	0.00607	0.00303	71.6	0.00598	3.91
误差	2	8.48E-05	4.24E-05			0.68
总计	26	0.153				100

表 7.8　汇并后的方差分析采样表

因素	自由度	平方和	方差	方差(F)比	纯平方和	贡献(%)
F_1	已汇并	0.000193				
F_2	已汇并	0.000176				
F_3	已汇并	0.000248				
F_4	已汇并	0.000258				
F_5	已汇并	0.00058				
F_6	已汇并	0.000397				
F_7	2	0.0226	0.0113	15.3	0.0211	13.8

（续表）

因素	自由度	平方和	方差	方差(*F*)比	纯平方和	贡献(%)
F_8	已汇并	0.00672				
F_9	2	0.0652	0.0326	44.2	0.0637	41.6
F_{10}	已汇并	2.37E-05				
F_{11}	2	0.0506	0.0253	34.3	0.0492	32.1
F_{12}	已汇并	0.0148				
误差	20	8.48E-05	4.24E-05			0.68
总计	26	0.153	0.153			100

7.2 DDR DRAM 的指令/地址通道示例

DDR DRAM 被广泛用于消费电子设备，如 HDTV 和 PC 机中。然而，消费电子类设备市场比 PC 机市场对成本更为敏感。消费类电子设备的存储器子系统设计必须使用低成本的系统解决方案。因此，必须放宽对制造的技术规范以降低系统成本。理想情况下，将规范放宽到不需要测试，明显节省了涉及筛选与测试的成本。

将 DRAM 器件直接焊接到电路板上可以改善数据信号(DQ)的质量，因为数据信号可以布线成点到点的形式，不再需要连接器转接。用于消费市场的 DDR 通道，比 PC 机 DDR 的通道容量低得多。然而，由于地址和指令信号(RQ)线是多个器件必须共享的，当消费系统电路板的布线层数有限，RQ 信号的布线会相当困难。在这种情况下，长分支走线和大的通道阻抗波动将会引起明显的反射。本节将以多点下传 DDR RQ 通道为例，推介田口法。

图 7.4 给出了 RQ 通道的拓扑结构。引出端走线的长度约为 5 cm。它分支为两条走线，在电路板上被端接。注意，这里的端接阻抗略高，是为了增大接收器的摆幅。表 7.9 给出了输入因素的设置和描述。共有 12 个因素，采用 $L_{27}(3^{13}, 2)$ 正交阵。用 HSPICE 仿真得到通道的眼图模糊度以及建立侧和保持侧的眼图睁开度。位区间长度为 3.012 ns。在偏离眼图中心 0.565 ns 处测量建立侧的眼图睁开度；这当中考虑到了时钟抖动、发送器抖动、对建立时间的需求等因素。在偏离眼图中心 0.69 ns 处测量保持侧的眼图睁开度；这当中也考虑到了对保持时间的需求因素。两种情况给出该侧高于或低于参考电压(0.9 V)的最坏侧眼图睁开度。眼图中心是基于模糊区中心进行计算的。表 7.10 给出了实验结果。

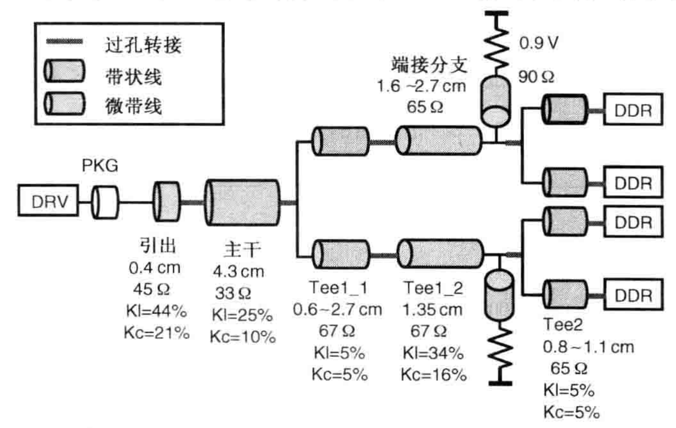


图 7.4 DDR RQ 通道拓扑结构

表 7.9 DDR RQ 通道仿真的输入因素设置

	因素	描述	低	标称值	高
1	dtr	输出驱动器上升边	100 ps	170 ps	240 ps
2	Ctx	驱动器输出电容	3 pF	3.5 pF	4 pF
3	Ron_vddio	驱动器上拉阻抗	14 Ω	18 Ω	22 Ω
4	Ron_gnd	驱动器下拉阻抗	14 Ω	18 Ω	22 Ω
5	Cdram	DRAM 接收器电容	1 pF	1.5 pF	2 pF
6	Ldram	DRAM 接收器漏电感	2 nH	3 nH	4 nH
7	DelCdram	引脚到引脚 Rx 电容差值	-60 fF	0	60 pF
8	DelLdram	引脚到引脚 Rx 电感差值	-1 nH	0	1 nH
9	Rt_vddio	上拉终端端接阻抗	235 Ω	240 Ω	245 Ω
10	Rt_gnd	下拉终端端接阻抗	235 Ω	240 Ω	245 Ω
11	mbscale	PCB 阻抗缩放因子	0.85	1.0	1.15
12	pkgscale	封装阻抗缩放因子	0.85	1.0	1.15

表 7.10 DDR RQ 通道仿真的输出结果

	因素	建立眼图容限(mV)	保持眼图容限(mV)	模糊(ps)
1	0:0:0:0:0:0:0:0:0:0:0:0	480	529	376
2	1:0:1:1:1:2:2:0:1:2:1:0	426	526	346
3	2:0:2:2:2:1:1:0:2:1:2:0	399	527	336
4	0:1:0:1:1:1:2:2:0:1:2:1	407	538	358
5	1:1:1:2:2:0:1:2:1:0:0:1	382	500	389
6	2:1:2:0:0:2:0:2:2:2:1:1	420	498	355
7	0:2:0:2:2:2:1:1:0:2:1:2	363	506	406
8	1:2:1:0:0:1:0:1:1:1:2:2	438	522	332
9	2:2:2:1:1:0:2:1:2:0:0:2	398	490	389
10	0:0:1:0:1:1:1:2:2:0:1:2	399	508	379
11	1:0:2:1:2:0:0:2:0:2:2:2	388	524	363
12	2:0:0:2:0:2:2:2:1:1:0:2	408	501	374
13	0:1:1:1:2:2:0:1:2:1:0:0	399	511	381
14	1:1:2:2:0:1:2:1:0:0:1:0	433	500	295
15	2:1:0:0:1:0:1:1:1:2:2:0	436	546	370
16	0:2:1:2:0:0:2:0:2:2:2:1	433	515	326
17	1:2:2:0:1:2:1:0:0:1:0:1	383	481	410
18	2:2:0:1:2:1:0:0:1:0:1:1	400	535	417
19	0:0:2:0:2:2:2:1:1:0:2:1	353	513	389
20	1:0:0:1:0:1:1:1:2:2:0:1	452	518	380
21	2:0:1:2:1:0:0:1:0:1:1:1	406	507	351
22	0:1:2:1:0:0:1:0:1:1:1:2	422	496	324
23	1:1:0:2:1:2:0:0:2:0:2:2	400	521	361
24	2:1:1:0:2:1:2:0:0:2:0:2	386	514	444
25	0:2:2:2:1:1:0:2:1:2:0:0	411	493	335
26	1:2:0:0:2:0:2:2:2:1:1:0	409	523	432
27	2:2:1:1:0:2:1:2:0:0:2:0	449	531	301

图 7.5 至图 7.7 给出的是 DDR RQ 通道的主值图。建立侧的眼图睁开度(参见图 7.5)，DRAM 的输入电容起着主导作用。保持侧的眼图睁开度(参见图 7.6)，驱动器阻抗和通道阻抗比电容有更大的影响，这是由于保持侧的反射导致眼图收缩。对于眼图模糊度(参见图 7.7)，

所有的输入电容、驱动器阻抗、通道阻抗都是重要的，因为 ISI（由 DRAM 的输入电容引起）和反射（由不匹配引起）都是很重要的。

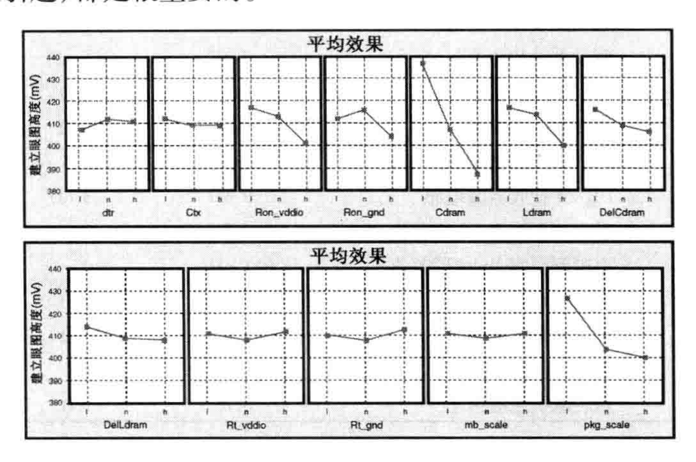


图 7.5　DDR RQ 通道建立侧眼图睁开度的仿真主值图

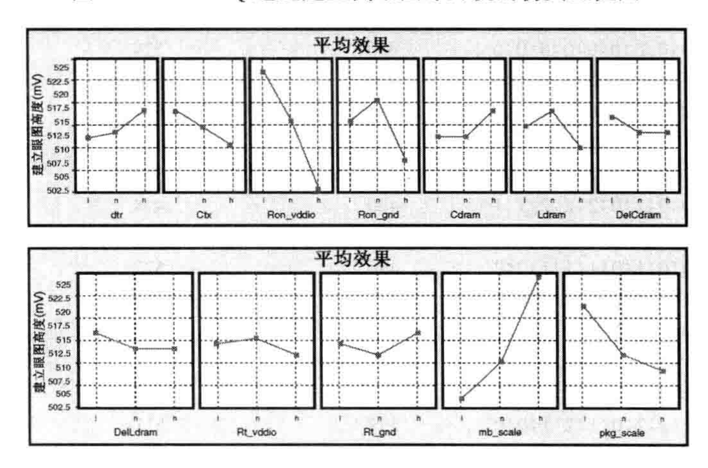


图 7.6　DDR RQ 通道保持侧眼图睁开度的仿真主值图

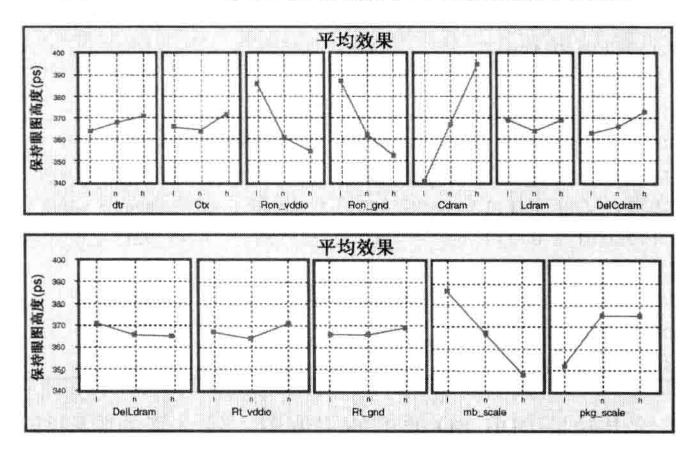


图 7.7　DDR RQ 通道眼图模糊度的仿真主值图

表 7.11 是汇并前的眼图模糊度方差分析表。表 7.12 是相同模糊度仿真汇并后的结果。主导的影响是 DRAM 输入电容，与主值效应预估的一样。式(7.1)用于执行蒙特卡罗分析，图 7.8 给出了建立侧和保持侧眼图睁开度的最终分布情况。图 7.9 给出了眼图模糊度的分布。建立侧眼图分布的均值为 410 mV，标准偏差为 18.3 mV。保持侧眼图分布的均值为 514 mV，标准偏差为 10.4 mV。眼图模糊度分布的均值为 367 ps，标准偏差为 24.8 ps。

表 7.11　汇并前 DDR RQ 模糊度仿真的方差分析表

因素	自由度	平方和	方差	方差(F)比	纯平方和	贡献(%)
dtr	2	221	110	3.53	158	0.448
Ctx	2	305	153	4.89	243	0.687
Ron_vddio	2	4.84e+03	2.42e+03	77.4	4.78e+03	13.5
Ron_gnd	2	5.85e+03	2.93e+03	93.6	5.79e+03	16.4
Cdram	2	1.36e+04	6.78e+03	217	1.35e+04	38.2
Ldram	2	154	76.9	2.46	91.3	0.258
DelCdram	2	395	197	6.32	332	0.94
DelLdram	2	192	95.8	3.07	129	0.365
Rt_vddio	2	221	111	3.54	159	0.449
Rt_gnd	2	58.3	29.1	0.932	0	0
mb_scale	2	6.5e+03	3.25e+03	104	6.44e+03	18.2
pkg_scale	2	3.01e+03	1.5e+03	48.1	2.95e+03	8.33
误差	2	62.5	31.3			2.29
总计	26	3.54e+04				100

表 7.12　汇并后 DDR RQ 模糊度仿真的方差分析表

因素	自由度	平方和	方差	方差(F)比	纯平方和	贡献(%)
dtr	已汇并	221				
Ctx	已汇并	305				
Ron_vddio	2	4.84e+03	2.42e+03	24.1	4.64e+03	13.1
Ron_gnd	2	5.85e+03	2.93e+03	29.1	5.65e+03	16
Cdram	2	1.36e+04	6.78e+03	67.5	1.34e+04	37.8
Ldram	已汇并	154				
DelCdram	已汇并	395				
DelLdram	已汇并	192				
Rt_vddio	已汇并	221				
Rt_gnd	已汇并	58.3				
mb_scale	2	6.5e+03	3.25e+03	32.3	6.3e+03	17.8
pkg_scale	2	3.01e+03	1.5e+03	15	2.81e+03	7.93
误差	2	62.5	101			7.39
总计	26	3.54e+04				100

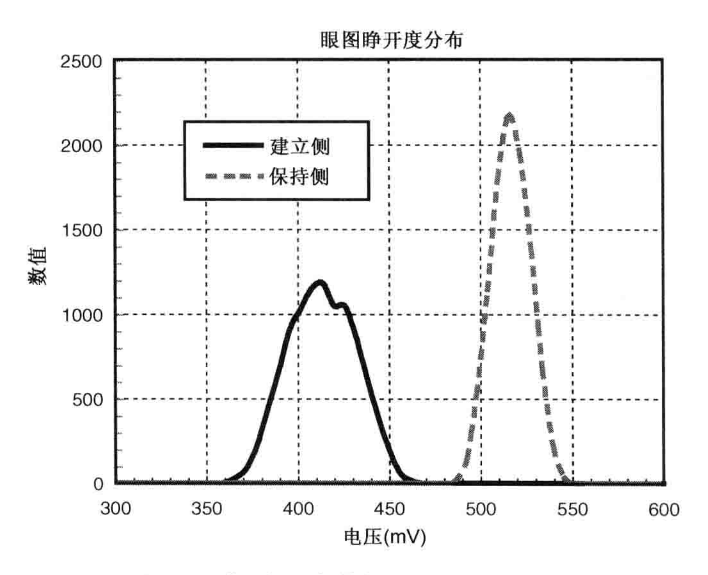


图 7.8　建立侧和保持侧的眼图睁开度分布

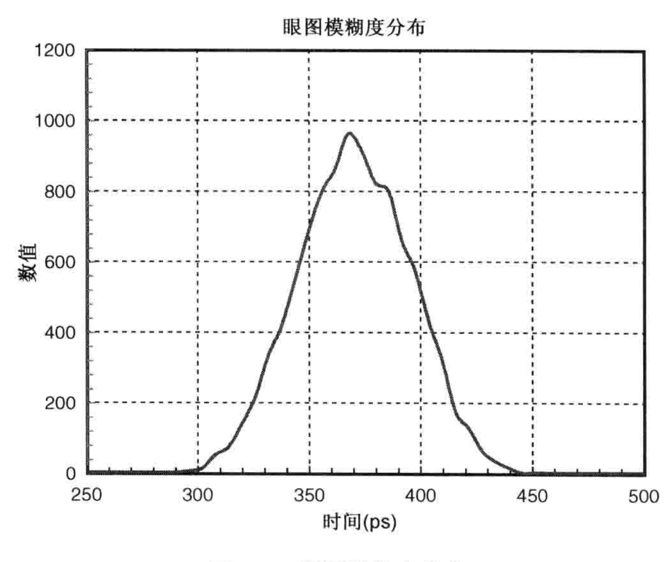


图 7.9　眼图模糊度分布

7.3　背板链路建模示例

本节以背板通道为例进一步说明田口分析法。这一示例系统源自 Kollipara 等人[9]，以蒙特卡罗仿真的结果说明统计波动对 SerDes 链路性能的影响。图 7.10 给出了系统设置。图 7.11给出 PCB 或封装衬底的物理参数。注意，在场求解器的微带线线条模型中，是没有顶层平面的。表 7.13 给出可调整输入参数的最终列表；这种情况下共列出了 41 个参数。

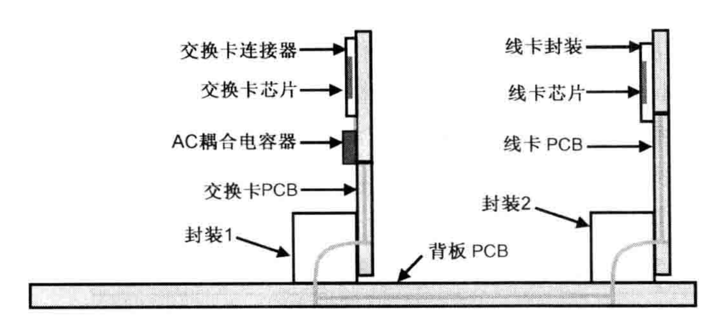


图 7.10　背板通道的不同构件

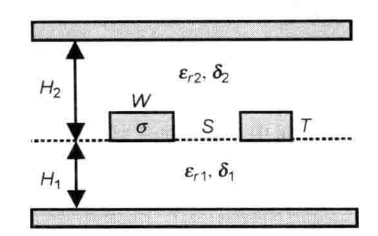


图 7.11　PCB 或封装基板的物理参数

表 7.13　引起背板通道波动的输入参数完整列表

构件	参数	描述	标称值	3σ
背板 PCB	ε_{r1}，ε_{r2}	FR4 相对介电常数	4.0	0.2
	δ_{r1}，δ_{r2}	FR4 损耗角正切	0.02	0.002
	W	线条宽度	7.5 mil	1 mil
	H_1，H_2	介质高度	10 mil	1.5 mil
	T	导体厚度	0.6 mil	0.08 mil
	Via_fac	过孔阻抗缩放因子	1	0.1
	Via_L	过孔长度缩放因子	1	0.1
	C_{stub}	桩线电容缩放因子	1	0.1
	Connector_fac	连接器阻抗缩放因子	1	0.01
线卡 PCB	ε_{r1}，ε_{r2}	FR4 相对介电常数	4.0	0.2
	δ_{r1}，δ_{r2}	FR4 损耗角正切	0.02	0.002
	W	线条宽度	5 mil	0.67 mil
	H_1	底层介质高度	5 mil	0.75 mil
	H_2	顶层介质高度	10 mil	1.5 mil
	T	导体厚度	0.6 mil	0.08 mil
交换卡 PCB	ε_{r1}，ε_{r2}	FR4 相对介电常数	4.0	0.2
	δ_{r1}，δ_{r2}	FR4 损耗角正切	0.02	0.002
	W	线条宽度	5 mil	0.67 mil
	H_1	底层介质高度	5 mil	0.75 mil
	H_2	顶层介质高度	10 mil	1.5 mil
	T	导体厚度	0.6 mil	0.08 mil
线卡器件封装	ε_r	FR4 相对介电常数	4.0	0.2
	δ_r	FR4 损耗角正切	0.02	0.002
	W	线条宽度	2 mil	0.27 mil
	H	介质高度	4.4 mil	0.66 mil
	T	导体厚度	1.2 mil	0.16 mil
交换卡器件封装	ε_r	FR4 相对介电常数	4.0	0.2
	δ_r	FR4 损耗角正切	0.02	0.002
	W	线条宽度	2 mil	0.27 mil
	H	介质高度	4.4 mil	0.66 mil
	T	导体厚度	1.2 mil	0.16 mil
其他	$C_{i,Tx}$，$C_{i,Rx}$	ESD 及寄生器件电容	典型值	10%
	σ_{copper}	铜电导率	52 MS/m	5.2 MS/m

对所有这些参数并不是执行一个单独的 DoE，而是采用一种两阶段方案。首先，将每条走线模型中的物理参数换算为电气参数(比如，传播常数和特征阻抗)。然后，再用 DoE 提取衰减和阻抗的波动，将每条走线模型的参数总数减少到只有两个(下节再介绍这一化简过程)。最后，将最终的走线模型与其余参数一起仿真并进行 7.3.2 节所述的统计分析。表 7.14列出的参数已减少到 16 个。图 7.12 对整个过程做了说明。

表 7.14　减少引起背板通道波动的输入参数数量

构件	参数	描述	标称值	3σ
背板 PCB	α	衰减缩放因子		
	ζ	阻抗缩放因子		
	Via_fac	过孔阻抗缩放因子	1	0.1
	Via_L	过孔长度缩放因子	1	0.1
	C_{stub}	桩线电容缩放因子	1	0.1
	Connector_fac	连接器阻抗缩放因子	1	0.01
线卡 PCB	α	衰减缩放因子		
	ζ	阻抗缩放因子		
交换卡 PCB	α	衰减缩放因子		
	ζ	阻抗缩放因子		
线卡器件封装	α	衰减缩放因子		
	ζ	阻抗缩放因子		
交换卡器件封装	α	衰减缩放因子		
	ζ	阻抗缩放因子		
其他	$C_{i,\mathrm{Tx}}$，$C_{i,\mathrm{Rx}}$	ESD 及寄生器件电容	典型值	10%

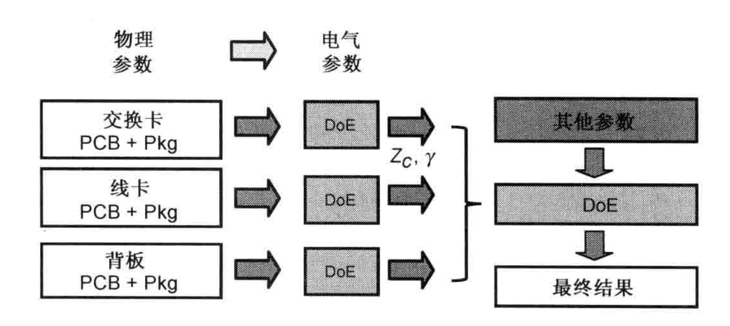


图 7.12　背板通道波动的建模全流程

7.3.1　PCB 走线建模

本节用图 7.11 所示背板 PCB 走线模型演示 DoE 的过程。进行这一 DoE 的目标是找到物理参数波动的分布对特征阻抗和传播常数的影响。在这一实验中使用的 9 个物理参数是：ε_{r1}、ε_{r2}、δ_{r1}、δ_{r2}、H_1、H_2、W、T、σ_{copper}。表 7.13 中给出的 3σ 上限用于确定正交阵表中等级高(H)和等级低(L)的值。表 7.15 列出了最终的因素值设置。

表 7.15　PCB 走线建模实验的输入因素设置

	因素	低	标称值	高
1	ε_{r1}	3.8	4.0	4.2
2	ε_{r2}	3.8	4.0	4.2
3	δ_{r1}	0.018	0.02	0.022
4	δ_{r2}	0.018	0.02	0.022
5	σ_{copper}	46.8 M	52.0 M	57.2 M
6	W	6.5 mil	7.5 mil	8.5 mil
7	T	0.52 mil	0.6 mil	0.68 mil
8	H_1	8.5 mil	10 mil	11.5 mil
9	H_2	8.5 mil	10 mil	11.5 mil

因为有 9 个输入因素，本实验中采用 $L_{27}(3^{12}, 2)$ 正交阵。采用一个准静态电磁场求解器计算阻抗值。由仿真所得的均值和标准偏差分别为 47.6 Ω 和 3.96 Ω。当然，这些并不是最终分布的统计值。采用 PWL 模型通过蒙特卡罗仿真计算最终分布的均值和方差 σ 分别是 49.5 Ω 和 1.38 Ω。在蒙特卡罗仿真中用了 10×10^3 个样本采样。采用实际场求解器对几个采样案例进行蒙特卡罗仿真，可以验证结果的正确性。均值和标准偏差为 49.7 Ω 和 1.39 Ω。图 7.13对比了这些分布，两个结果之间有一个很好的匹配。

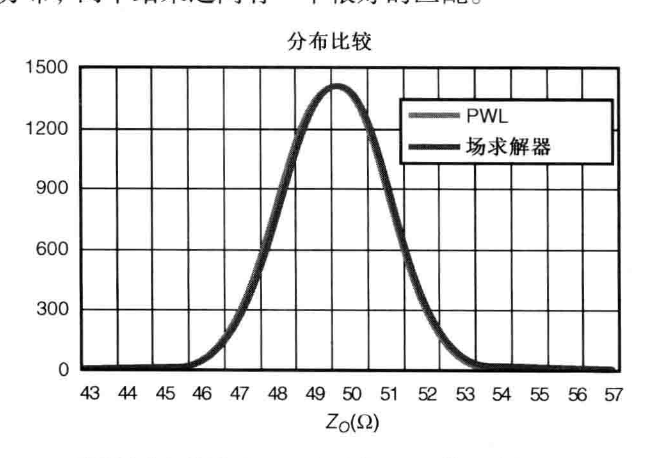


图 7.13　采用场求解器和基于正交阵的 PWL 模型求解 PCB 阻抗分布

7.3.2　完整的背板链路建模

将上述建模技术应用于不同的走线，就可以用 HSPICE 的 W 元件传输线构建出整个背板通道。在 RLGC 矩阵中采用缩减因子就可以对阻抗和衰减的波动建模。表 7.16 给出整个通道的正交阵因素设置。本实验采用 $L_{81}(3^{40}, 2)$ 正交阵。图 7.14 给出基于 PWL 模型预估出的最好和最坏情况 AC 响应以及标称情况。可以用 3.125 GHz 时的幅度(这是此 SerDes 链路的奈奎斯特频率)去评判性能。图 7.15 中比较了准确场求解器、PWL 模型蒙特卡罗仿真所给出不同的幅度分布图。

表 7.16 一个完整背板通道建模实验的输入因素设置

	因素	低	标称值	高
1	主板 PCB α	0.9036	1.0	1.0964
2	主板 PCB ζ	0.9226	1.0	1.0774
3	Via_fac	0.9	1.0	1.1
4	Via_L	0.9	1.0	1.1
5	C_{stub}	0.9	1.0	1.1
6	Connector_fac	0.9	1.0	1.1
7	线卡 PCB α	0.9065	1.0	1.0935
8	线卡 PCB ζ	0.9272	1.0	1.0728
9	交换卡 PCB α	0.9065	1.0	1.0935
10	交换卡 PCB ζ	0.9272	1.0	1.0728
11	线卡封装 α	0.9284	1.0	1.0716
12	线卡封装 ζ	0.9355	1.0	1.0645
13	交换卡封装 α	0.9284	1.0	1.0716
14	交换卡封装 ζ	0.9355	1.0	1.0645
15	$C_{i,\text{Tx}}$	1.44 pF	1.6 pF	1.76 pF
16	$C_{i,\text{Rx}}$	1.62 pF	1.8 pF	1.98 pF

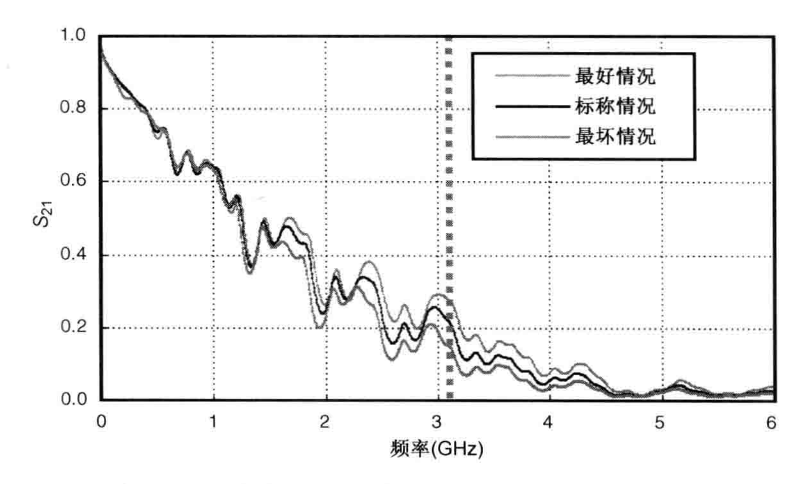


图 7.14 标称情况、最坏情况、最好情况通道的交流响应

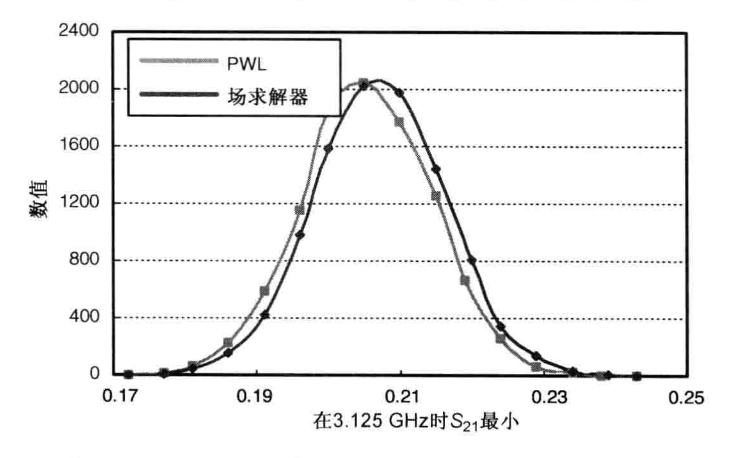


图 7.15 采用 PWL 和场求解器蒙特卡罗仿真求解 3.125 GHz 时的 S_{21} 幅度分布

7.4 小结

在分析最坏工作条件情况下的通道性能时，对制造波动建模是非常重要的。在HVM批量生产系统的情况下，采用典型的通道设置是不合适的。本章描述的田口分析法，在因素间的相关性比较小时是一个非常有用的工具。

本章介绍的分段线性模型提供了生成输出分布的一种更鲁棒和更可靠的途径。虽然严格的线性回归模型可以导出一个闭合式的统计参数表达式，但很难在实际的场合中应用。用一个分段线性模型进行蒙特卡罗仿真，满足了大多数通道分析的需求。

7.5 本章附录

表7.17　$L_{36}(3^{13},2)$、$L_{54}(3^5,3)$和$L_{81}(3^{40},2)$正交阵

$L_{36}(3^{13},2)$	$L_{54}(3^5,3)$	$L_{81}(3^{40},2)$
0000000000000	11111	0000000000000000000000000000000000000000
1111111111110	11111	2121102221111010122102012001121011001000
2222222222220	22222	1212201112222020211201021002212022002000
0000111122220	22222	0212110222111101012210201200112101100100
1111222200000	11000	2000212110222111101012210201200112101100
2222000011110	10100	1121011001000121220111222202021120102100
0012012201120	10010	0121220111222202021120102100221202200200
1120120012200	10001	2212022002000212110222111101012210201200
2201201120010	01100	1000121220111222202021120102100221202200
0021021210210	01010	0021211022211110101221020120011210110010
1102102021020	01001	2112010210022120220020002121102221111010
2210210102100	00110	1200112101100100012122011122220202112010
0120210221011	00101	0200021211022211110101221020120011210110
1201021002121	00011	2021120102100221202200200021211022211110
2012102110201	22000	1112222020211201021002212022002000212110
0121002122101	20200	0112101100100012122011122220202112010210
1202110200211	20020	2200200021211022211110101221020120011210
2010221011021	20002	1021002212022002000212110222111101012210
0102220110121	02200	0012122011122220202112010210022120220020
1210001221201	02020	2100221202200200021211022211110101221020
2021112002011	02002	1221020120011210110010001212201112222020
0112201002211	00220	0221202200200021211022211110101221020120
1220012110021	00202	2012001121011001000121220111222202021120
2001120221101	00022	1100100012122011122220202112010210022120
0210122020112	01122	0100012122011122220202112010210022120220
1021200101222	01212	2221111010122102012001121011001000121220
2102011212002	01221	1012210201200112101100100012122011122220
0211100212022	02211	0002121102221111010122102012001121011001
1022211020102	02121	2120220020002121102221111010122102012001

(续表)

$L_{36}(3^{13},2)$	$L_{54}(3^{5},3)$	$L_{81}(3^{40},2)$
2100022101212	02112	1211022211110101221020120011210110010001
0222121101002	10122	0211201021002212022002000212110222111101
1000202212112	10212	2002000212110222111101012210201200112101
2111010020222	10221	1120102100221202200200021211022211110101
0201212011202	20211	0120011210110010001212201112222020211201
1012020122012	20121	2211110101221020120011210110010001212201
2120101200122	20112	1002212022002000212110222111101012210201
	11022	0020002121102221111010122102012001121011
	12012	2111101012210201200112101100100012122011
	12021	1202200200021211022211110101221020120011
	22011	0202112010210022120220020002121102221111
	21021	2020211201021002212022002000212110222111
	21012	1111010122102012001121011001000121220111
	11202	0111222202021120102100221202200200021211
	12102	2202021120102100221202200200021211022211
	12201	1020120011210110010001212201112222020211
	22101	0011210110010001212201112222020211201021
	21201	2102012001121011001000121220111222202021
	21102	1220111222202021120102100221202200200021
	11220	0220020002121102221111010122102012001121
	12120	2011122220202112010210022120220020002121
	12210	1102221111010122102012001121011001000121
	22110	0102100221202200200021211022211110101221
	21210	2220202112010210022120220020002121102221
	21120	1011001000121220111222202021120102100221
		0001212201112222020211201021002212022002
		2122011122220202112010210022120220020002
		1210110010001212201112222020211201021002
		0210022120220020002121102221111010122102
		2001121011001000121220111222202021120102
		1122220202112010210022120220020002121102
		0122102012001121011001000121220111222202
		2210201200112101100100012122011122220202
		1001000121220111222202021120102100221202
		0022120220020002121102221111010122102012
		2110222111101012210201200112101100100012
		1201021002212022002000212110222111101012
		0201200112101100100012122011122220202112
		2022002000212110222111101012210201200112
		1110101221020120011210110010001212201112
		0110010001212201112222020211201021002212
		2201112222020211201021002212022002000212
		1022211110101221020120011210110010001212

（续表）

$L_{36}(3^{13},2)$	$L_{54}(3^{5},3)$	$L_{81}(3^{40},2)$
		0010001212201112222020211201021002212022
		2101100100012122011122220202112010210022
		1222202021120102100221202200200021211022
		0222111101012210201200112101100100012122
		2010210022120220020002121102221111010122
		1101012210201200112101100100012122011122
		0101221020120011210110010001212201112222
		2222020211201021002212022002000212110222
		1010122102012001121011001000121220111222

参考文献

1. J. M. Hammersley and D. C. Handscomb, *Monte Carlo Methods*, Chapman & Hall, 1964.
2. E. Matoglu, N. Pham, D. N. D. Araujo, M. Cases, and M. Swaminathan, "Statistical signal integrity analysis and diagnosis methodology for high-speed systems," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 4, pp. 611-629, Nov. 2004.
3. A. Norman, D. Shykind, M. Falconer, and K. Ruffer, "Application of design of experiments (DOE) method to high-speed interconnect validation," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2003, pp. 15-18.
4. W. Beyene, N. Cheng, J. Feng, and C. Yuan, "Statistical and sensitivity analysis of voltage and timing budgets of multi-gigabit interconnect systems," presented at the IEC DesignCon, Santa Clara, CA, 2004.
5. G. Taguchi, *Introduction to Quality Engineering*, Amer. Supplier Ins., 1986.
6. S. H. Park, *Robust Design and Analysis for Quality Engineering*, Champman & Hall, 1996.
7. P. J. Ross, *Taguchi Techniques for Quality Engineering*, 2nd ed., MacGraw-Hill, 1996.
8. D. C. Montgomery, *Design and Analysis of Experiments*, 5th ed., Wiley, 2000.
9. R. Kollipara, B. Chia, Q. Lin, and J. Zerbe, "Impact of manufacturing parametric variations on backplane system performance," presented at the IEC DesignCon, Santa Clara, CA, 2005.

第 8 章　链路 BER 建模与仿真

Dan Oh，常郁，任继红，Vladimir Stojanovic

在实际世界中，第 6 章所讨论的电压和时序预算分析，必须确保通道能可靠工作。或者说，大批量生产(HVM)出的通道，即使在最坏工作条件下也必须是鲁棒的。为此，在进行通道分析时，必须考虑通道的波动(如封装和 PCB 的走线阻抗与材料性能)以及发送器和接收器的工艺波动。对这些波动的准确描述将给出这些参数更宽松和/或更现实的技术规范。随之，必将提高构件和系统的成品率，并降低整个系统的成本。

过去，信号完整性分析的重心是如何表征确定性抖动源，如符号间干扰、串扰、驱动器错位、接收器采样偏移等的影响。对于不相关的随机噪声源，如电源噪声、热噪声、参考时钟抖动等，在设计阶段是难以评估的。通常情况下，由这些噪声源造成的器件抖动是通过实际测量获得的。然而，如果我们想在现代高速 I/O 设计(其时序容限在持续减小)中达到最佳的性能，在设计阶段同时考虑确定性和随机噪声源的影响是至关重要的。

传统基于 SPICE 的仿真技术可以准确地预估系统级的性能，包括各种无源通道和器件的确定性效应。在本书第 I 篇中，第 3 章至第 5 章侧重于无源通道的建模与仿真。在第 6 章中则指出，当 I/O 速度提高时，进行构件分量级的抖动分析并不能准确地预估出对系统级抖动的影响。为了解决这一问题，人们用了大量的精力去仿真器件抖动对系统级性能的影响，这里的性能是指给定误码率时系统的电压和时序容限。本章一开始对链路误码率仿真技术进行了历史回顾。然后重点介绍流行的用于 LinkLab[1~3] 及 StatEye[4] 中的统计方法。第 9 章将探讨时域技术。

8.1　历史回顾与内容编排

也许链路误码率仿真最关键的部分就是无源通道符号间干扰的表征问题。直截了当计算由于符号间干扰引起概率误码的一种方法，就是考虑所有可能的输入数据模板，其中每个模板的长度等于通道的响应时间。许多高速通道的响应长度超过 100 位。这种情况下，对于 PAM2 信号需要考虑多达 2^{100}种组合的模板！Helstrom 给出了前期为了改善这种符号间干扰计算所做努力的一个很好的总结[5]。这类早期的工作可以分为两类：一类是估计误码概率的界限；其他人则是把重点放在改进误码计算的数值算法上。Capsper 和 Ahmad 提出了一种基于脉冲响应卷积的高效算法[6,7]。采用随机数据模板和线性时不变的假设，这一卷积算法可以有效地计算出符号间干扰效应的概率质量函数(PMF)而没有任何近似。在 LinkLab 和 StatEye 中都采用了这一算法。8.2 节讨论了基于这一卷积的一般仿真框架。8.3 节介绍了卷积算法本身。

此外，人们提出了对非线性时不变系统的快速时域仿真技术[8~12]。采用时域仿真，可以放宽与上述卷积法有关的随机数据模板假设。这便于对数据编码建模，而建模是一个高速

数据通信中的重要课题。此外，通过采用改进的算法，还可以在时域对驱动器的非线性建模。由于通道上拉和下拉响应的不对称而呈现很强的非线性，在单端信令系统对非线性建模是很重要的。尽管这些算法还不够快，不便于预估低 BER(10^{-12} ~ 10^{-18})的情况，但它们足以用于表征无源通道的影响。第 9 章介绍快速时域仿真方法以及用以计算符号间干扰概率密度函数的加速算法[13]。IBIS 先进技术建模(ATM)标准委员会定义的 API 接口是算法模型接口(AMI)，可以支持系统级的误码率仿真[14]。这一接口允许 IP 供应商可以在一个普通的 EDA 环境中为专有电路的功能或行为，如均衡器和时钟数据恢复(CDR)电路建模。然而，该模型对各种抖动类建模的支持是有限的。第 9 章将简要介绍 AMI 模型。

多数早期基于卷积技术的主要局限就是，它们独立地对待无源通道响应和抖动源。其结果是，器件抖动和无源通道之间的相互作用无法准确仿真。例如，为了仿真系统级抖动的影响，必须考虑它的概率密度函数和谱信息，以仿真抖动的放大和跟踪。然而，多数统计方法都假设为白色随机抖动谱，抖动通常被建模为接收器抖动，而忽略了任何发送抖动由于无源通道符号间干扰的有色化效应[4,6,7]。由 Stojanovic 和 Horowitz[1] 提出的等效电压噪声(EVN)概念，采用自相关和高斯分布近似的方法解决了随机抖动的有色化问题(在 8.4 节将对等效电压噪声给出详细的说明)。这种基于扰动的方法只有当抖动量比通道响应小时才是有效的。Oh 等人[3]将这一概念延伸用于建模有色有界抖动。对于发送占空比失真(DCD)，也可以采用等效电压噪声的概念建模。然而，更严格而没有任何近似的基于短和长脉冲符号间干扰的 PDF 方法已被提出[2](参见 8.3.2 节)。

对时令架构进行建模在抖动分析中至关重要，因为时令架构强烈地左右着抖动对链路容限的影响。时钟数据恢复被广泛地应用于如 SerDes 一类的高速串行链路设计中。其他类型的板上 I/O 接口，包括 PCIe、HyperTransport、FlexIO、Elastic Interface 系统等，经常使用的则是前传或分布式时令方案。这些接口通常是发送器和接收器共用单一的参考时钟。因此，为了避免系统的过度设计，重要的是要对潜在的抖动跟踪建模。第 10 章包括各种时令架构下的抖动建模。

8.2　链路 BER 的统计建模框架

本节将介绍一般的数学公式以及整个统计链路的仿真流程。这里，对公式给出一个较高层级的说明，以涵盖许多种统计链路仿真法的理论基础。特别是，本节介绍符号间干扰与随机抖动以及确定性抖动的建模细节，同样适用于大多数的统计链路仿真法。

8.2.1　数学公式化表征

根据线性时不变的假设，当无发送器和接收器抖动时，在接收采样器处的通道输出信号 $y(t)$ 由下式给出

$$y(t) = \sum_k b_k p(t - kT) + y_{-\infty} = \sum_k (b_k - b_{k-1}) s(t - kT) + y_{-\infty} \tag{8.1}$$

其中，$p(t)$ 是通道脉冲响应，$s(t)$ 是阶跃响应，k 是输入符号的下标，T 为符号时宽，b_k 是发送符号。为简单起见，假设 $y_{-\infty}$ 为零。为了便于数学处理，$p(t)$ 和 $s(t)$ 均从零开始，可以从 SPICE 仿真或无源通道的 S 参数中导出。因为接收采样器只对输入电压(而不是功率)敏感，

这里采用基于电压波的 S 参数(如第 4 章所述)。假设发送器抖动为 $\varepsilon_k^{\mathrm{TX}}$，那么通道的输出则变为

$$y(t) = \sum_k (b_k - b_{k-1}) s(t - (\varepsilon_k^{\mathrm{Tx}} + kT)) \tag{8.2}$$

$\varepsilon_m^{\mathrm{Rx}}$ 为接收器抖动，在 $t = mT + \varepsilon_m^{\mathrm{Rx}}$ 采样后，求得的采样信号 y_m如下：

$$y_m = \sum_k (b_k - b_{k-1}) s(\varepsilon_m^{\mathrm{Rx}} - \varepsilon_k^{\mathrm{Tx}} + (m-k)T) \tag{8.3}$$

注意，$\varepsilon^{\mathrm{Rx}}$不是下标 k 的函数，因为它无法变更发送的信号；而$\varepsilon^{\mathrm{Tx}}$则与下标 k 有关。图 8.1 说明了这种相关性，如图所示，发送器抖动可以近似为脉冲上升边和下降边处的一个冲激脉冲。接收器抖动也可以近似为图 8.1 所示的冲激脉冲。这两个近似之间的区别是：发送器抖动在上升和下降跳变的两个边沿是不相关的，而接收器抖动的这两个边沿是相同的。

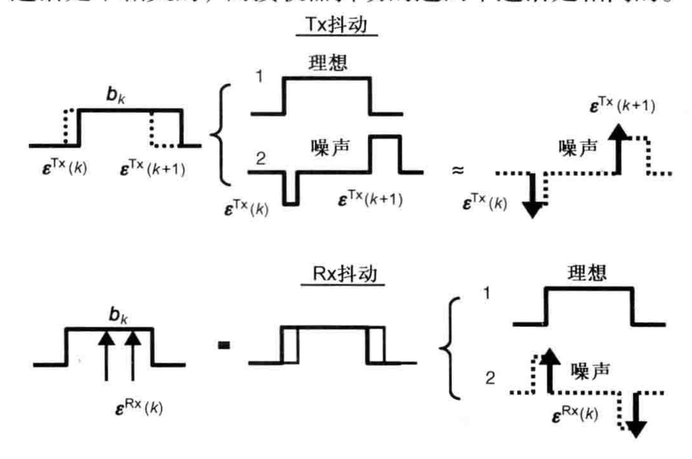


图 8.1　发送器和接收器抖动的冲激近似

现在，采用一阶泰勒级数展开把发送器和接收器抖动映射为接收器端的等效电压噪声，即

$$\begin{aligned} y_m &\approx \sum_k (b_k - b_{k-1}) s((m-k)T) - \sum_k (b_k - b_{k-1}) \varepsilon_k^{\mathrm{Tx}} h((m-k)T) \\ &\quad + \varepsilon_m^{\mathrm{Rx}} \sum_k (b_k - b_{k-1}) h((m-k)T) \\ &= \sum_k b_k p((m-k)T) + n^{\mathrm{Tx}} + n^{\mathrm{Rx}} \\ &= b_m p(0) + \sum_{k \neq m} b_k p((m-k)T) + n^{\mathrm{Tx}} + n^{\mathrm{Rx}} \\ &= y^M + y^{\mathrm{ISI}} + n^{\mathrm{Tx}} + n^{\mathrm{Rx}} \end{aligned} \tag{8.4}$$

其中，$h(t)$是通道的冲激响应；y^M是没有符号间干扰的接收信号；y^{ISI}是无源通道符号间干扰引起的电压噪声。n^{Tx}和 n^{Rx}分别表示发送器和接收器时序抖动的等效电压噪声。其他噪声源，如热噪声和串扰，可以作为附加项包含在式(8.4)中。

基于式(8.4)，可以将眼图上限和下限引起的误码概率相加计算出 BER，即

$$\begin{aligned} \mathrm{BER}(v_{\mathrm{REF}}) &= P(y_m < v_{\mathrm{REF}} | b_m = 1) P_1 + P(y_m > v_{\mathrm{REF}} | b_m = 0) P_0 \\ &= P(y^{\mathrm{ISI}} + n^{\mathrm{Tx}} + n^{\mathrm{Rx}} + y^M < v_{\mathrm{REF}} | 1) P_1 \\ &\quad + P(y^{\mathrm{ISI}} + n^{\mathrm{Tx}} + n^{\mathrm{Rx}} + y^M > v_{\mathrm{REF}} | 0) P_0 \end{aligned} \tag{8.5}$$

其中，v_{REF}为参考电压(通常差分信令时为零；单端信令时为非零)；P_1和P_0分别是输入位为 1 和 0 时的概率。在一般情况下随机变量y^{ISI}、n^{Tx}和n^{Rx}是相关的，因为它们都是符号模板和通道冲激响应的函数。对 BER 的准确计算必须考虑到y^{ISI}、n^{Tx}和n^{Rx}间的相关性，可以通过将所有可能位模板的误码概率求平均得到。数据模板的数量与提取通道响应以及抖动频谱所需的信号长度密切相关。例如，高速工作的有损背板通道响应很容易超过持续 100 位长，导致需要2^{100}个数据模板！因此，这一算法由于大量的组合计算而令人望而却步。为了简化计算，除非另有说明，都假设电压噪声项是相互独立的。有了这一假设，将单独计算出y^{ISI}、n^{Tx}和n^{Rx}的概率密度函数再卷积就可以计算出最终系统误码的概率密度函数。在随后的几节中，将介绍y^{ISI}、n^{Tx}和n^{Rx}建模的细节。

一般而言，高速链路中的噪声源分为有界(如电源噪声)或高斯(如热噪声)两种。n^{Tx}和n^{Rx}可以表示为两个随机变量$\zeta^{Bounded}$和$\zeta^{Gaussian}$之和。然后，式(8.5)可以写为

$$\begin{aligned}\mathrm{BER}(v_{REF}) = {} & P(\zeta^{Gaussian} + \zeta^{Bounded} + y^M < v_{REF}|1)P_1 \\ & + P(\zeta^{Gaussian} + \zeta^{Bounded} + y^M > v_{REF}|0)P_0\end{aligned} \tag{8.6}$$

根据$\zeta^{Bounded}$的概率质量函数，可以将上述关系式重写如下：

$$\begin{aligned}\mathrm{BER}(v_{REF}) = {} & P_1\sum_v P(\zeta^{Gaussian} < v_{REF} - y^M - v|1)P(\zeta^{Bounded} = v) \\ & + P_0\sum_v P(\zeta^{Gaussian} > v_{REF} - y^M - v|0)P(\zeta^{Bounded} = v)\end{aligned} \tag{8.7}$$

采用高斯随机变量累积分布函数的 Q 函数，计算 BER 的最终表达式为

$$\mathrm{BER}(v_{REF}) = \sum_v\left(P_1Q\left(\frac{v + y^M - v_{REF}}{\sigma}\right) + P_0Q\left(\frac{-v - y^M + v_{REF}}{\sigma}\right)\right)P(\zeta^{Bounded} = v) \tag{8.8}$$

这里，σ 是$\zeta^{Gaussian}$的方差，$Q(x)$为 Q 函数。

如式(8.4)所示，EVN 未能对所有接收端的抖动分量建模。然而，可以事后再对任何其余接收器端的抖动建模。例如，在有 CDR 的串行链路应用中，CDR 的自抖动可以建模为接收器的统计采样分布(如第 10 章所述)。给定采样分布 P^{Rx}，整个系统的 BER 等于每个相位的条件 BER 之和

$$\mathrm{BER} = \sum_\phi \mathrm{BER}_\phi(v_{REF}|\phi)P^{Rx}(\phi) \tag{8.9}$$

其中，ϕ 为相位下标；BER_ϕ是 ϕ 时的链路 BER。

如图 8.2 所示的 BER 眼图，是以不同的采样相位和参考电压偏移按式(8.8)进行扫描计算而得到的。图中的时序浴盆曲线是根据某目标参考电压处的水平切片获取；而电压浴盆曲线是根据某固定相位处的垂直切片获得。然而，这些从 BER 眼图简单切片获得的浴盆曲线，假设是一个理想的接收器在固定位置进行的无抖动采样。实际上，是用一个与式(8.9)中 P^{Rx}类似的概率分布去描述接收器的采样分布。因此一般情况下，测量所得的浴盆曲线与从 BER 眼图直接提取出的浴盆曲线是不同的。为了获取采样不确定性对浴盆曲线的影响，我们需要以不同的相位偏移值，用式(8.9)中的条件 BER 进行计算(这将在 8.2.3 节介绍)。图 8.3 对比了两种不同的浴盆曲线：一种是单一 BER 眼图的水平切片，另一种是集成了接收器采样分布之后的。正如所料，当考虑了接收器采样的不确定性之后，浴盆曲线时序容限降低了。

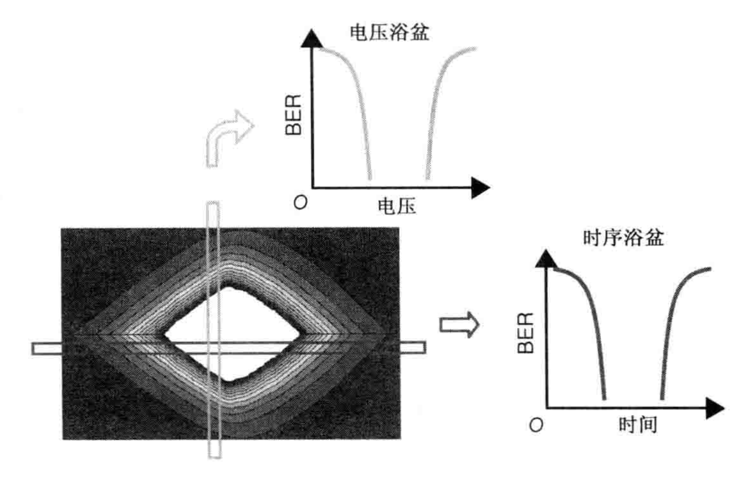


图 8.2　一个典型有损通道的 BER 眼图

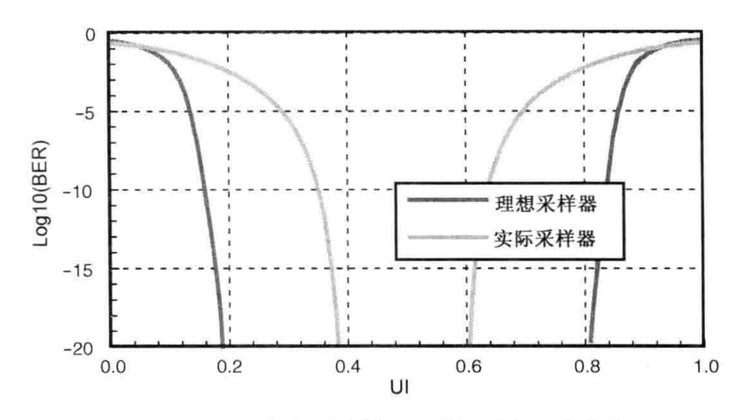


图 8.3　理想与实际采样的系统级时序浴盆曲线

8.2.2　等效电压噪声模型的注记

上一节介绍了计算随机抖动下系统级 BER 的一般表达式。在转到下节介绍统计仿真框架之前，对抖动建模的选择和准确性问题给出如下的几点评论。对接收端时序抖动进行建模有两种选择。第一种选择是式(8.4)中介绍的等效电压噪声概念。另一种选择是如式(8.9)所示地使用条件概率将抖动建模为接收器采样分布。同样的方法也适用于发送器抖动，只要发送器抖动仅有低频分量(参见图 8.1)。当图 8.1 中的发送器抖动是低频时，上升边和下降边的冲激脉冲相同，与图 8.1 中接收器抖动的冲激相似。

等效电压噪声模型的主要优点是，它可以准确地阐释发送器抖动的通道有色化。例如，它可以解释由于通道损耗引起的抖动放大。然而由于该模型基于泰勒级数逼近，当抖动幅度增大时它就失去了准确性。出于这一原因，低频抖动应建模为接收器的采样分布，而不是等效电压噪声。当发送器抖动同时包含低频和高频分量时，分别对这些分量单独建模则更为准确。将高频分量当成发送器抖动；将低频分量当成接收器抖动。当发送器抖动受到通道影响时，将其看成高频。发送器的占空比失真是最高频的抖动分量。

图 8.4 对比了用等效电压噪声、Rx 采样分布法、时域仿真法得到不同高斯抖动量形成的容限损失情况。正如所料，由时域仿真预估的容限损失随着仿真位的增多(10^5 ~ 10^8)而变大。为了获取随机抖动在低 BER 值(如 10^{-15})时的影响，时域仿真需要太多的位。Rx 采样分布法的结果是最为乐观的，因为它忽略了无源通道的抖动放大作用。EVN 法有效地捕获到抖动放大和随机抖动的尾部统计特性，所以预估出最坏的容限损失。

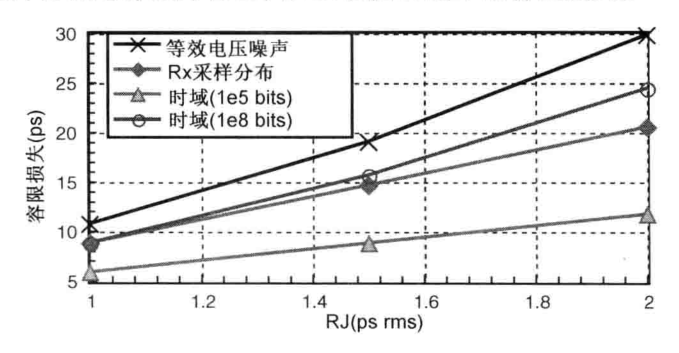


图 8.4 发送器高斯白抖动的等效电压模型、接收器采样分布、瞬态仿真之对比

8.2.3 整个链路的统计仿真流程

本节介绍一般的仿真概貌和流程图。图 8.5 给出计算 BER 时一步接一步的步骤，下面再详细介绍。

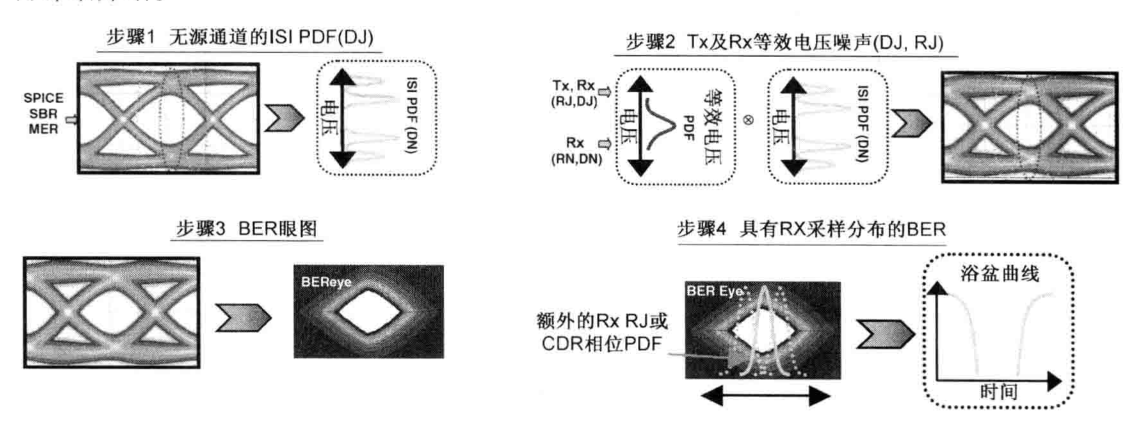


图 8.5 采用统计眼图计算 BER 的流程图

第 1 步是表征一个无源通道 ISI 的 PDF，可以采用不同的方式加以计算。SPICE 仿真是一种计算 ISI PDF 的蛮力方式。还可以采用基于单位或边沿响应叠加的快速瞬态仿真技术，更有效地计算这一 PDF。第 9 章将介绍这些仿真技术以及用于估计 PDF 上界的加速技术，以进一步提高计算的速度。8.3.1 节将介绍一种更常用基于单位响应中 ISI 光标卷积的方法。这种技术可以扩展到上升边和下降边的响应[16]。

第 2 步是计算发送器和接收器抖动的等效电压噪声。如前所述，接收器抖动(以及发送器抖动的某些分量)可以建模为接收器采样分布(这将在第 4 步进一步处理)。当求得了等效电压噪声之后，将噪声与前面计算的 ISI PDF 卷积，以获得最终的 PDF。

第 3 步是基于式(8.8)计算出二维的 BER 眼图。

最后的第 4 步，是考虑了基于式(8.9)接收器采样分布之后，计算出该系统的最终 BER。通过扫描采样分布的偏移，计算出时序浴盆曲线。

8.3 符号间干扰建模

本节介绍基于常用卷积法对无源通道符号间干扰(ISI) PDF 的建模技术。本节第一部分介绍基于单位响应(SBR)的 ISI PDF。本节第二部分将这一建模方法扩展到 DCD。然而，当系统的非线性比较严重，或数据模板非白时，这种卷积方法就失效了(第 9 章介绍的时域方法可以克服这些限制，但代价是仿真时间增大)。

8.3.1 基于单位响应的符号间干扰 PDF 计算

当一个理想的脉冲沿着有损传输线传送时，脉冲将出现失真(例如，变得既宽又减弱)。由于衰减和反射，会在之前和之后的几个采样点上形成非零的残留值。图 8.6 用一个并行 I/O 通道说明了这一点。光标表明对数据进行边沿采样的各个位置点。在这一示例中，因为通道较短，所以在数据采样点处的残留值较小。ISI PDF 反映的就是由这些残留值形成的噪声分布。

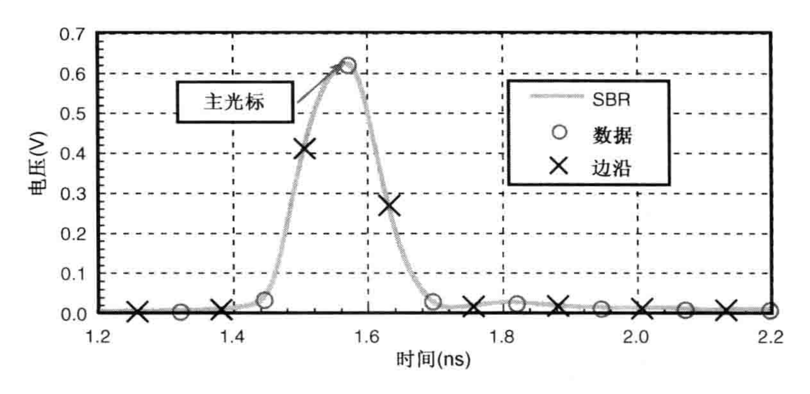


图 8.6　具有均衡的板上并行总线单位响应

现在，用三个 ISI 光标演示 ISI PDF 的计算过程。图 8.7 说明了采用这三个光标的卷积过程。这一过程假定针对一个随机的位模板(换句话说，这一位是 0 或 1 的概率是相等的)，而位之间是不相关的。基于等概率这样的假设，第一个后光标(30 mV)的 ISI 分布呈现为 −30 mV 或 30 mV 的概率均为 0.5，如图 8.7 所示。由于位之间不相关，将不同光标的 ISI 分布间进行卷积，就可以获得 ISI 的最终分布。正如图 8.7 所示，我们从两个光标的 ISI 进行卷积得到 4 个光标的 ISI。然后，再加入另外的光标并与之前的光标进行卷积。最终的 ISI 分布包括 8 个电压位置，每一个发生的概率相等(均为 0.125)。

当光标数较多时，这一过程可能非常费时。典型的单位响应往往超过 100 位长。一个降低这种计算时间的简单方法是在每次卷积后将光标分别装入槽格中。然而，电压槽格的大小又必须是足够小，以避免多个卷积步骤时误差的累积。采用 Sanders、Resso 和 D'Ambrosia[4] 提出的一种分而治之方法，可以节约大量的时间。根据这一方法，将原本的

N 光标问题分为两个 $N/2$ 的问题，然后计算每个 $N/2$ 个问题的 ISI PDF。将这两个 ISI PDF 进行卷积，就得到最终的分布。这种方法可以推广为多层次的分而治之问题，但是实践中只有用少量几级时，才能达到最佳的性能。

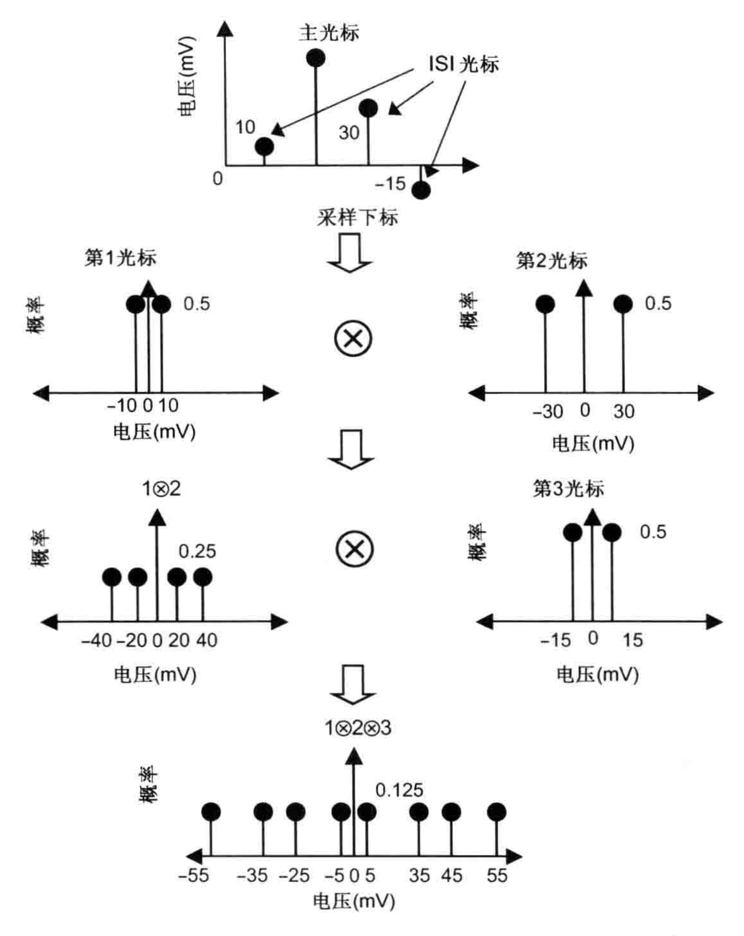


图 8.7　3 光标情况下 ISI 的 PDF 计算流程图

注意，不同的相位处(即采样点位置)主光标的幅度以及 ISI 光标的幅度是不一样的。图 8.8给出了数据采样点处和跳变边沿处(它与数据间有 90°偏移)的 ISI 分布。在不同的相位处，将主光标和 ISI 光标的 PDF 相加，就可以构建出一个完整的眼图，如图 8.9 所示。

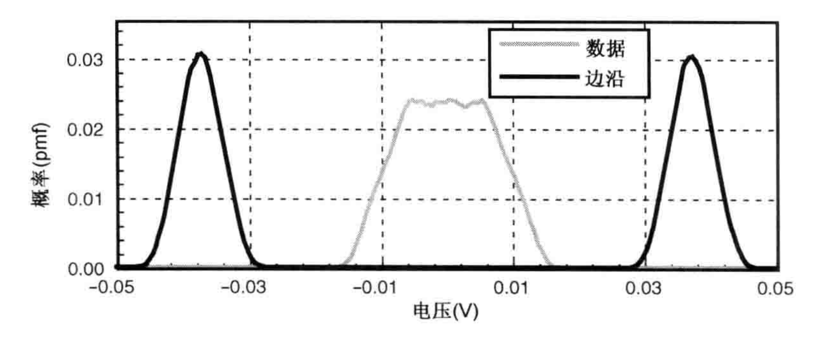


图 8.8　数据采样点和边沿采集点处 ISI 的 PDF

将这种方法加以扩展以处理耦合传输线系统是很直截了当的：可以用一个单位激励攻击线，观察在受害线末端的信号响应（与前面情况唯一的区别是，所有的光标包括主光标在内都属于噪声，必须包含在卷积过程中）。耦合线系统的最终 ISI PDF 可以通过将串扰和 ISI 的 PDF 卷积得到。

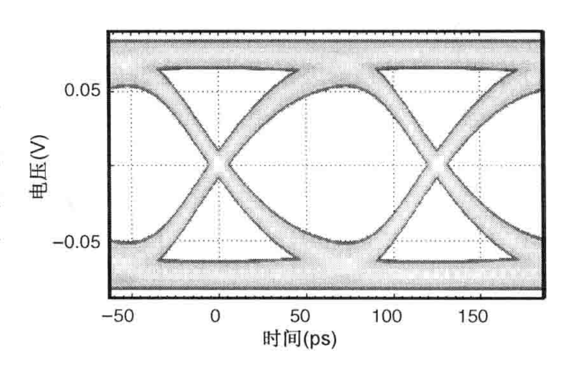


图 8.9　由 ISI PDF 获得眼图

8.3.2　发送器占空比失真建模

一种非理想的情况，比如时钟路径的非对称上升边和下降边，导致的确定性抖动称之为占空比失真（DCD）。与其他的抖动分量相比，DCD 显得特别有害，因为它直接调制了发送脉冲的宽度，并将被通道进一步加以放大。Oh 等人指出[3]，发送器的 DCD 会造成奇数位（奇位）和偶数位（偶位）具有不同的位宽度和通道响应。如果假设偶位比较短，它会产生一个比标称情况下较小的摆幅和眼图。较宽的奇位将形成较大的 ISI，这将使得偶位比较小的眼图进一步恶化。与 Tx DCD 相比，Rx DCD 的害处通常要小一些。Rx DCD 将会造成数据采样和边沿点位置的位移。改动后的采样点位置将影响自适应均衡以及 CDR 的相位概率分布。

Tx 的 DCD 建模可以用对待随机抖动的类似方式处理（采用稍后在 8.4.1 节介绍的 EVN 模型）。Tx DCD 可视为如图 8.10 所示理想波形边沿处的冲激脉冲，然而所建模型仅限于小的 DCD 值。本节介绍一种更严格的方法，适用于大的 DCD 值[3]。这种方法分别计算奇位和偶位的 SBR（单位响应），以提取 DCD 对通道特性的影响。图 8.11 给出了具有 10% 发送器 DCD 的示例通道 SBR。

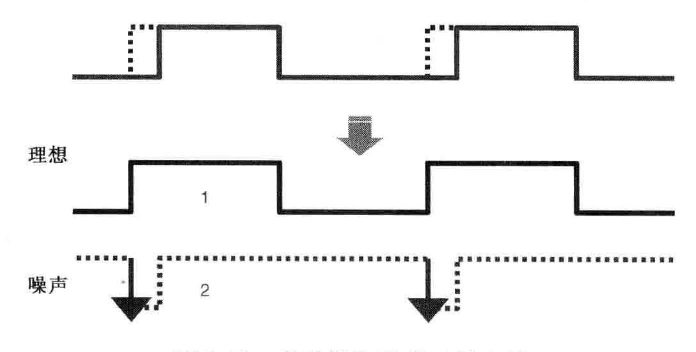


图 8.10　发送器 DCD 的冲激表示

利用奇位和偶位的响应，简单地将各自对应的单位响应移位并相加，就可以计算出接收到的信号。例如，对一个输入序列 b_k（b_0 位是在偶位时宽内）的通道响应为：

$$y_m = \sum_k b_{2k-1} p^{\text{odd}}((m-2k-1)T) + \sum_k b_{2k} p^{\text{even}}((m-2k)T) \tag{8.10}$$

其中，p^{even} 和 p^{odd} 分别为偶位和奇位响应。式（8.10）表明，在其他位对当前位 ISI 的贡献中，奇位和偶位的作用是相互交错的。因此，为了计算奇位和偶位 ISI 的 PDF，可以按时间将奇位和偶位的 ISI 交错放置，然后像往常一样计算 PDF。图 8.12 给出（有 10% 发送器 DCD）的奇位、偶位以及一个理想位（没有 DCD）ISI 的 PDF。

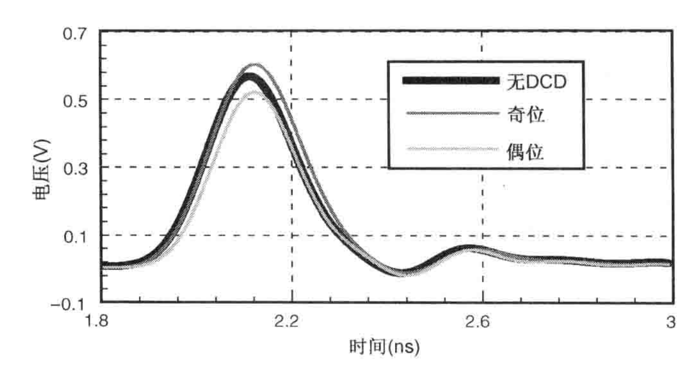


图 8.11 发送器没有 DCD 和有 10% DCD 情况下奇位及偶位的单位响应

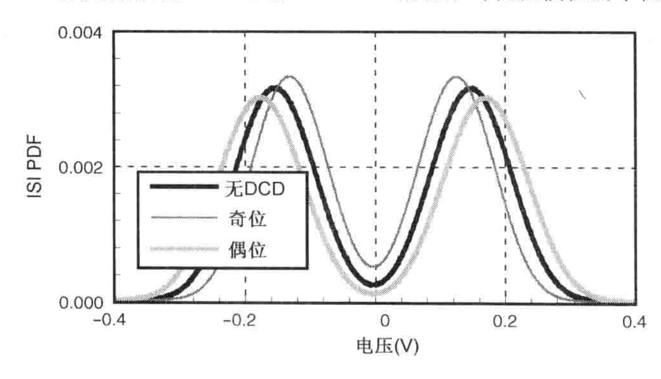


图 8.12 发送器没有 DCD 和有 10% DCD 情况下奇位及偶位 ISI 的 PDF

当存在 DCD 的情况下，接收器看到两个不同的眼图：一个是奇位的；另一个是偶位的。先按照前面介绍的办法计算 ISI，求出奇位和偶位各自的 BER 眼图之后，再将奇位和偶位眼图求平均就可以得到最终的 BER 轮廓线（如图 8.13 所示）。需要注意的是，最坏的奇位和偶位眼图情况就定义出了链路的性能。如所预料的那样，偶位眼图比奇位眼图要更差一些，这是由于较小的脉冲宽度和较大的 ISI 影响所致。这一示例中，主要由偶位眼图决定了整个链路的最终性能。

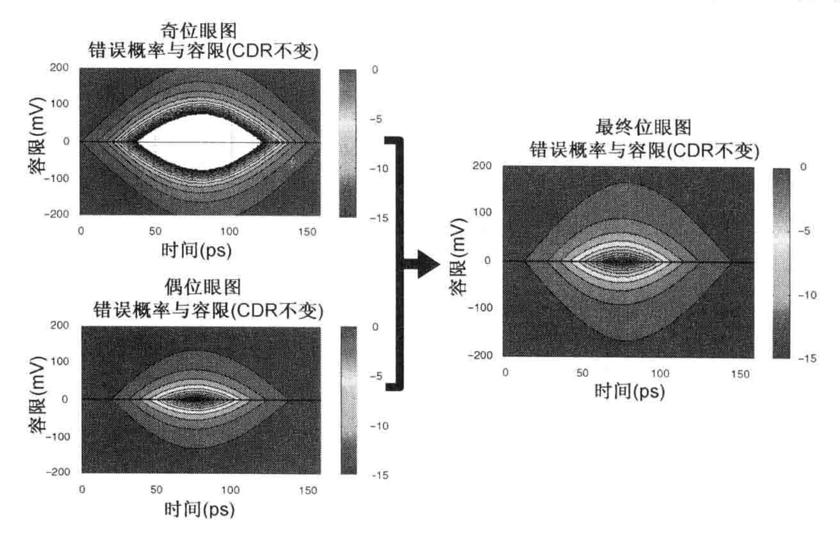


图 8.13 存在 DCD 时的 BER 计算

8.4 发送器和接收器抖动建模

上一节研究了无源通道的统计仿真，本节研究由发送器和接收器引起的器件抖动。许多公开发表的统计方法在无源通道的建模上是共同的，但在器件抖动的建模上则是不同的。人们大多忽略了抖动的频谱[4,6,7,10,15]，而 Stojanovic 和 Horowitz 的工作则将其建模为有色高斯随机抖动[1]。本节将介绍的方法，可以处理包括有色有界抖动在内的不同类型抖动[1,3]。

8.4.1 发送器抖动建模

发送器抖动建模比较复杂，因为如式(8.4)所示，由于发送器抖动引起的等效电压噪声 n^{Tx}，已被通道的冲激响应有色化了。将发送器抖动简单地建模为接收器抖动会导致严重错误，尤其是对于高频抖动分量。为了导出 n^{Tx}的模型，我们将发送器抖动的式(8.4)重写如下

$$
\begin{aligned}
n^{\mathrm{Tx}} &= -\sum_{k}(b_k - b_{k-1})\varepsilon_k^{\mathrm{Tx}} h((m-k)T) \\
&= -\sum_{k=N_{\mathrm{pre}}}^{-N_{\mathrm{post}}} b_k(\varepsilon_k^{\mathrm{Tx}} h_{m-k} - \varepsilon_{k+1}^{\mathrm{Tx}} h_{m-k-1}) \\
&= \boldsymbol{a}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Tx}} \vec{\varepsilon}^{\,\mathrm{Tx}}
\end{aligned}
\tag{8.11}
$$

其中，$h_k = h(kT)$，$\boldsymbol{a}$ 是一个随机的发送符号矢量；$\boldsymbol{W}$ 是根据发送均衡器抽头 $\boldsymbol{w}$ 构建出的

$$
\boldsymbol{W} = \begin{bmatrix} \boldsymbol{w} & 0 & \ldots & 0 \\ 0 & \boldsymbol{w} & 0 & \ldots \\ \ldots & 0 & \boldsymbol{w} & 0 \\ 0 & \ldots & \ldots & \boldsymbol{w} \end{bmatrix}
\tag{8.12}
$$

$\boldsymbol{a}^{\mathrm{T}}\boldsymbol{W}$ 是发送均衡器的输出。$\boldsymbol{H}^{\mathrm{Tx}}$是从 h_k构建出的：

$$
\boldsymbol{H}^{\mathrm{Tx}} = -\begin{bmatrix} -h_{-N_{\mathrm{pre}}-1+m} & h_{-N_{\mathrm{pre}}+m} & & & 0 \\ & -h_{-N_{\mathrm{pre}}+m} & h_{-N_{\mathrm{pre}}+1+m} & & \\ & & & \ldots & \\ 0 & & & -h_{N_{\mathrm{post}}+m-1} & h_{N_{\mathrm{post}}+m} \end{bmatrix}
\tag{8.13}
$$

这里，N_{pre}和 N_{post}是通道冲激响应中前光标和后光标的个数。对于确定性抖动 n^{Tx}的 PDF，没有通用的计算公式。然而，如果 $\boldsymbol{\varepsilon}^{\mathrm{Tx}}$的频率足够低，则 $\boldsymbol{\varepsilon}^{\mathrm{Tx}}$ 中的所有抖动项都是类似的，$\varepsilon^{\mathrm{Tx}}$可视为接收器抖动。占主导地位的高频发送器抖动则是 DCD(参见 8.3.2 节中对 ISI PDF 的讨论)。

本节下面的其余部分将讨论不相关抖动。

如果 $\varepsilon_m^{\mathrm{Tx}}$ 是白色或有色无界高斯时，我们可以利用自相关计算有效的方差 σ 如下[3]：

$$
[\mathrm{tr}(V_{\boldsymbol{a}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Tx}} \boldsymbol{R}_{\varepsilon}^{\mathrm{Tx}} \boldsymbol{H}^{\mathrm{TxT}} \boldsymbol{W}^{\mathrm{T}})]^{0.5}
\tag{8.14}
$$

其中，$\boldsymbol{R}_{\varepsilon}^{\mathrm{Tx}}$ 是 $\varepsilon^{\mathrm{Tx}}$的自相关矩阵，tr 是求迹算子。如果发送器抖动是白色的，假设式(8.11)中的 $b_k - b_{k-1}$是对应于每个 k 的一个独立随机变量，那么式(8.11)中的求和项也是独立的，可以通过对和项进行卷积计算出最终的 PDF[17]。

另一方面，如果发送器随机抖动 $\varepsilon^{\mathrm{Tx}}$是有色有界的，可以先把它近似为一个白色离散随机过程，再经有色化滤波器 h_{color}过滤，其表达式如下[18]：

$$\varepsilon_k^{\mathrm{Tx}} = \sum_n h_{\mathrm{color}}(n)\boldsymbol{\varepsilon}_w(k-n) = \boldsymbol{h}_{\mathrm{color}}^{\mathrm{T}}\boldsymbol{\varepsilon}_W \tag{8.15}$$

其中，$\boldsymbol{\varepsilon}_W$ 是一种白色随机变量矢量。将式(8.15)代入式(8.11)，可得

$$\begin{aligned} n^{\mathrm{Tx}} &= \boldsymbol{a}^{\mathrm{T}}\boldsymbol{W}\boldsymbol{H}^{\mathrm{Tx}}\begin{bmatrix} \boldsymbol{h}_{\mathrm{color}}^{\mathrm{T}} & \underline{0} & \cdots & \underline{0} \\ 0 & \boldsymbol{h}_{\mathrm{color}}^{\mathrm{T}} & \cdots & \underline{0} \\ 0 & \cdots & \boldsymbol{h}_{\mathrm{color}}^{\mathrm{T}} & \underline{0} \\ 0 & \cdots & 0 & \boldsymbol{h}_{\mathrm{color}}^{\mathrm{T}} \end{bmatrix}\boldsymbol{\varepsilon}_W \\ &= \boldsymbol{a}^{\mathrm{T}}\boldsymbol{M}\boldsymbol{\varepsilon}_W \end{aligned} \tag{8.16}$$

一种计算 n^{Tx} PDF 的蛮力方法就是对所有有关 $\boldsymbol{a}$ 的条件 PDF 求平均。然而，这种方法是不切实际的，因为由于较长的通道冲激响应时间，使得 $\boldsymbol{a}$ 的规模可能非常大。为了加快这一 PDF 计算，利用奇异值分解对 $\boldsymbol{M}$ 进行分解[3]：

$$n^{\mathrm{Tx}} = \boldsymbol{a}^{\mathrm{T}}\boldsymbol{M}\boldsymbol{\varepsilon}_W = \boldsymbol{a}^{\mathrm{T}}\boldsymbol{U}\boldsymbol{\Lambda}\boldsymbol{V}\boldsymbol{\varepsilon}_W = \sum_n(\boldsymbol{a}^{\mathrm{T}}\boldsymbol{u}_n)\lambda_n(\boldsymbol{v}_n^{\mathrm{T}}\boldsymbol{\varepsilon}_W) = \sum_n X_n \tag{8.17}$$

在式(8.17)中，$\boldsymbol{U}$ 和 $\boldsymbol{V}$ 是正交矩阵，它们的第 n 行和第 n 列分别为 $\boldsymbol{u}_n$ 和 $\boldsymbol{v}_n^{\mathrm{T}}$。矩阵 $\boldsymbol{\Lambda}$ 是对角阵，其对角线上的项为$[\lambda_1,\cdots,\lambda_{\mathrm{Rank\ of\ }\boldsymbol{M}}]$。这一关系式表明 n^{Tx}可以写成是具有方差 $V_\varepsilon\lambda_n^2$ 的相关随机变量 X_n之和。n^{Tx}的方差则为 $V_\varepsilon\sum\lambda_n^2$，其中 λ_n是 $\boldsymbol{M}$ 的奇异值，V_ε是 $\boldsymbol{\varepsilon}_W$ 的方差。

为了简化计算，假设 X_n是独立的。这样，为了计算 n^{Tx} PDF，只要对 N 个 X_nPDF 进行卷积即可。注意，卷积后 PDF 的方差仍然是 $V_\varepsilon\sum\lambda_n^2$（与 n^{Tx}的方差相等）。这种近似通常会导致稍微高一点的 BER，可以用做对 n^{Tx} PDF 的估计。最大的奇异值 λ_1，也可以用做另一种近似逼近，通常产生略低一些的 BER。两个近似之间的差异可以作为一个尺度，用以评估 n^{Tx} PDF估计的准确度：如果两个近似之间的差异较大，表明 PDF 估计的准确度较差。对于典型的有损通道，一个或两个奇异值主导着式(8.17)中的 $\boldsymbol{M}$ 矩阵。图 8.14 给出了一个相对有损通道的冲激响应。图 8.15(a)给出了相应的奇异值分布。如图所示，只有少数几个占主导的奇异值，其余的奇异值则彼此接近。

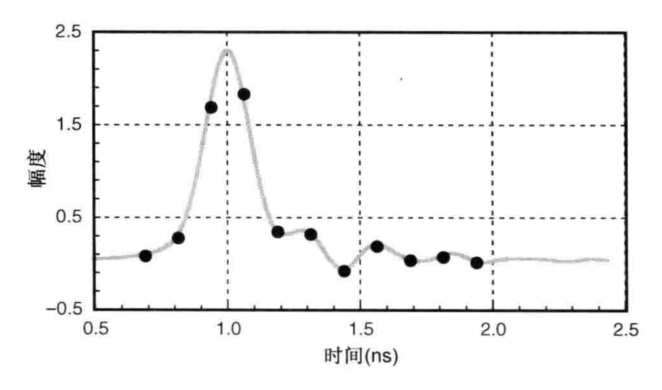


图 8.14　通道冲激响应及其数据率采样序列

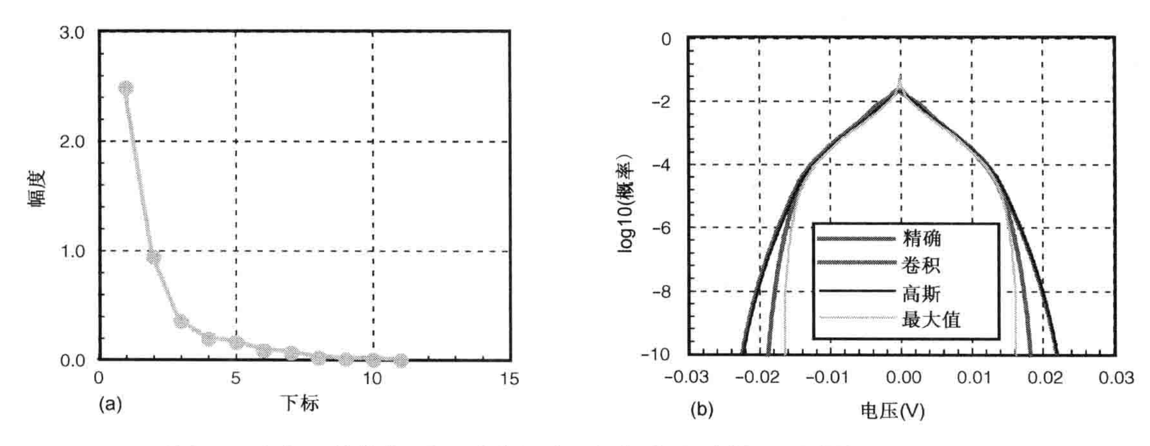


图 8.15 (a) λ_n的分布；(b) 在眼图中心相位采用不同方法的等效电压噪声 PDF

为了加快计算，用一单个高斯随机变量去近似逼近所有方差较小的 X_n。图 8.15(b)比较了对图 8.14 所示的冲激响应采样采用不同方法计算得到的 PDF 情况。卷积线是卷积得到 X_n的 PDF。高斯线则是将前两个主导 λ_n得到的有界 PDF，与其他小奇异值的高斯 PDF 表示，进行卷积得到的近似 PDF。精确线则是采用蛮力方法求得的精确 PDF。最大值线是采用最大 λ_n的 PDF。近似 PDF 捕获到精确 PDF 高 BER 部分的形状。正如所料，近似 PDF 在低 BER 时的尾部则表现出有些偏离目标值，这是由于前面的各种简化假设，包括假设 X_n之间的独立性造成的。高斯近似与采用所有奇异值情况的 PDF 最接近，从而表明可以用它取代小的奇异值。图 8.16 比较了采用不同 PDF 近似的系统级容限。灰色曲线是用最大奇异值近似计算得出的；而黑色曲线则是用独立性近似计算得出的。两种结果非常接近，表明估计是非常准确的。

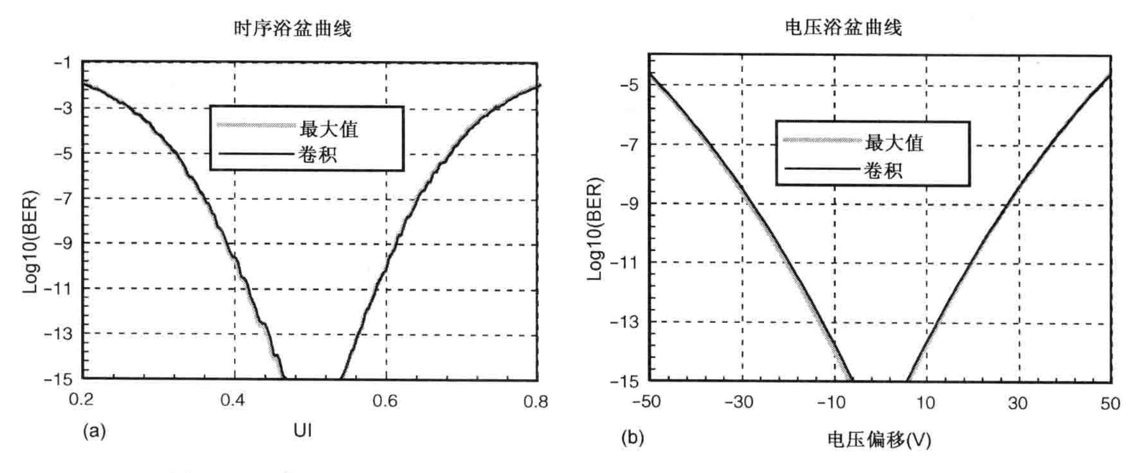


图 8.16 采用图 8.15(b)的不同 PDF 求解出的时序浴盆曲线和电压浴盆曲线

8.4.2 接收器抖动建模

如图 8.5 所示，在 8.2.3 节介绍的统计框架中将无源通道和器件的抖动分量区别处理。分别单独计算 ISI 的 PDF 和等效电压噪声的 PDF 分布，然后再一起卷积获得总噪声的最终

PDF。从接收端的抖动开始，式(8.4)中接收器抖动的等效电压噪声可以改写为：

$$n^{\mathrm{Rx}} = \varepsilon^{\mathrm{Rx}} \sum_k b_k (h_{m-k} - h_{m-k-1}) = \varepsilon^{\mathrm{Rx}} \boldsymbol{a}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Rx}} \tag{8.18}$$

其中，h_m是符号相间(symbol-spaced)的通道冲激响应，$\boldsymbol{H}^{\mathrm{Rx}}$ 是$[\cdots, h_{m-k}-h_{m-k-1}, \cdots]^{\mathrm{T}}$。$n^{\mathrm{Rx}}$的方差如下：

$$E\left((n^{\mathrm{Rx}})^2\right) = E\left((\varepsilon^{\mathrm{Rx}} \boldsymbol{a}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Rx}})^{\mathrm{T}} \varepsilon^{\mathrm{Rx}} \boldsymbol{a}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Rx}}\right) = V_a V_\varepsilon (\boldsymbol{H}^{\mathrm{Rx}})^{\mathrm{T}} \boldsymbol{W}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Rx}} \tag{8.19}$$

其中，V_ε是接收器抖动方差；V_a是发送符号的方差。

因为n^{Rx}是两个独立随机变量$\boldsymbol{a}$和$\varepsilon^{\mathrm{Rx}}$的函数，对其 PDF 的计算如下：

$$P(n^{\mathrm{Rx}}) = P(\varepsilon^{\mathrm{Rx}}) P(\boldsymbol{a}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Rx}}) \tag{8.20}$$

为了$P(\boldsymbol{a}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Rx}})$计算，可以使用在 8.3.1 节计算 ISI PDF 的卷积方法。当$\varepsilon^{\mathrm{Rx}}$有界时，将$P(\boldsymbol{a}^{\mathrm{T}} \boldsymbol{W} \boldsymbol{H}^{\mathrm{Rx}})$与$P(\varepsilon^{\mathrm{Rx}})$相乘，可得$n^{\mathrm{Rx}}$的最终 PDF。另一方面，当$\varepsilon^{\mathrm{Rx}}$是无界高斯时，可以将其近似为具有相同方差的单一高斯随机变量。

8.4.3 接收器及发送器抖动示例

为了说明等效电压噪声法，考虑一个 10 Gb/s 数据率的简单有损通道(如图 8.17 所示)。通道在 5 GHz 时的损耗大致为 10 dB。将 3 ps 的输入高斯抖动加到发送器和接收器中。计算所得的发送器和接收器 EVN，如图 8.18 所示。图中中心垂直片(时间 0 处)，就是数据采样位置 EVN 的 PDF。发送器抖动的 EVN 比接收器抖动的要大。这是因为，不同于发送器抖动，接收器抖动不会被有损的无源通道放大。电压噪声的计算是将输入抖动乘以信号的斜率(将在第 10 章进行阐述)。由于有损无源通道对发送器抖动的放大，是限制前传时令架构性能的主要因素之一。第 10 章将深入讨论这一问题。

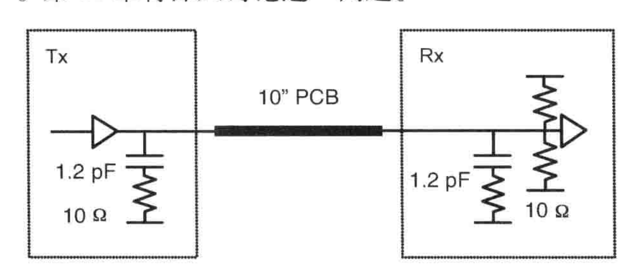


图 8.17　有损通道的 EVN 方法示范

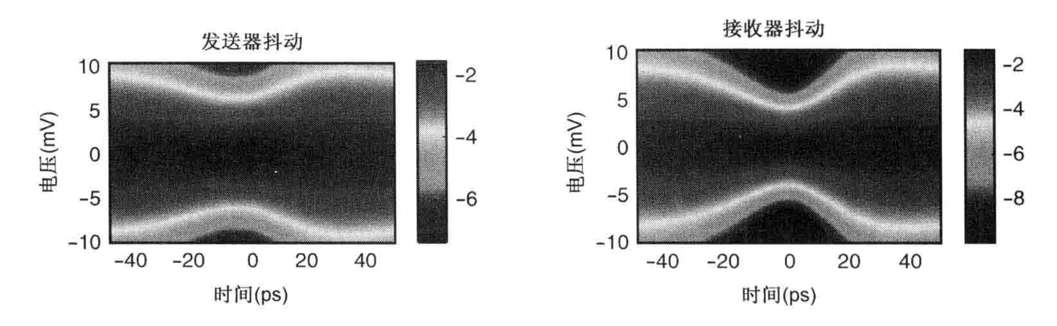


图 8.18　一位时宽的发送器和接收器抖动 EVN 噪声的 PDF

8.4.4 器件抖动仿真验证

本节用一个时钟前传架构的并行 I/O 接口验证抖动的仿真方法学。这里的仿真和实验环境，包括接插式系统测试板上 6 in 长的 PCB 链路，工作速度为 5 Gb/s(参见图 8.19)。可以直接采用 Agilent DCA-J 测量发送器抖动分布的参数。接收器抖动分布的参数则可以通过求所测累积采样分布的差分得到。图 8.20(a)所示是 Tx 和 Rx 的抖动分布。由于测验系统是同步的，所测的时钟和数据抖动会直接影响到最终的采样分布。结合以前相关 S 参数通道模型，由统计仿真可以产生出实际链路性能相当不错的估计，如图 8.20(b)所示。在浴盆曲线高 BER 区域的不匹配，可能是因为对个别电路元件，比如 PLL 噪声、时钟路径，以及 Tx 和 Rx 相位的非线性等，未能精细建模的缘故。

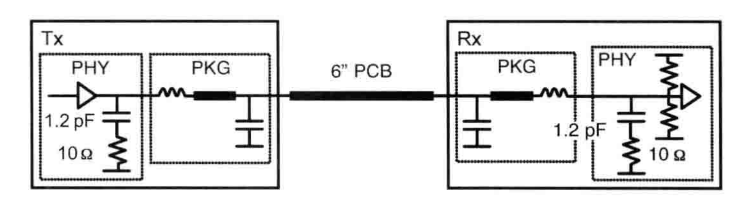


图 8.19 并行 I/O 链路采样的设置

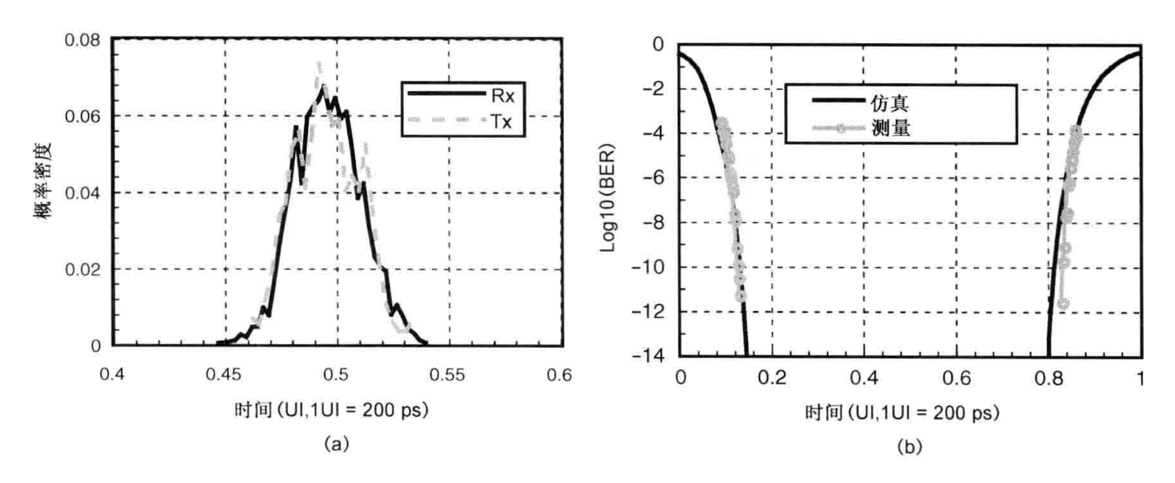


图 8.20 FlexIO。(a) Tx 和 Rx 时序；(b) 浴盆曲线测量

8.5 周期性抖动建模

在高速 I/O 器件中最占主导优势的一个器件抖动分量就是时钟信号中的电源噪声引起的抖动(PSIJ)。正如第 14 章将会讲到的，除了本底噪声之外，在 PSIJ 频谱中各参考时钟频率及其谐波处还出现了明显的峰值。上一节所介绍的 EVN 概念，可以用于对本底噪声的影响进行准确的建模。然而，对于周期性抖动(PSIJ 谱中的明显峰值)，前面介绍的 EVN 方法就不再准确了，因为式(8.5)中的噪声分量 n^{ISI}、n^{Tx} 和 n^{Rx} 等被假定是独立的。

另一种方法是基于双 δ 分布，用瞬态数据去曲线拟合统计模型[19]。Balamurugan 等没有具体介绍周期性抖动的建模[19]，因为进入瞬态仿真的所有抖动分量都是组合在一起的，曲

线拟合无法区分它们的差异。Rao、Borich、Abebe 和 Yan 等介绍了一种更严格的方法[20]，但它只能处理在发送端的单一频率抖动。

本节将推出一种更严格的 EVN 模型[21]。这一模型将等效电压噪声的概念从随机抖动扩展到周期性抖动。在一般情况下，周期性抖动的影响必须与通道 ISI 一起加以计算。本节还给出了这种新模型与以前的等效电压噪声方法的对比，以前忽略了抖动与 ISI 的相互作用。

8.5.1　对周期性抖动与符号间干扰相互作用的表征

因为接收器抖动不受通道的影响，它自然不会与通道符号间干扰(ISI)具有相关性。之前基于通道和器件抖动 PDF 相互独立假设的等效电压噪声表征，对接收器周期性抖动仍然有效。另外，也可以将接收器抖动建模为一个采样抖动分布，使接收器端周期性抖动的建模更为直截了当。

本节重点是对发送器周期性抖动的建模。因为周期性抖动和符号间干扰是确定性的，如果不考虑其相关性而将它们看成独立的，直接把它们噪声的 PDF 卷积，其结果是偏于悲观的。为了解释这种相关性，可以利用式(8.11)将式(8.4)重写如下：

$$
\begin{aligned}
y_m &\approx y^M + y^{\mathrm{ISI}} + n^{\mathrm{Tx}} \\
&= y^M + \boldsymbol{a}^{\mathrm{T}}\boldsymbol{v}^{\mathrm{ISI}} + \boldsymbol{a}^{\mathrm{T}}\boldsymbol{M}_{\mathrm{Tx}}\boldsymbol{\varepsilon}_{\mathrm{Tx}} \\
&= y^M + \boldsymbol{a}^{\mathrm{T}}\left(\boldsymbol{v}^{\mathrm{ISI}} + \boldsymbol{M}_{\mathrm{Tx}}\boldsymbol{\varepsilon}_{\mathrm{Tx}}\right) \\
&= y^M + \boldsymbol{a}^{\mathrm{T}}\boldsymbol{v}^{\mathrm{total}} \\
&= y^M + n^{\mathrm{total}}
\end{aligned}
\tag{8.21}
$$

其中，符号间干扰的矢量 $\boldsymbol{v}^{\mathrm{ISI}}$ 是符号相间的单位响应，这里将主光标设为 0(只保留符号间干扰光标)；$\boldsymbol{\varepsilon}_{\mathrm{Tx}}$ 是周期性发送器抖动序列；用 $M_{\mathrm{Tx}}\boldsymbol{\varepsilon}_{\mathrm{Tx}}$ 计算由 $\boldsymbol{\varepsilon}_{\mathrm{Tx}}$ 造成的等效电压噪声序列。图 8.22 说明了符号间干扰矢量如何与等效电压噪声序列结合产生总的电压噪声序列 $\boldsymbol{v}_{\mathrm{total}}$。最终的电压噪声 $n^{\mathrm{total}} = \boldsymbol{a}^{\mathrm{T}}\boldsymbol{v}^{\mathrm{total}}$，包括了符号间干扰和发送器抖动的贡献。

一般情况下，计算任意抖动类型的 n^{total} 是不可能的，因为它需要太多的电压噪声序列 $\boldsymbol{v}^{\mathrm{total}}$ 的组合。幸运的是，对于周期性抖动序列却是有效的，因为它只有有限个组合。在图 8.21 中采用正弦抖动对此进行了说明。为简单起见，考虑一个很短的通道，其单位响应只持续了 5 位时宽。取决于抖动序列中主位的位置，计算得出不同的等效电压噪声。图 8.22 中给出了 $\boldsymbol{\varepsilon}_1^{\mathrm{Tx}}$、$\boldsymbol{\varepsilon}_2^{\mathrm{Tx}}$ 和 $\boldsymbol{\varepsilon}_3^{\mathrm{Tx}}$ 三个不同的抖动序列。根据式(8.21)，将每个抖动序列与卷积矩阵 $\boldsymbol{M}$ 相乘以生成等效电压噪声序列。再将等效电压噪声序列与符号间干扰矢量 $\boldsymbol{v}^{\mathrm{ISI}}$ 相加，产生总电压噪声序列 $\boldsymbol{v}^{\mathrm{total}}$。对于不同的抖动序列，$\boldsymbol{v}^{\mathrm{total}}$ 是不同的。因此，对于不同的抖动序列，n^{total} 的 PDF 是不同的，如图 8.22 所示。由于不同周期性抖动序列是等概率的，最终的总电压噪声 PDF 就等于所有总电压噪声 PDF 的简单平均。在计算链路 BER 时，对于最终总电压噪声 n^{total} 的 PDF，可以采用与8.3.1 节中对符号间干扰 PDF 那样的方式加以处理。

当抖动的频率不是数据率的谐波或次谐波，或者有多个频率时，用于求平均的 PDF 数目可能会相当大。为了降低计算时间，可以选择几个总电压噪声序列，形成一个计算 PDF 的最大上界。噪声序列的界，就是各绝对噪声值之和。虽然这种近似一般会给出比较悲观的估计结果，但在低 BER(如 10^{-12})时还相当准确，因为在低 BER 区间是由 PDF 的界值占主导。

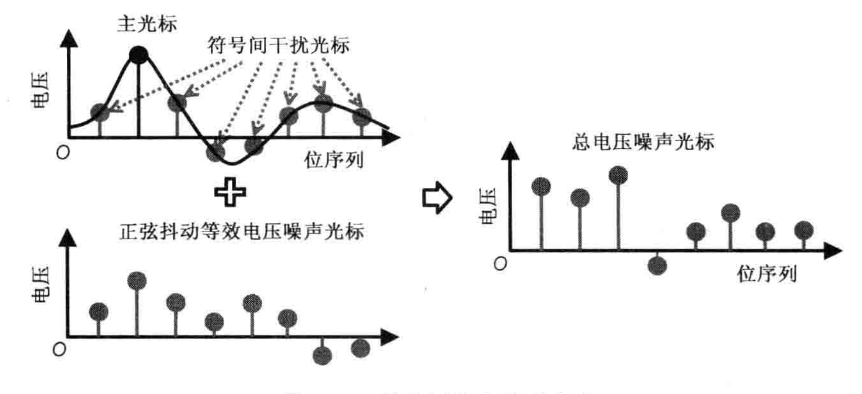


图 8.21 总电压噪声序列生成

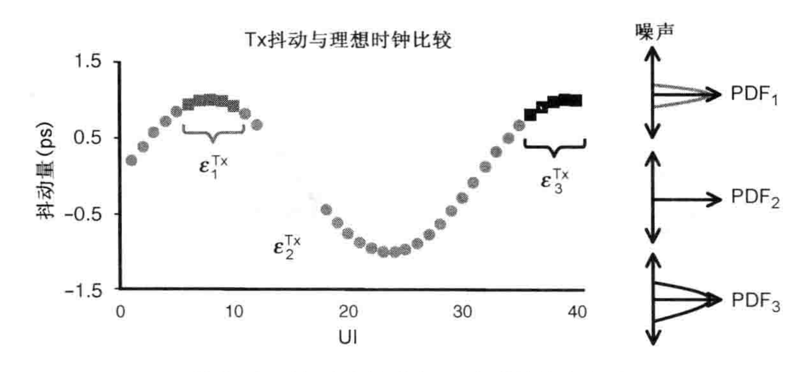


图 8.22 从正弦抖动产生的不同抖动序列

8.5.2 数值示例

这里给出三个示例，用以验证本节所介绍的方法。第一个示例考虑的是一个高速并行链路，如图 8.23 所示[21]。一个 8 Gb/s 的数据经过一个封装中封装(PoP)系统传输。在控制器端，裸芯片键合在衬底封装上；在 DRAM 一端，是有两个信号层的键合封装。在衬底和 PCB 上采用微带线作为信号走线。包括封装和 PCB 走线在内的总长度约为 3 cm。当存在符号间干扰且没有均衡的统计眼图如图 8.24 所示，还留有 54 ps 的时序容限。采用发送器均衡(0.8 ~ 0.2)，时序容限增大至 98 ps，如图 8.25 所示。

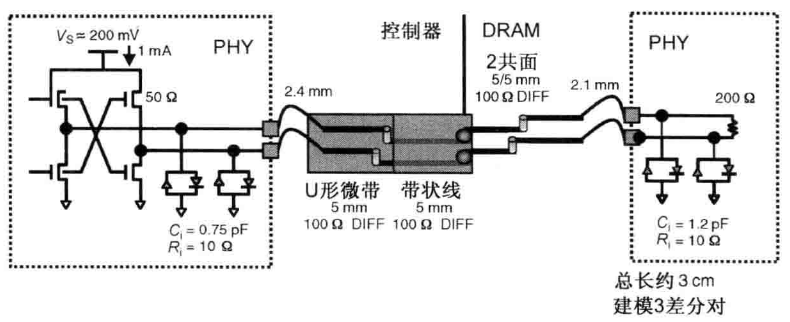


图 8.23 封装中封装系统中的存储器 I/O 接口

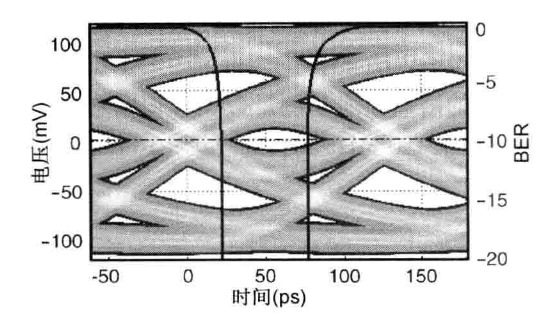


图 8.24　有符号间干扰的未均衡眼图

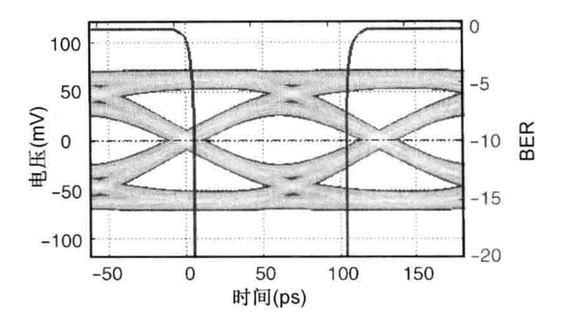


图 8.25　有符号间干扰的均衡眼图

图 8.26 是一个 100 MHz，发送器正弦抖动峰-峰值为 20 ps 的统计眼图，这是用以描述符号间干扰和等效电源噪声之间相关性的模型。如果将此图与图 8.24 观察做一对比，可以看到有额外 20 ps 的链路容限损失。我们还仿真了假定符号间干扰和等效电源噪声是相互独立的情况，图 8.27 就给出了由此产生的眼图。这一假设下产生了比 20 ps 预期值更为悲观的估计，实际产生的是 54 ps 的容限损失。与 Tx 均衡的情况做同样的对比，其结果显示在图 8.28 和图 8.29 中。同样如所预期的，具有符号间干扰和等效电源噪声相关模型的眼图准确地预估了额外 20 ps 的容限损失。当把 Tx 抖动建模为独立的抖动时，预估的容限损失是 30 ps。这种情况下所估计的损失并不像前面未均衡情况下的那么悲观。这一示例说明，当符号间干扰比较大时，符号间干扰和等效电源噪声之间的相关性就显得更为重要一些。

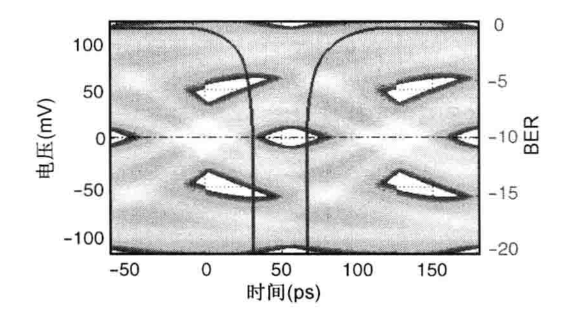


图 8.26　符号间干扰和 Tx SJ 等效电源噪声(无EQ)之间有相关性模型的眼图

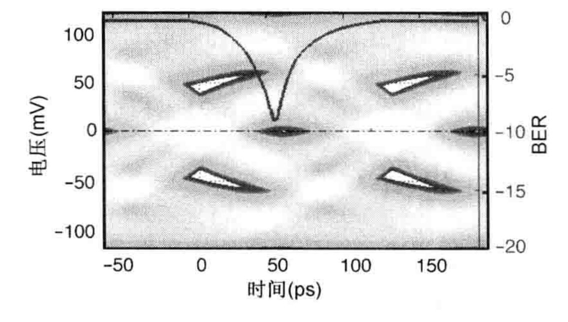


图 8.27　符号间干扰和 Tx SJ 等效电源噪声(无EQ)之间独立模型的眼图

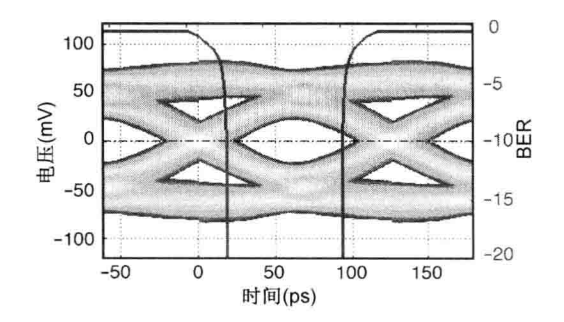


图 8.28　符号间干扰和 Tx SJ 等效电源噪声(有EQ)之间有相关性模型的眼图

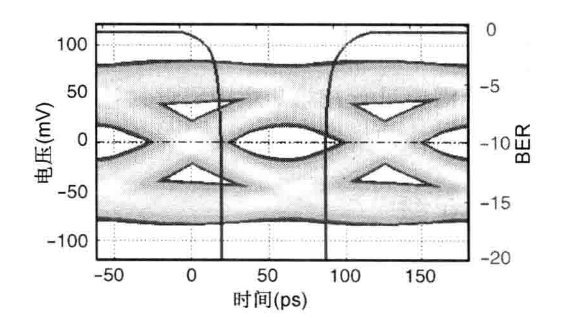


图 8.29　符号间干扰和 Tx SJ 等效电源噪声(有EQ)之间独立模型的眼图

图 8.30 给出了第二个示例，这里是 3.2 Gb/s 的数据率，具有时钟前传通道的并行链路。片上接收器的时钟分配网络，在数据和时钟信号之间引入了 2 ns 的错位。将 50 ~ 150 MHz 峰-峰值 30 ps 的正弦抖动注入发送器中。图 8.31 给出仿真的浴盆曲线与测量数据有很精彩的关联度。注意，由于低频抖动的跟踪，50 MHz 的抖动影响小于 150 MHz 的抖动。第 10 章将讨论用于解决时钟和数据信号间抖动跟踪问题的方法。

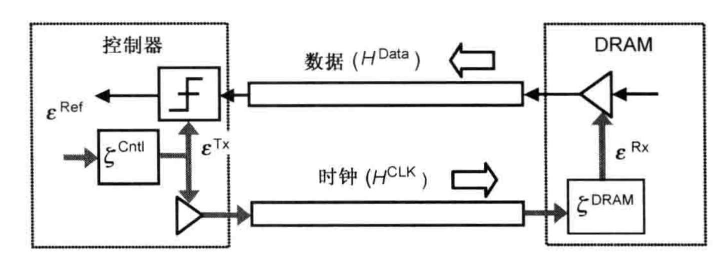
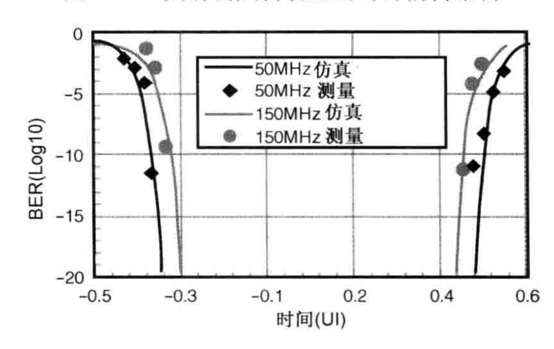


图 8.30　具有公共抖动源的时钟前传架构



8.31　不同正弦抖动(跟踪)时实验测量的关联度

8.6 小结

本章评述了统计链路的仿真框架，并讨论计算链路 BER 的一般性统计公式。同时，还介绍了计算符号间干扰 PDF 的快速统计方法，以及准确的器件抖动模型。采用短的和长的单位响应对发送器 DCD 进行建模。本章基于等效电压噪声的概念，介绍了如何对发送器和接收器抖动建模。最后，本章介绍了如何将等效电压噪声应用于高斯噪声、有界随机噪声、周期性抖动等。

本章中所介绍的统计方法假设系统是线性的，并具有均匀的数据模板。一个比较典型的系统需要进行在第 9 章中将要讨论的瞬态仿真方法。最后，一个准确的抖动模型还必须考虑时令拓扑和抖动跟踪问题。第 10 章将详细介绍这些内容。

参考文献

1. V. Stojanovic and M. Horowitz, "Modeling and analysis of high-speed links," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Sep. 2003, pp. 589-594.
2. D. Oh, F. Lambrecht, S. Chang, Q. Lin, J. Ren, J. Zerbe, C. Yuan, C. Madden, and V. Stojanovic, "Accurate method for analyzing high-speed I/O system performance," presented at the IEC DesignCon, Santa Clara, CA, 2007.

3. D. Oh, F. Lambrecht, S. Chang, Q. Lin, J. Ren, C. Yuan, J. Zerbe, and V. Stojanovic, "Accurate system voltage and timing margin simulation in high-speed I/O system designs," *IEEE Transaction on Advanced Packaging*, vol. 31, no. 4, pp. 722-730, Nov. 2008.
4. A. Sanders, M. Resso, and J. D'Ambrosia, "Channel compliance testing utilizing novel statistical eye methodology," presented at the IEC DesignCon, Santa Clara, CA, 2004.
5. C. W. Helstrom, "Calculating error probabilities for intersymbol and cochannel interference," *IEEE Transactions on Communications*, vol. COM-34, pp. 430-435, May, 1986.
6. B. K. Casper, M. Haycok, and R. Mooney, "An accurate and efficient analysis method for multi-Gb/s chip-to-chip signaling schemes," in *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 2002, pp. 54-57.
7. B. Ahmad, "Performance specification of interconnect," presented at the IEC Design-Con, Santa Clara, CA, 2003.
8. D. Oh, "Multiple edge responses for fast and accurate system simulations," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2006, pp. 163-166.
9. J. Ren and D. Oh, "Multiple edge responses for fast and accurate system simulations," *IEEE Transaction on Advanced Packaging*, vol. 31, no. 4, pp. 741-748, Nov. 2008.
10. P. Patel, J. Cutcher, T. Donisi, M. Tsuk, and S. G. Pytel, "BladeServer 10Gb/s Ethernet backplane design with equalization using statistical channel analysis," presented at the IEC DesignCon, Santa Clara, CA, 2008.
11. R. I. Mellitz, M. Tsuk, T. Donisi, and S. Pytel, "Strategies for coping with nonlinear and time variant behavior for high speed serial buffer modeling," presented at the IEC DesignCon, Santa Clara, CA, 2008.
12. K. Xiao, B. Lee, and X. Ye, "A flexible and efficient bit error rate simulation method for high-speed differential link analysis using time-domain interpolation and superposition," in *Proceedings of International Symposium on Electromagnetic Compatibility*, Detroit, MI, Aug. 2008, pp. 1-6.
13. S. Chang and D. Oh, "Fast ISI characterization of passive channels using extreme value distribution," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2007, pp. 127-130.
14. Algorithm Modeling API (AMI) support in IBIS, IBIS ATM, 2007.
15. J. Caroselli and C. Liu, "An analytic system model for high speed interconnects and its application to the specification of signaling and equalization architectures for 10Gbps backplane communication," presented at the IEC DesignCon, Santa Clara, CA, 2006.
16. D. Oh, "Method for computing statistical system performance of high-speed links with the rising and falling edge responses," Idea Disclosure, Rambus Inc., Feb. 2005.
17. H. Hatamkhani, F. Lambrecht, V. Stojanovic and C. K. Ken Yang, "Power-centric design of high-speed I/Os," in *Proceedings of Design Automation Conference*, July 24-28, San Francisco, 2006, pp. 867-872.
18. J. R. Barry, E. A. Lee, and D. G. Messerschmitt, *Digital Communication*, 3rd ed., KAP, 2004, ch. 7, pp. 298-299.
19. G. Balamurugan, B. Casper, J. E. Jaussi, M. Mansuri, F. O'Mahony, and J. Kennedy, "Modeling and analysis of high-speed I/O links," *IEEE Transactions on Advanced Packaging*, vol. 32, no. 2, pp. 237-247, May 2009.
20. F. Rao, V. Borich, H. Abebe, and M. Yan, "Rigorous modeling of transmit jitter for accurate and efficient statistical eye simulation," presented at the IEC DesignCon, Santa Clara, CA, 2010.
21. S. Chang and D. Oh, "System-level modeling and simulation of periodic jitter in highspeed links," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2010, pp. 117-120.

第9章　快速时域通道仿真技术

任继红，常郁，Dan Oh

第8章介绍的统计链路仿真流程，提供了预估链路性能及器件抖动的一个有效方法。但是，它还有下述诸多不足之处：

- 它假设一个白色的数据模板（或者是真正的随机位模板），为的是通过对ISI的前光标和后光标进行卷积就能有效地计算出ISI PDF（参见8.3.1节）。在有编码时，这一假设是无效的。
- 统计域的抖动建模通常假设是小抖动或白色抖动频谱。这一假设在大正弦抖动等某些情况下是不正确的。
- 对系统响应的线性假设，使其在具有强烈非线性驱动器的系统中是低效的。统计方法是基于单位响应（SBR）的叠加来有效地计算出ISI的分布。在基于SBR技术准确仿真系统响应时，系统必须是线性时不变的，或可以准确近似为线性时不变系统的。具有差分驱动器的差分信令系统通常是满足这一条件的。相比之下，单端信令系统，比如流行的存储器接口，通常有不同的上升边和下降边响应。响应中的这一不同，是I/O设计的不对称，或上拉、下拉驱动器间不匹配的结果。把基于SBR的技术用于这些系统是不适用的，或者是不够准确的。

研发快速时域仿真技术，就是为了克服这些不足之处[1~5]。即使采用这些快速时域仿真技术，能在合理的时间范围内最大的仿真位数仍然是有限的。因此，它们不适合仿真低概率事件，比如随机抖动。将统计和瞬态仿真方法相结合，就可以发挥出两种方法的优势[5]。例如，我们首先依靠瞬态仿真在直方图生成中提取出系统的非线性。然后，我们分别仿真确定性和随机抖动。在时域提取抖动的非线性；在统计域提取随机抖动的尾部统计特性。

本章探讨这一混合式的框架架构。9.1节简要介绍辅助有统计链路分析在内的一般时域仿真流程。它还对受欢迎的AMI做了简单的介绍。9.2节概述了不同的时域直方图生成法，包括基于单位响应（SBR）、双边沿响应（DER）、多边沿响应（MER）等。然后，讨论了极值分布（EVD）法，基于时域直方图对ISI的PDF加以外推。9.3节给出了完整链路分析的一个数值示例，用GDDR系统说明如何采用时域流程仿真出编码对系统性能的影响。9.4节给出不同抖动建模方法的对比，并基于不同的抖动特性给出不同的建议。9.5节概述了SBR情况下的最大失真分析（PDA）法，最后给出的动态规划算法，按照线性时间搜索出DER和MER的最坏情况位模板。

9.1 快速时域仿真流程综述

图 9.1 总结出一个典型的快速时域仿真流程。这样的链路分析考虑了链路结构、无源通道、均衡算法，以及各种噪声源，以 BER(Bit Error Rate)为尺度评估出系统的性能。将高层次的步骤归纳如下。

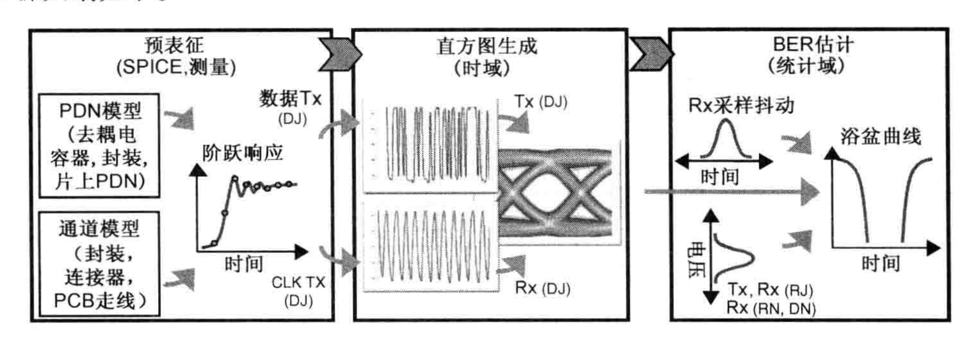


图 9.1　对信号和电源完整性模型的统计域和时域混合仿真流程

首先，假设已经建立了对整个链路进行预表征的 HSPICE 平台，可以获得通道的单位响应或边沿响应。这一 HSPICE 平台上，有包括封装、连接器、PCB 走线等在内的详细通道模型。此外，为了考虑非理想电源分配网络(PDN)的影响，这一 HSPICE 平台上还有包括稳压模块(VRM)、去耦电容器、封装、片上 PDN 等在内的详细 PDN 模型。这样做，同时开关噪声(SSN)可以被视为另一种形式的串扰(第 12 章将给出有关 SSO 噪声仿真的详细信息)。

其次，根据提取出的阶跃或边沿响应，快速时域仿真算法可以构建出数兆位的系统响应，汇聚出信号的直方图。将确定性抖动包括在时域直方图中可以提取出抖动的非线性。在统计域研究随机抖动，是将其转换为接收器端所看到的等效电压噪声。采用等效噪声的概念，将时序抖动转换为有效电压噪声(参见第 8 章)。由于很难提取出时域随机抖动的尾部统计特性，只有这样做才能进行有效的仿真。此外，对具有前传时钟源同步系统的时钟通道进行仿真，可以生成接收器数据通道采样时钟的摆动情况。这样做就能准确地提取出在时钟和数据间的抖动跟踪情况。

最后，基于时域直方图，采用极值分布(EVD)可以对 ISI 的 PDF 进行估计[6][7]。在生成浴盆曲线中，包括了 ISI PDF、随机抖动的等效电压噪声，以及其他噪声源(比如另外的独立接收器抖动、采样偏移、接收器电压噪声等)。

9.1.1 算法建模接口(AMI)

算法建模接口(AMI)是一个 SerDes 收发器的建模标准，也是 2008 年 8 月所颁布 IBIS 5.0 规范的一部分。AMI 模型使得不同半导体厂商的模型可以一起工作，同时由于无法根据这些模型进行逆向设计，从而保护了生产厂商的知识产权(IP)。由半导体厂商决定把多少细节暴露给用户。结果，AMI 受到了 EDA 供应商的广泛支持。本节简要介绍 AMI 的仿真流程和方法学[1]。

一个 AMI 模型由两部分组成：模拟模型和算法模型。模拟模型包括未均衡的无源通道、Tx 输出阻抗和寄生参数、Rx 输入端接网络和寄生参数等。算法模型源自 SerDes 的 IP 供应商，所提供的是一个动态链接库。算法模型中包括均衡器模型，比如发送均衡器、接收器线性均衡器、接收器判决反馈均衡器、时钟恢复等。

AMI 仿真的第一步就是用自身的冲激响应去表征模拟模型部分。

下一步，在两种处理模式中为算法模型选择一种：模式 1 是在初始化时处理冲激响应；模式 2 是在时域仿真中处理时域波形。

经模式 1 处理后的冲激响应(例如，均衡过的冲激响应)用于产生统计眼图，或时域波形(注意：这种模式只针对线性时不变系统模型；例如，线性均衡器且均衡器已被设置好的情况)。

采用模式 2 进行的时域仿真，是为了表征非线性时不变行为(如自适应时钟恢复)；或者用以表征采用不同编码方案的情况。注意这种情况下的模拟模型仍建模为冲激响应。将位模板与通道冲激响应相卷积。首先将产生的波形传给 Tx AMI 模型，然后再传给 Rx AMI 模型进行后处理。数兆位的数据可以在几分钟内仿真完毕。

9.2 快速系统仿真技术

本节介绍三种快速时域系统仿真技术：单位响应法、双边沿响应法、多边沿响应法。如果系统可以很好地近似为线性时不变系统，那么这三种技术是等价的。推出的后两种方法，主要是为了提高 I/O 设计的不对称，或上拉、下拉驱动器间不匹配等非线性系统的仿真准确度。

9.2.1 单位响应法

单位响应(SBR)法根据仿真或测量得到的 SBR，可以构建出对任意输入数据模板的系统响应。假设系统是线性的，那么任何数据模板的响应就是经不同位移后 SBR 的线性求和。记 $p(t)$ 为通道的 SBR，t_s 为数据采样处的相位，T 是位时宽，b_m 是第 m 个传送的符号。接收器数据采样器在第 m 个数据采样点所看到的电压可由下式求得

$$y_m = \sum_k b_k p(t_s + (m-k)T) \tag{9.1}$$

一般而言，为了估计系统性能和预估 BER，必须先求得系统对数兆位的响应。往往是无源通道的存储器决定了单位响应的长度。响应时间必须足够长才能提取出所有重要的反射。

为了求得单位响应，可以用一个包括非线性在内的实际驱动器模型将一个单位驱动到通道。SBR 法的一个基本假设就是系统可以准确地近似为线性时不变系统。对于具有不对称上升边和下降边响应的系统，使用 SBR 法的结果是：在连续的位之间会出现杂散的毛刺。图 9.2说明了这些毛刺。多数单端信令系统往往有不同的上升边和下降边响应，这是由于不对称的 I/O 设计，或上拉、下拉驱动器间的不匹配所致。相比之下，大多

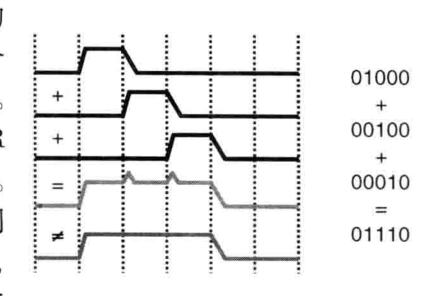


图 9.2 有人为毛刺的 SBR 示例

数的差分信令系统不存在这一问题，因为它们的上升和下降边响应固有地就是对称的（只要两个互补驱动器之间的不匹配比较小即可）。

为了使处理更具有普遍性，对于非对称的上升边和下降边情况，可以根据边沿跳变，而不是位响应去构建系统的响应。在本节的下面，首先介绍双边沿响应（DER）法，然后将其扩展到多边沿响应（MER）法，以便处理更一般的非线性情况。

9.2.2　双边沿响应法（DER）

双边沿响应（DER）法按照上升边和下降边的边沿跳变将输入数据模板加以分解。系统的响应就是经不同位移后上升和下降边沿响应的叠加：

$$y_m = \sum_k (b_k - b_{k-1}) s_k(t_s + (m-k)T) + y_{-\infty} \tag{9.2}$$

其中

$$\begin{aligned} s_i(t) &= r(t) - V_{\text{low}}, \quad (b_i > b_{i-1}) \\ &= V_{\text{high}} - f(t), \text{ 其他} \end{aligned} \tag{9.3}$$

$r(t)$ 和 $f(t)$ 分别是上升边和下降边的响应。V_{high} 和 V_{low} 分别是对恒定数据流 1 和 0 响应而得到的稳态 DC 电平。$y_{-\infty}$ 是（V_{high} 或 V_{low}）的初始 DC 状态。图 9.3 给出了采用上升边和下降边响应构建出的单位响应。与 SBR 法相类似，将采用一个实际驱动器模型得到的边沿响应用于该无源通道。因此，驱动器的非线性已经体现在边沿响应中。

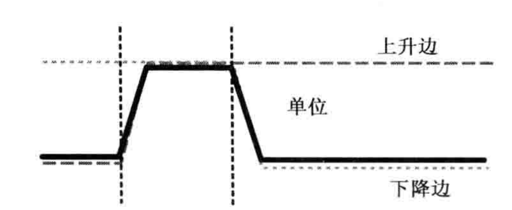


图 9.3　采用双边沿响应构建单位响应

9.2.3　多边沿响应法（MER）

不管是 SBR 法还是 DER 法，在建模非线性驱动器的影响时都显得能力有限。当驱动器非线性效应只是源自位时宽内上升边和下降边响应的不对称时，DER 法比 SBR 法具有更好的仿真准确度。但是它不能完全提取出响应中其余的非线性效应，因为这里并未考虑在当前位时宽之外的驱动器开关活动。

为了说明这一点，在图 9.4 中考虑在三个不同电平：x（低）、y（跳变）、z（高）下分别具有三种不同驱动器阻抗的一个人为非线性驱动器。将这种驱动器阻抗设置下的上升边和下降边响应标记为 $r_{x,y,z,y,x}(t)$ 和 $f_{x,y,z,y,x}(t)$。单位响应则用 $p_{x,y,z,y,x}(t)$ 标记。由于阻抗的变化，无法把单位响应仍然准确地构建为标称阻抗条件（x, y, z, z, z）时上升边和（z, z, z, y, x）时下降边响应位移后的简单叠加。相反，根据下式的单位响应和标称上升边响应关系，可以求出一个假设为（x, y, z, y, x）时的下降边响应，以获得系统的非线性情况：

$$\begin{aligned} p_{x,y,z,y,x}(t) &= r_{x,y,z,z,z}(t) + f_{x,y,z,y,x}(t-T) - V_{\text{high}} \\ &\neq r_{x,y,z,z,z}(t) + f_{z,z,z,y,x}(t-T) - V_{\text{high}} \end{aligned} \tag{9.4}$$

稍后，将利用这一假设边沿响应构建出系统响应。这是多边沿响应（MER）法背后的基本想法。本节的下面部分，详细介绍 MER 的公式化表征。

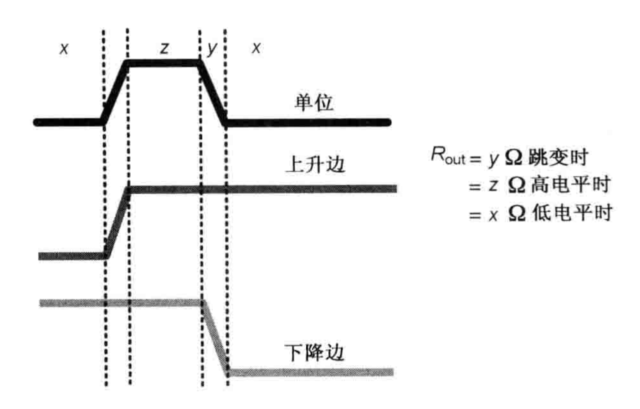


图 9.4　具有三种驱动阻抗的人为非线性驱动器的不同响应

MER 法根据之前的位模板，构建出多个上升边和下降边如下：

$$\begin{aligned} f^{11}(t) &= y^{110}(t) \\ f^{01}(t) &= y^{010}(t) - y^{001}(t+T) + V_{high} \end{aligned} \tag{9.5}$$

$f^{b_{-2}1}(t)$ 是当前面有两位 b_{-2} 时，对时间 0 处下降边的下降边响应；$y^{b_{-m}\cdots b_{-1}b_0}$ 就是对位模板 $b_{-m}\cdots b_{-1}b_0$ 的响应。同样，对于上升边，我们有：

$$\begin{aligned} r^{00}(t) &= y^{001}(t) \\ r^{10}(t) &= y^{101}(t) - y^{110}(t+T) + V_{low} \end{aligned} \tag{9.6}$$

图 9.5 用图形给出了相应的 MER 响应。根据这一构建，前述的单位响应(参见图 9.4)可以如下所示很容易地从 $f^{01}(t)$ 和 $r^{00}(t)$ 中恢复得到：

$$p_{x,y,z,y,x}(t) = y^{010}(t) = r^{00}(t+T) + f^{01}(t) - V_{high} \tag{9.7}$$

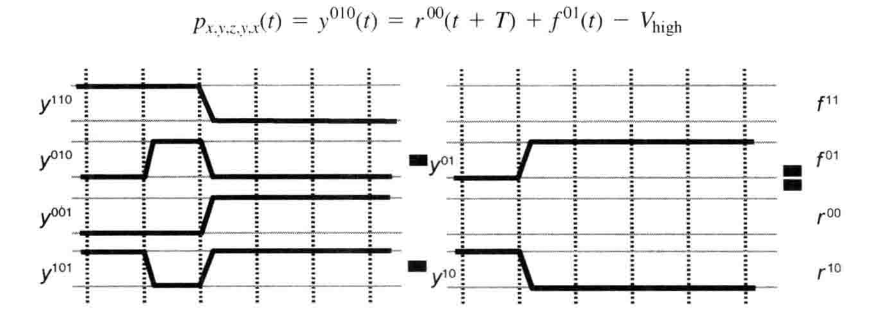


图 9.5　二阶 MER 示例

这一多边沿响应(MER)公式称为二阶 MER，因为它考虑了当前位之前两位的影响。注意，一阶 MER 则相当于 DER。上述公式可以推广到如下更高阶以实现更高的准确度：

$$\begin{aligned} r^{b_{-m},\dots,b_{-2}0}(t) &= y^{b_{-m},\dots,b_{-2}01}(t) - y^{b_{-m}b_{-m},\dots,b_{-k+1}b_{-k}}(t+kT) + V_{low} \\ f^{b_{-m},\dots,b_{-2}1}(t) &= y^{b_{-m},\dots,b_{-2}10}(t) - y^{b_{-m}b_{-m},\dots,b_{-k+1}b_{-k}}(t+kT) + V_{high} \end{aligned} \tag{9.8}$$

其中，k 是位模板 $b_{-m},\cdots,b_{-2}b_{-1}$ 最右边位的下标，且 $b_{-k+1} \neq b_{-k}$；$b_{-m}b_{-m},\cdots,b_{-k+1}b_{-k}$ 是 $b_{-m}b_{-m},\cdots,b_{-1}b_0$ 右移后的新版本，其中，右移后露出的最左边位填补为 b_{-m}。

基于已经构建出的多边沿响应，可以用类似于式(9.2)的方式估计出系统响应，只是现在的边沿响应需要基于之前的位模板加以选择。例如，三阶 MER，当上升边之前的情况是 00、01、10 和 11 等数据模板时，需要分别选用 $r^{000}(t)$，$r^{010}(t)$，$r^{100}(t)$ 和 $r^{110}(t)$ 等响应。

m 阶的 MER，总共需要 2^m 个上升边和下降边响应，可以用 2^m 个数据模板进行制备。虽然高阶的 MER 需要更长的时间准备输入波形，但这对实际仿真时间的影响是微不足道的。对于许多应用，基于上升边/下降边和单位向上和向下响应的二阶 MER 具有合理的准确度。本章的大多数数值示例采用的是这一简单的版本。

9.2.4 节将介绍一种简单的策略，可以为给定的系统预先确定出实现良好仿真准确度所需 MER 的阶数。

9.2.4　数值示例

本节介绍的数值示例，将 SBR、DER、MER 诸方法与 HSPICE 做一对比。这些数值示例表明，为了达到良好的仿真准确度，不同的信令系统对 MER 的阶数有不同的要求。本节给出一个简单的策略，可以为一个给定的链路预先确定出所需的 MER 阶数。

第一个示例是考虑一个采用电流模驱动器的简单差分信令系统(如图 9.6 所示)。图 9.7给出 HSPICE 仿真所得到的单位响应、上升边和下降边响应。采用 SBR、DER、二阶 MER 对数据模板 0111001010 求得近似的系统响应。图 9.8 将仿真结果进行对比，结果显示所有情况下都获得了最佳的一致性。图 9.9 给出了误差的图示。在这一示例中，所有三种方法的误差都比较接近。

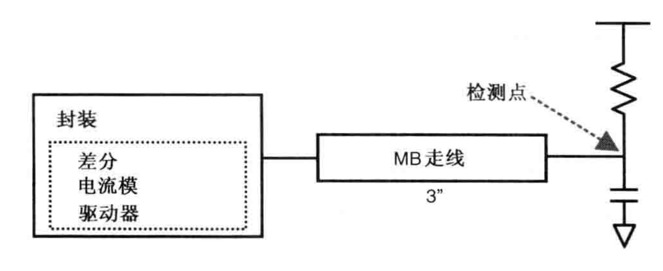


图 9.6　差分电流驱动器的 I/O 通道采样

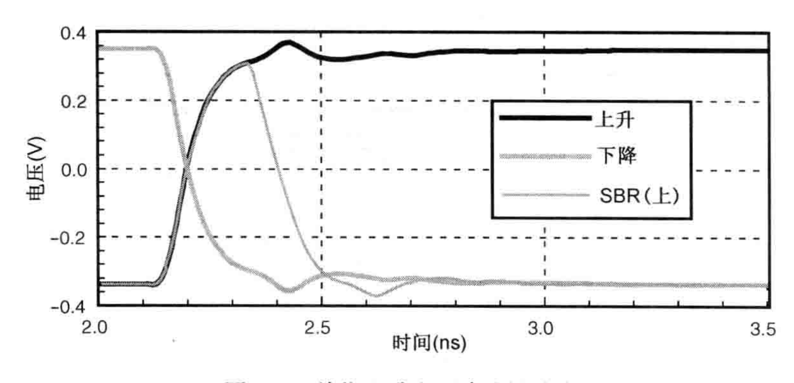


图 9.7　单位上升和下降边沿响应

第二个示例考虑的是 RDRAM 存储器通道[8]。整个系统包括有两个 16 器件的存储器模块和一个 RDRAM 控制器(如图 9.10 所示)。对从控制器到 DRAM 的写(WRITE)操作进行仿真。图 9.11 给出了对这一单端信令系统采用二阶 MER 所得到的波形。图 9.12 给出的是对同样的数据模板 0111001010 进行计算得到的波形。图 9.13 给出了误差的图示。正如所料，由 SBR 计算得到的响应在长时间为 1 的情况下显示有寄生纹波。

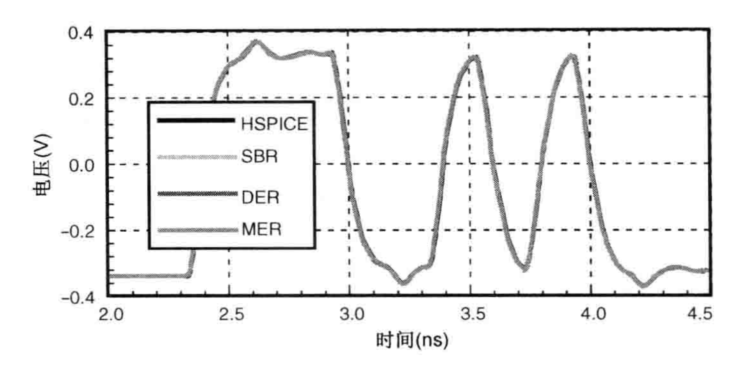


图 9.8　差分信令系统对某数据模板的 SBR、DER、二阶 MER 和 HSPICE 响应

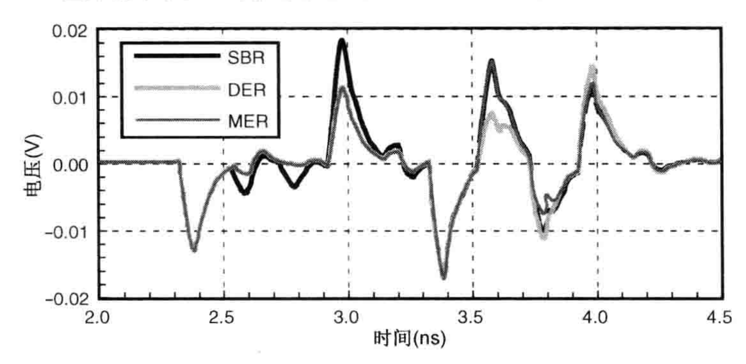


图 9.9　差分信令系统下相对于 HSPICE 的误差(误差归一化为接收到的直流摆幅)

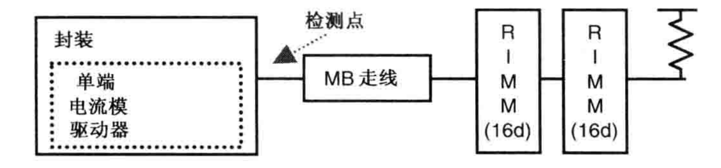


图 9.10　单端信令系统采样：RDRAM 驱动器以及两个 16 器件存储器模块

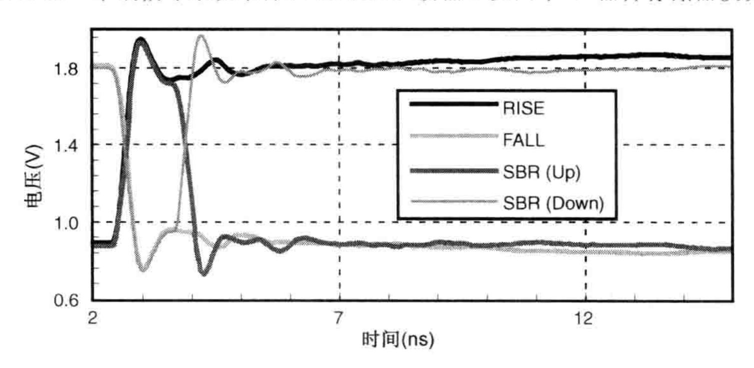


图 9.11　图 9.10 单端信令系统的单位上升和下降边沿响应

图 9.14 对比用 HPSICE 和二阶 MER 对 1024 位伪随机数据模板进行仿真所得到的眼图。眼图进一步证实 MER 给出了合理的准确度。

到目前为止，示例中只采用了二阶 MER，其中只考虑了单位响应以及上升和下降边沿响应。示例表明它与 HPSICE 仿真相比是准确的。

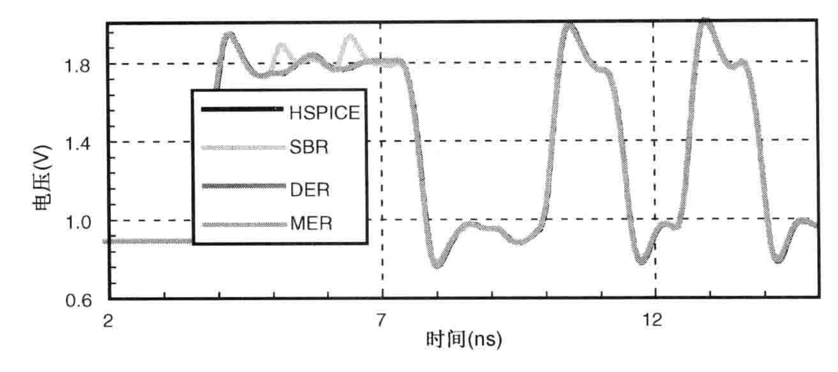


图 9.12　单端信令系统对同一数据模板的 SBR、DER、二阶 MER 和 HSPICE 响应

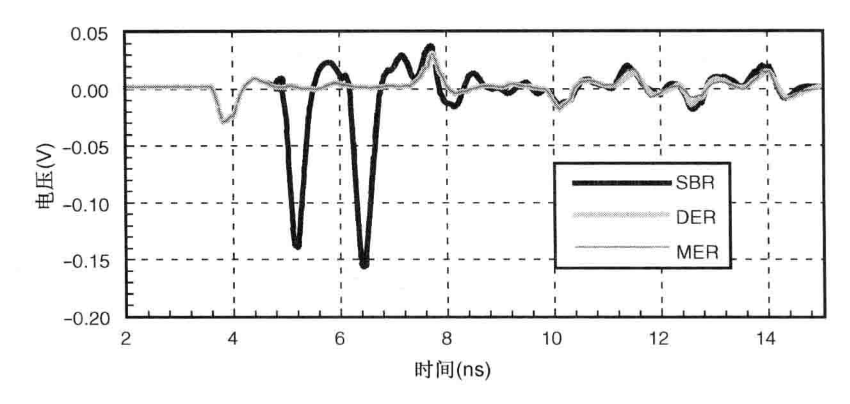


图 9.13　单端信令系统相对于 HSPICE 的误差（误差归一化为接收到的 DC 摆幅）

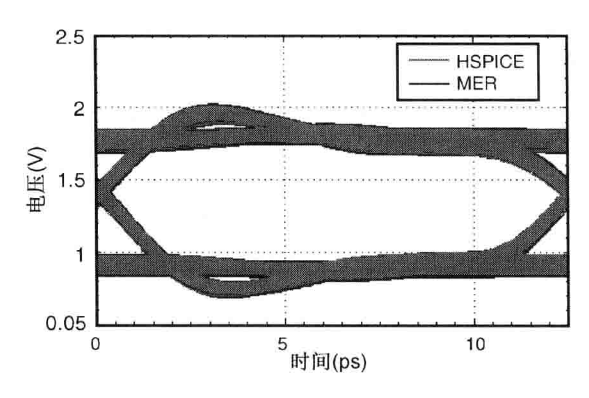


图 9.14　1024 位 PRBS 模板的二阶 MER 和 HSPICE 仿真眼图

然而，为了证明对更高阶 MER 的需求，给出的下一个示例稍微有些挑战性。这一示例是另一种基于伪开漏（POD I/O）的流行单端信令系统。POD I/O 在高速显存应用中被广泛采用。图 9.15 给出了该测验系统。从图中可以看出，这里设置了一个重要的端接不匹配，为的是使仿真更有挑战性。该端接不匹配的影响体现在边沿响应上（参见图 9.16）。在这一系统中，DER 引入了一个较大的误差，而达到必要的准确度，需要采用五阶 MER（参见图 9.17 和图 9.18）。

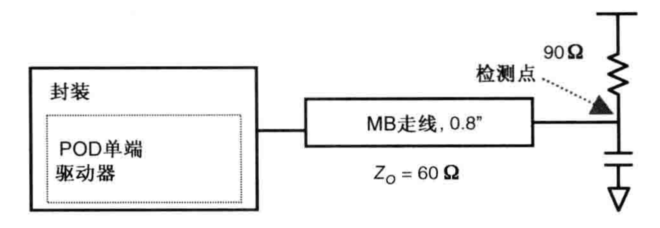


图 9.15 基于 POD 信令的单端信令系统采样

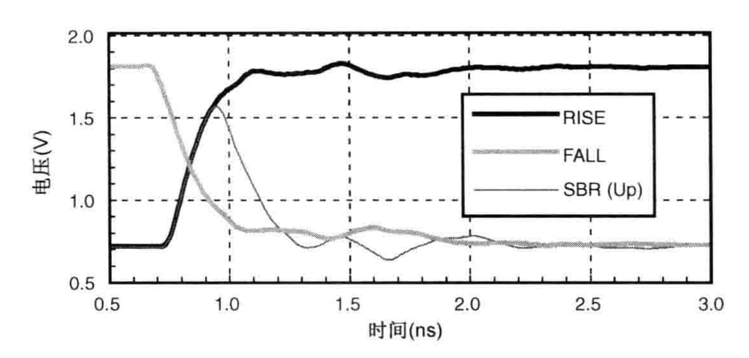


图 9.16 图 9.15 单端信令系统的单位、上升和下降边沿响应

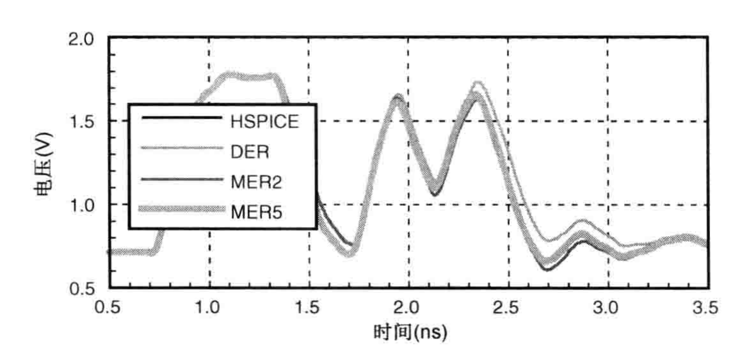


图 9.17 单端信令系统对数据模板的 DER、二阶 MER 、五阶 MER、HSPICE 等响应

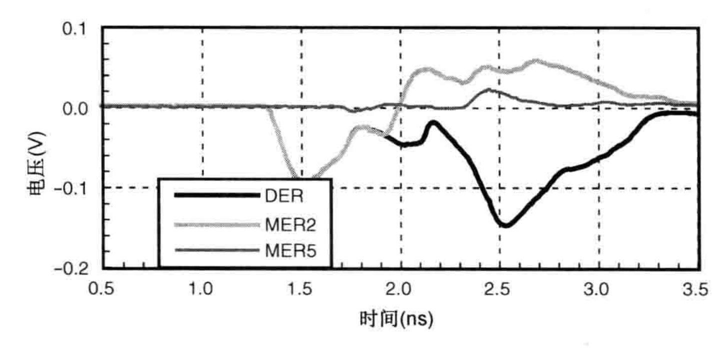


图 9.18 图 9.15 单端信令系统的 DER、二阶 MER 、五阶 MER 相对于HSPICE的误差(误差归一化为接收到的直流摆幅)

采用下面这些启发式的步骤，可以在进行 MER 仿真工作前预先确定出所需 MER 的阶数：

1. 对具有前导时钟模板的上升边，例如 0101010111111，运行 SPICE 仿真。
2. 对有同样长度前导时钟模板但后面没跟有上升边的数据，例如 0101010000000，运行 SPICE 仿真。
3. 将两种响应相减，获得以时钟模式 0101010 为前导位模式的相应边沿响应。
4. 将这一响应与 01 边沿响应做对比。所需的 MER 阶数与两个边沿响应的时间之差有很大关系。
5. 对下降边响应重复步骤 1 ~4。

作为这次展示的一部分，POD 示例的主板走线长度选为(0.4 in、0.8 in 和 1.8 in)。图 9.19给出了没有前导位模板的上升边响应和有时钟模板 010101010101010101 时的上升边响应，并给出当主板走线长度 0.8 in 时两边沿响应之间的差异。两个上升边响应具有明显差异的时间大约为 1 ns。这就意味着在 500 Mb/s 时为了提取出非线性需要采用五阶 MER。在 500 Mb/s 时，0.4 in 和 1.8 in 线长的边沿响应差异分别持续大约 5 位和 7 位。在图 9.20 中，给出了采用不同方法和 MER 阶数时三种情况下最大的归一化误差。在计算每种方法的误差时，选用 200 位长的模板，其中随机位模板 150 位再加上 50 位的最坏情况模板。SBR 法和 DER 法的结果大大偏离了 HSPICE 仿真的结果。阶数分别为 5、5、7 的高阶 MER 法实现了良好的准确度(误差小于 5%)。这是与预先确定的 MER 仿真阶数相一致的。

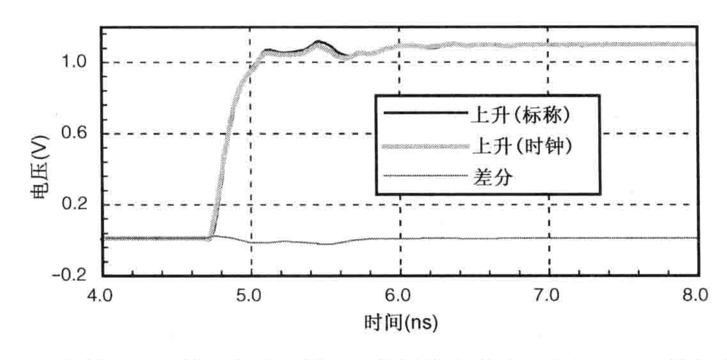


图 9.19　POD 主板 0.8 in 长走线有前导时钟模板的上升边响应与一般上升边响应的对比

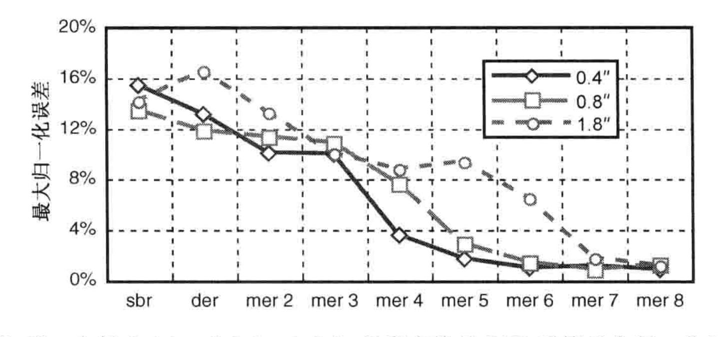


图 9.20　主板 0.4 in、0.8 in、1.8 in 长度走线的 POD 系统最大归一化误差

与SBR法相似，MER法也是完全基于移位和求和一类简单的操作。如图9.21所示，运行时间随数据模板和过采样率呈现线性关系。一台笔记本电脑，其中配置为Intel Xeon 3 GHz的CPU，加上1 GB的内存，可以在不到4分钟内运行100 MB的仿真。

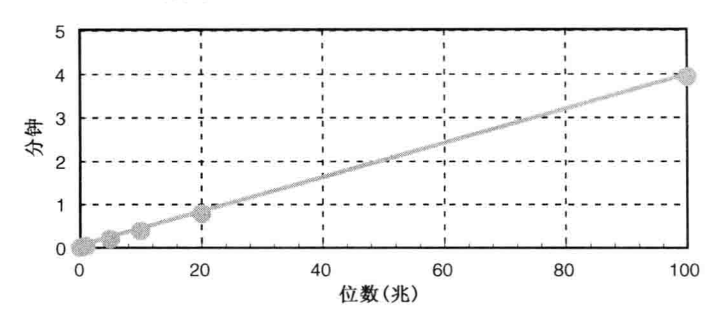


图9.21 仿真时间是数据模板长度的函数(在装有Intel Xeon 3 GHz处理器的Linux平台上进行仿真)

9.2.5 极值分布

准确的BER仿真需要准确的ISI噪声分布，这相应地就需要仿真的数据位数极其庞大。例如，对于一个典型的背板通道，由于反射使得SBR的长度可能有100多位。为了提取出ISI的确切分布，我们需要仿真许多位。如果仿真的位数有限，ISI的分布将出现如图9.22所示的截窗结果。图中将确切的PDF与由10^5位时域仿真生成的直方图做一对照。确切的PDF终结于10^{-10}左右，而时域直方图在10^{-5}左右被截断。图9.23展示了截窗对系统性能估计的影响。正如图9.23所示，采用截断分布的时域法，明显地低估了在较低BER时的确定性噪声。

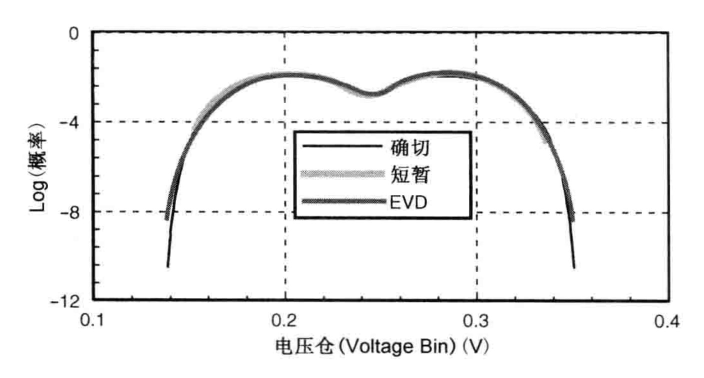


图9.22 结果对比：确切、短暂、EVD外推PDF

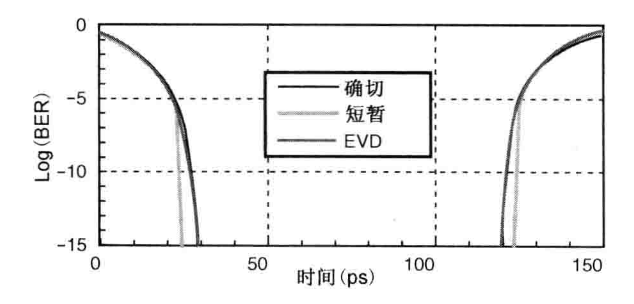


图9.23 时序浴盆曲线结果对比：确切、短暂、EVD外推PDF

一般的外推给出了对较低 BER 时性能的较好估计，但它是假定了高斯分布的随机噪声[9]。从根本上讲，这种近似假设是无界的高斯噪声形成了分布的尾部，它不适合于对有界分布，比如 ISI 分布的外推。另一种方法是采用极值分布(EVD)去估计累积分布函数(CDF)的尾部。在计算生物学领域，CDF 被用于评估蛋白质结构预估正确的似然可能性[10,11]。EVD 理论指出，无论什么样的随机变量类型，从一个随机变量非常大的采样样本集合中求得的最大(或最小)值渐近分布，都属于下述 3 类一般的分布族[6]。这些分布族就是：Gumbel、Frechet、Weibull。它们的 CDF 分别由关系式(9.9a)至式(9.9c)加以定义。

$$F(x) = \mathrm{e}^{-\mathrm{e}^{-(x-\mu)/\delta}}, \quad x \in \Re \tag{9.9a}$$

$$F(x) = \begin{cases} 0, & x \leqslant \mu \\ \mathrm{e}^{-((x-\mu)/\delta)^{-a}}, & x > \mu \end{cases} \tag{9.9b}$$

$$F(x) = \begin{cases} \mathrm{e}^{-((x-\mu)/\delta)^{a}}, & x \leqslant \mu \\ 1, & x > \mu \end{cases} \tag{9.9c}$$

第二类和第三类的 CDF 与第一类的关系是移位并进行自然对数运算[6]。根据不同的应用，人们可以选择采用三种类型中的任何一种。例如，对于在生物建模中的寿命分布，Weibull[参见式(9.9c)]是最好的选择，因为时间总是正的，而 Weibull 则确保 $F(x)$是正的。当建模 ISI 分布时，Gumbel[参见式(9.9a)]被选定为对 ISI 分布尾部进行曲线拟合的切入点。

为了获得更好的拟合，采用二阶多项式将原本的 Gumbel 分布略做修改：

$$P(X < x) = \mathrm{e}^{-\mathrm{e}^{(ax^2+bx+c)}} \tag{9.10}$$

将 $\ln(-\ln(F(x)))$的结果用于拟合二阶多项式级数：

$$ax^2 + bx + c = \ln(-\ln(P(X < x))) \tag{9.11}$$

其中，采用最小二乘逼近对参数 a、b、c 进行估计。下一步估计确切 CDF 的尾部，并将截断的时域直方图外推到合适的界值。最后，通过计算近似 CDF 尾部的差分求得 PDF。

图 9.22 表明外推 PDF 与确切 PDF 之间有很好的一致性。EVD 将 PDF 界值准确地外推，将界值从 10^{-5}延伸到 $10^{-8.5}$。再与随机抖动相结合，这一界值完全满足对 10^{-12}以下 BER 进行建模的需要(参见图 9.23)。

9.3　同时开关噪声示例

同时开关噪声(SSN)是单端信令系统的主要性能瓶颈之一(第 12 章将详细讨论 SSN)。本节简要介绍如何在基于 MER 进行的链路容限分析中将 SSN 的影响加以建模[5]。本节以高端图形显示应用中的 GDDR 系统作为一个示例。GDDR 系统采用伪开漏电路，推/拉驱动器分别为 60 Ω 和 40 Ω。通道模型中的 DQ 和 RQ，是 10 条有耦合传输线。所有的 DQ 和 RQ 线都是点到点的。只激励受害通道的驱动器，观察受害通道输出(紧贴在限幅器前)处的信号，就可以提取出受害通道的边沿响应。同样，激励攻击通道并保持受害通道为静态，就可以提取出串扰的边沿响应。在这种情况下，只考虑了从最近邻的串扰，而由第二近邻所产生的串扰则被忽略了。对于最坏情况 SSN 的产生，我们让所有其他线在同一时间进行开关，并提取出在受害线上产生的噪声。注意，这里由于纳入了 PDN 模型，在产生的串扰中已经包括有 SSN 的影响。在没有任何计算复杂度增大的情况下，MER 自然地仿真了 SSN 的影响。

图 9.24 给出在仿真仅有 SSN、仅有串扰、受害通道的最终响应几种情况时，MER 和 HSPICE 之间的关联度。

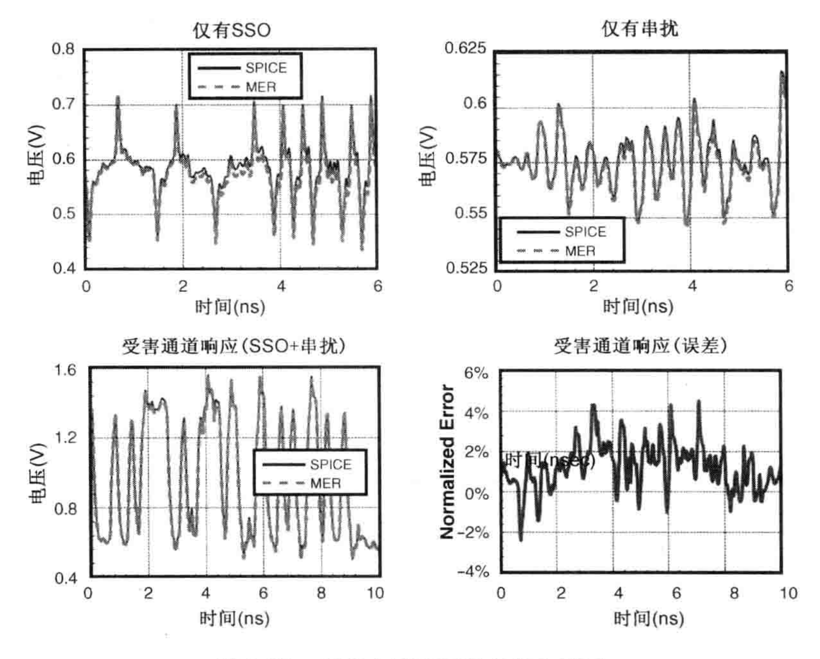


图 9.24　MER 和 HSPICE 的仿真波形

图 9.25(a)给出采用随机数据模板在 5 Gb/s 工作时的受害通道眼图。其中，包括了其他 39 条 DQ 线引起的 SSN。由于 MER 是基于时域的，这里采用统计域和时域的混合流程研究不同的编码方案对最终系统容限的不同效果。图 9.25(b)给出了采用数据总线反相(DBI-DC)编码技术对系统容限的改善效果，我们将其用于 GDDR4 系统中以降低 SSN 的影响(参见第 13 章)。DBI-DC 与随机数据相比，可以在 10^{-20} BER 时将时序容限从 13 ps 提高到 25 ps。图 9.26 对比了受害通道在随机数据和 DBI-DC 编码数据下的 ISI 分布和 SSN 分布情况。图示表明，DBI-DC 将 ISI 的分布加以位移，使得眼图的上下不对称。而统计仿真器则无法捕获这一现象。

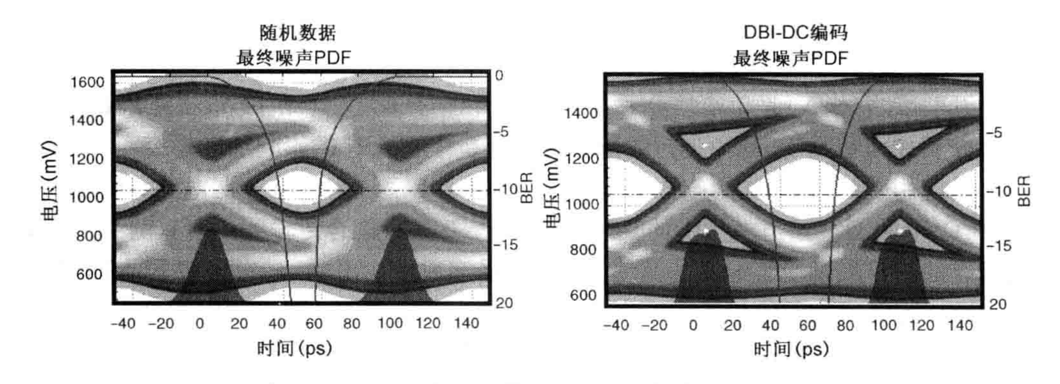


图 9.25　无编码和 DBI-DC 编码 32 位 GDDR 系统仿真的统计眼图和浴盆曲线

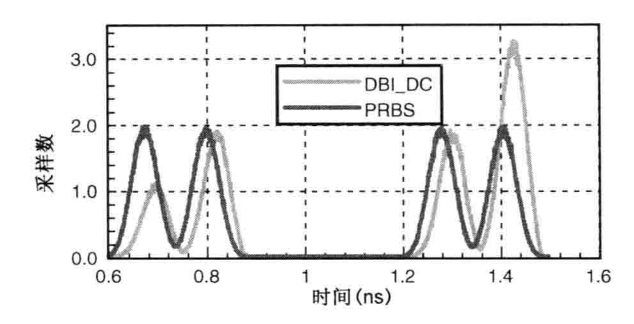


图9.26　没有同时开关输出噪声时数据采样点处ISI的直方图

9.4　抖动建模方法对比

用混合方案建模的主要优点是，可以基于不同抖动的特性自由选择抖动的建模方法。人们提出了许多方法，可以从这些基于统计域和时域的方法中加以选择。统计抖动建模法，包括等效电压噪声(EVN)法[12]、Rx采样法[13]、基于分段法[14]等。本节涵盖采用混合仿真框架并用正弦抖动和高斯抖动(随机抖动)展示不同抖动建模法的优缺点。由于基于分段法只能建模具有白色谱的发送器抖动，将被排除在对比之外。用于展示的链路是短(3 in)的FR4通道，Tx/Rx的寄生电容为1.5 pF，工作在8 Gb/s。在奈奎斯特频率时，通道有 -10 dB的损耗。在 10^{-15} 的BER时，计算时序容限。

首先，考虑发送器高斯白抖动。正如图8.4所示，由时域仿真预估的容限损失随着仿真位的增多而变大。由于采用时域仿真提取低BER(如 10^{-15})下随机抖动的影响需要太多位，所以它是不切实际的。Rx采样分布法是最乐观的，因为它忽略了无源通道的抖动放大。等效电压噪声法有效地提取出抖动放大和随机抖动尾部的统计特性，能预估出最坏容限损失。

不同于高斯发送器抖动，可以在时域用有限的位数(例如 10^7 位)对高频确定性抖动(如高频正弦抖动)进行有效的仿真。图9.27对比了对各种抖动频率的正弦抖动(20 ps的峰-峰值)进行仿真的不同方法。Rx采样分布法的抖动放大系数大约是1，因为它忽略了通道的抖动放大。对于低频抖动，时域法预估出的抖动放大系数大致也是1，因为通道没有将低频抖动放大。在高频，无源通道对抖动加以放大。对于等效电压噪声法，如果分别独立考虑符号间干扰和等效电压噪声，会大大高估了正弦抖动的影响。如果考虑了符号间干扰和等效电压噪声之间的相关性之后，所预估的抖动放大就接近于时域法的预估结果。

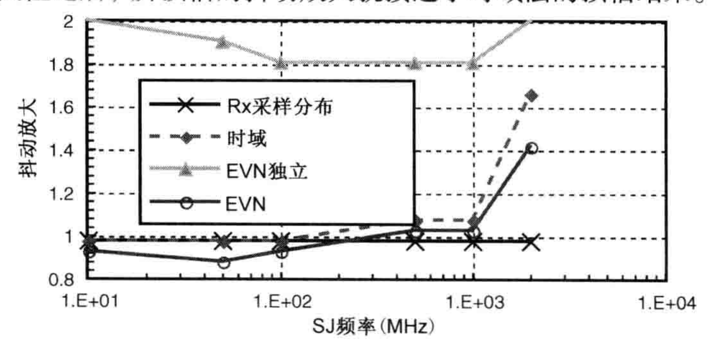


图9.27　由于正弦发送器抖动引起的链路容限损失对比

根据抖动源的位置(比如发送器、接收器或二者间的公共部分)以及抖动特性(如抖动频谱和分布),选择适当的建模法是很重要的。表9.1给出了基于抖动特性所推荐的抖动建模方法。例如,如果抖动只出现在接收器上,或者是低频确定性抖动,Rx采样分布法就是最有效和准确的,因为它避免了时域仿真和等效电压噪声的一阶近似。另一方面,如果是发送器的高频确定性抖动,在捕获抖动放大方面时域抖动模型则是最准确的。对于发送器的随机抖动部分,推荐采用效率较高的等效电压噪声法。

表9.1 推荐的抖动建模方法

位置	抖动噪声类别	推荐方案
Tx及公共部分	低频确定性抖动	Rx采样分布
	高频确定性抖动	时域
	随机抖动	等效电压噪声
Rx	确定性抖动/随机抖动	Rx采样分布

9.5 最大失真分析

人们常用最大失真分析法提取最坏情况眼图[15~19]。本节首先介绍基于单位响应和多边沿响应法的最大失真分析技术。典型的最大失真分析通常在数据采样相位点处进行。因此,它只能给出最坏情况电压容限。本节将最大失真分析推广到多个相位处使得所产生的最坏情况眼图中,不仅有最坏情况电压容限,也有最坏情况时序容限。最后,用几个数值示例对比了由不同方法提取的最坏情况眼图容限。

9.5.1 单位响应(SBR)法

如下所述,对于SBR法,可以通过选取能形成总ISI最负的数据序列求得最大程度的下冲。记在相位Δt处的符号相间单位响应为$p_{\Delta t}$,$p_{\Delta t}^{M}$则为主光标处的响应;矢量$\boldsymbol{p}_{\Delta t}^{\mathrm{ISI}}$则包含所有单位响应在相位$\Delta t$处的ISI项。这时,可能的最低下冲为$p_{\Delta t}^{M}-\|\boldsymbol{p}_{\Delta t}^{\mathrm{ISI}}\|_1$,其中$l_1$范数$\|\ \|_1$表示是内部所有元素绝对值之和。

9.5.2 双边沿响应(DER)法与多边沿响应(MER)法

如前所示,在非线性系统中,对某一位ISI的贡献不仅取决于这一位自身的正负号,而且还取决于其前导位的正负号。例如,单个1的ISI与1之前还有前导1的ISI是不一样的。因此,前面针对SBR所述的最大失真法不适用于DER和MER。有人提出的贪婪算法就是为求解DER下最坏情况数据模板而设计的[18]。这一算法从感兴趣的采样位开始,然后一位一位地回溯,从而找到可能会在采样位处导致最坏情况过冲或下冲的数据模板。遗憾的是,情况与SBR时不同,这一贪婪算法并不是总能求得最坏情况模板。例如,如果一个上升边在采样位引起了-0.1的干扰,因此被选定,那么它就消除了早前一位的一个上升边在采样位处会造成-0.2干扰的可能性。Drabkin等人提出了相类似的算法[19]。但他通过总是寻找边沿响应的本地最大值和最小值,避免了由Lambrecht、Huang和Fox [18]所指出的有关问题。然而,这种算法也只适用于对称或接近对称的上升边和下降边响应,因为必须要确保边沿响

应最小值和最大值的取向是一致的。在类似的情况下，我们将总是选用 SBR 法，而不采用 DER。

本节的其余部分将介绍根据动态规划对 DER 和 MER 进行的最大失真分析[20]，可以在一般应用情况下确保生成最坏情况数据模板。与基于 SBR 的最大失真分析相似，这种方法不仅返回最坏情况眼高，而且给出生成最坏情况眼图的最坏情况输入序列。

其基本思路如下：首先考虑最坏情况下冲。对于第 m 阶 MER，若输入是从 1 到 j 且在第 j 位结束输入的模板 $b_m, \cdots, b_{-1}$，记其在位 M 处所造成的最坏情况累积信号电平为 $A_{b_{-m},\cdots,b_{-1}}(j)$。至于下一位，$A_{b_{-m},\cdots,b_{-1}}(j+1)$，只能要么是 $A_{1,b_{-m},\cdots,b_{-2}}(j)$，或者是 $A_{0,b_{-m},\cdots,b_{-2}}(j)$ 再追加上 b_{-1}。由此产生的关系式为：

$$A_{b_{-m},\dots,b_{-1}}(j+1) = \min\begin{cases} A_{1,b_{-m},\dots,b_{-2}}(j) + (b_{-1} - b_{-2})S_{\Delta t}^{1,b_{-m},\dots,b_{-1}}(N-j) \\ A_{0,b_{-m},\dots,b_{-2}}(j) + (b_{-1} - b_{-2})S_{\Delta t}^{0,b_{-m},\dots,b_{-1}}(N-j) \end{cases} \tag{9.12a}$$

其中

$$\begin{aligned} S_{\Delta t}^{1,b_{-m},\dots,b_{-1}} &= r_{\Delta t}^{1,b_{-m},\dots,b_{-2}} - V_{\text{low}}, \quad b_{-1} > b_{-2} \\ &= V_{\text{high}} - f_{\Delta t}^{1,b_{-m},\dots,b_{-2}}, \quad b_{-1} < b_{-2} \\ &= 0, \quad b_{-1} = b_{-2} \end{aligned} \tag{9.12b}$$

N 是边沿响应的位时宽，$r_{\Delta t}(f_{\Delta t})$ 则是符号相间在相位 Δt 处上升(下降)边的边沿响应。如法炮制，可以给出对 $S_{\Delta t}^{0,b_{-m},\cdots,b_{-1}}$ 的定义。

在初始化时，假定链路是处于稳态的高或低：

$$\begin{aligned} A_{0,\dots,0}(0) &= V_{\text{low}} \\ A_{1,\dots,1}(0) &= V_{\text{high}} \\ A_{\text{others}}(0) &= \infty \end{aligned} \tag{9.13}$$

由于我们是在搜寻导致采样位 M 处出现最坏情况下冲的位模板，那么因为输入位在 M 位处为高，我们可以将 $b_{-1}=0$ 时的 $A_{b_{-m},\cdots,b_{-1}}(M)$ 设置为 ∞。当 $\boldsymbol{A}$ 矩阵元素全部求出后，最小值 $\min(A(N))$ 给出的就是最坏情况下冲。根据 $\min(A(N))$ 值再进行反向追踪，就可以得到最大下冲所对应的最坏情况输入模板。

为了求解导致采样位 M 处出现最坏情况上冲的输入模板，其递归关系类似于前面的算法。只是现在要在初始化时将(9.13)中的 $A_{\text{others}}(0)$ 以及 $A_{b_{-m},\cdots,b_{-1}}(M)$ 设置为 $-\infty$。此外，现在不是求其最小值，而是在式(9.12a)中选择求解其最大值。

采用该算法求出大小为 2^m 乘以 N 的矩阵 $\boldsymbol{A}$ 诸元素，其中 m 是 MER 的阶数(DER 的 $m=1$)，N 是边沿响应的长度。因此，算法的运行时间是 $O(2^m N)$。一般而言，m 比 N 要小得多，因此运行时间大约为 $O(N)$。

使用网格图[21]可以更好地说明这一算法。在网格图中，每个节点对应于给定时刻的一个特定状态，每个箭头表示在下一个瞬间时刻跳转到了一个新的状态。图 9.28 给出了一个网格图的示例。为简单起见，这是一个基于 DER 的示例。所以，只有两种特定的状态($s=1$)和($s=0$)。第 m 阶 MER，状态空间的大小为 2^m。考虑三个后光标位($j=0, 1, 2$)和一个前光标位($j=4$)。

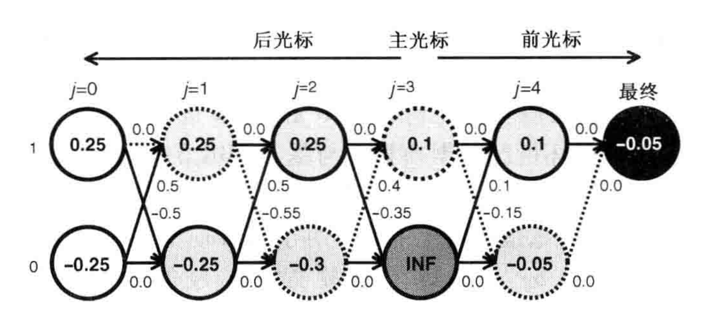


图 9.28 最坏情况模板搜索算法的网格图

如果系统在时刻 j 的状态为 s，那么与每个节点(s, j)相连的数值，就是主位($j=3$)的最坏情况累积信号电平。与式(9.12a)中 $A_{b_{-m},\cdots,b_{-1}}(j)$ 的定义相同，状态 s 为(b_{-1})。例如，可能的初始状态是：DC 高为 1；DC 低为 0。因此，与这两个节点关联的数值分别是 0.25(DC 高)和 -0.25(DC 低)。

我们用这一示例说明如何求解上部眼图的最坏情况模板(例如，设主位是 1，求出在主位产生最低信号电平的最坏情况模板)。因此，节点($s=0$, $j=3$)是无效的，并在图 9.28 中被涂为暗灰色。与 INF(∞)相关联的节点是要确保最佳路径不通过该节点。

与每次跳转相关联的数值，代表该跳转的发生对主位最坏情况累积信号电平的影响。例如，对于从节点($s=1$, $j=0$)跳转到节点($s=1$, $j=1$)，没有出现边沿跳变，因此在主位就没有对最坏情况累积信号电平产生影响。对于(s, j)，从(1, $j-1$)和(0, $j-1$)出发，都是可能的路径。选择产生低信号电平的路径，如图的虚线所示。例如，对于($s=1$, $j=3$)，从($s=1$, $j=2$)出发的路径，形成最坏情况累积信号电平 0.25 的结果，而从路径($s=0$, $j=2$)出发的路径形成最坏情况累积信号电平 0.1 的结果。因此，我们选择从 ($s=0$, $j=2$)出发的路径，如图的虚线所示。顺着虚线走，可以找到最坏情况位模板。与最后一个节点相关联的数值就是最坏情况眼高。

注意，多个路径可以导致相同的最坏情况信号电平。在这种情况下，该算法可以记住所有的选择，或者干脆选择其中之一。在采用 MER 进行表征的时候，该算法并未对系统响应做任何假设。

9.5.3 最坏情况眼图

到目前为止，已经讨论过用于一个采样相位点的最大失真分析。虽然这样做可以得到在一个采样点的最坏情况电压眼图睁开度，但无法得知链路的最坏情况性能，因为链路性能同时取决于电压容限和时序容限。为了得到整个系统的最坏情况数据模板，可以在整个位时宽内的多个相位点进行最大失真分析。这样得到的最坏情况眼图，不仅给出了最坏情况眼图的眼高，而且给出了最坏情况眼图宽度。一个典型的通道是有损和低通的，在整个位时宽内，用较少的几个相位点就可以追寻出眼图的内层情况。对于反射较强的通道，在其响应中表现出较多的高频分量，比起单纯的有损通道将需要更多的相位点。

9.5.4 最大失真分析法(PDA)数值示例

表 9.2 对比了采用 SBR、DER、MER 法仿真所得的最坏情况眼高。此外，还将估计的最

坏情况眼高与相同最坏情况数据模板下采用 HSPICE 仿真所得的眼高加以对比。仿真中使用了先前所介绍的三个示例。在差分信令的情况下，SBR、DER、MER 法是等效的，估计得出同样的最坏情况眼高，且与 HSPICE 的预估非常接近。在所有情况下，我们将 MER 提取的最坏情况数据模板通过 HSPICE 仿真看一下所产生的最坏情况眼图睁开度。在 RDRAM 的示例中，DER 给出了足够的准确度。对于 POD 示例，用一个五阶的 MER 可以实现所要求的准确度。这种情况下的 SBR 和 DER 法，都明显偏离了 HSPICE 的仿真结果。

表 9.2　用 SBR、DER、MER 方法估计得到三系统的最坏情况眼图睁开度估计(单位为 mV)

	SBR/HSPICE	DER/HSPICE	MER/HSPICE
差分信令	604/604	604/604	604/604
RDRAM	785/802	797/803	793/798
POD	434/406	311/396	392/394

如前所述，通常采用最大失真分析法求得链路在采样点处的最坏情况眼高。为了估计出最坏情况眼宽，需要在位时宽内的多个相位点处生成一个最坏情况数据模板，进而提取出最坏情况眼图。图 9.29 针对 7 in 的 FR4 且有两个连接器的背板通道，比较了由一个数据采样点产生最坏情况数据模板；以及由一个单位间隔内 5 个相位点产生最坏情况数据模板的不同眼图情况。针对 5 个相位点生成的最坏情况眼图，产生出比单相位点规模更小的眼图内层，从而给出了一个更准确的系统容限估计。例如，当采用 5 相位点的最坏情况数据模板时，最坏情况眼宽从 125 ps 降低到 103 ps。在中心处的电压容限与单相位点的情况仍然相同；但是它同时获得了最坏情况电压和时序的眼图睁开度。

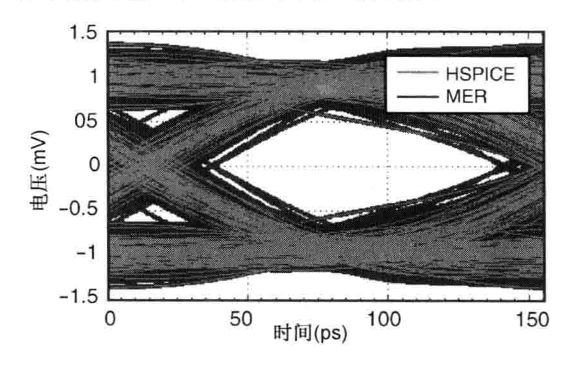


图 9.29　采样点处的最坏情况数据模板以及一个单位间隔内 5 个相位点均匀分布下仿真的眼图(7 in长有两个连接器的FR4背板6.4 Gb/s通道)

9.6　小结

本章提出了一种混合仿真流程，将统计域和时域仿真法混合采用以克服一些统计链路分析法的局限性。通常情况下，快速时域仿真技术是基于单位响应或边沿响应的叠加。在边沿响应法中，多边沿响应(MER)是一种既能提取系统非线性特性又不牺牲仿真速度的方法。它在几分钟内可以仿真数兆(M)位到数吉(G)位，得以在很短的时间内对 ISI 概率分布收集到足够的统计信息。将 ISI 的分布送入统计分析软件(如 LinkLab[22] 和 StatEye[23])，我们就可以有效地估计出具有非线性行为的链路 BER。

此外，本章还介绍了用于 DER 和 MER 的最坏情况模板搜索算法。这种动态规划算法确保能找到以 DER 和 MER 表征系统的最坏情况模板。根据多个相位点提取出的最坏情况数据模板，可以更准确地估计出最坏情况眼图。尽管本章只展示了针对单输入、单输出系统的方法，该方法可以很容易地推广到包括串扰在内的多输入、多输出系统中。

参考文献

1. M. Steinberger, T. Westerhoff, and C. White, "Demonstration of SerDes modeling using the Algorithmic Model Interface (AMI) standard," presented at the IEC Design-Con, Santa Clara, CA, 2008.
2. D. Oh, "Multiple edge responses for fast and accurate system simulations," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2006, pp. 163-166.
3. J. Ren and D. Oh, "Multiple edge responses for fast and accurate system simulations," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 4, pp. 741-748, Nov. 2008.
4. J. Ren, D. Oh, S. Chang and F. Lambrecht, "Statistical Link Analysis of High-speed Memory I/O Interfaces during Simultaneous Switching Events," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2008, pp. 25-28.
5. D. Oh, S. Chang, and J. Ren, C, "Hybrid statistical link simulation technique," *IEEE Transactions on Advanced Packaging*, vol. 1, no. 5, pp. 772-783, May 2011.
6. http://en.wikipedia.org/wiki/Extreme_value_distribution
7. Y. Chang and D. Oh, "Fast ISI characterization of passive channels using extreme value distribution," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2007, pp. 127-130.
8. C.-C. Huang, D. Nguyen, D. Oh, W.-Y. Yip, and D. Secker, "RDRAM channel design with 32-bit 4.8GB/s memory modules," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2002, pp. 19-22.
9. K. Xiao, B. Lee, and X. Ye, "A flexible and efficient bit error rate simulation method for high-speed differential link analysis using time-domain interpolation and superposition," in *Proceedings of International Symposium on Electromagnetic Compatibility*, Detroit, MI, Aug. 2008, pp. 1-6.
10. H. J. Feldman and C. W. V. Hogue, "Probabilistic sampling of protein conformations: new hope for brute force?," *Proteins: Structure, Function and Genetics* 46:8-23.
11. D. C. Sullivan and I. D. Kuntz, "Distributions in protein conformation space: implications for structure prediction and entropy," *Biophysical Journal*, vol. 87, pp. 113-120, July 2004.
12. V. Stojanovic and M. Horowitz, "Modeling and analysis of high-speed links," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Sep. 2003, pp. 589-594.
13. D. Oh and S. Chang, "Clock Jitter Modeling in Statistical Link Simulation," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2009, pp. 49-52.
14. G. Balamurugan, J. E. Jaussi, M. Mansuri, F. O'Mahony, and J. Kennedy, "Modeling and Analysis of High-Speed I/O links," *IEEE Transactions on Advanced Packaging*, vol. 32, no. 2, pp. 237-244, Nov. 2009.
15. J. G. Proakis, *Digital Communications*, 4th ed., Singapore: McGraw-Hill, 2001, pp. 617-618.
16. H.-J. Liaw, X. Yuan, and M. A. Horowitz, "Technique for determining performance characteristics of electronic devices and systems," US Patent 6920402, Mar. 7, 2001.

17. B. K. Casper, M. Haycock, and R. Mooney, "An accurate and efficient analysis method for multi-Gb/s chip-to-chip signaling schemes," in *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 2002, pp. 54-57.
18. F. Lambrecht, C.-C. Huang, and M. Fox, "Technique for determining performance characteristics of electronic systems," U. S. Patent 6775809, Mar. 14, 2002.
19. V. Drabkin, C. Houghton, I. Kantorovich, and M. Tsuk, "A periodic Resonant Excitation of Microprocessor Power Distribution Systems and the Reverse Pulse Technique," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2002, pp. 175-178.
20. T. H. Cormen, C. E. Leiserson, R. L. Rivest, and C. Stein, *Introduction to Algorithms*, 2nd ed., MIT Press, 2001, pp. 323-370.
21. D. J. C. Mackay, *Information Theory, Inference, and Learning Algorithms*, Cambridge University Press, 2003, pp. 326.
22. D. Oh, F. Lambrecht, S. Chang, Q. Lin, J. Ren, C. Yuan, J. Zerbe, and V. Stojanovic, "Accurate system voltage and timing margin simulation in high-speed I/O system designs," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 4, pp. 722-730, Nov. 2008.
23. A. Sanders, M. Resso, and J. D'Ambrosia, "Channel compliance testing utilizing novel statistical eye methodology," presented at the IEC DesignCon, Santa Clara, CA, 2004.

第 10 章　链路 BER 分析的时钟模型

常郁，任继红，Dan Oh

与时令电路相关的抖动，是高速链路中最大的时序误差分量之一。时钟抖动由时钟发生器(PLL)电路、时钟分配(缓冲器)电路产生。时钟抖动的主要源头是电源噪声(见第 14 章和 2.2.5 节)。由于电源阻抗曲线和电路灵敏度是频率相关的，使得由电源噪声引起的抖动是非常有色的。为了求解准确的通道容限，对这一抖动的频域情况建模是至关重要的。在时序技术规范中，时钟抖动传统上被建模为一个额外的抖动项。因为它忽略了时钟和数据信号之间的相关性，从而形成过于悲观的时序技术规范(参见第 6 章)。不同的时令拓扑下，接收器端的数据和时钟信号之间的抖动会相互抵消，从而可以将相当大的时钟抖动忽略不计。对这一抖动抵消的建模需要先进的统计链路仿真器，它可以对数据和时钟通道以及抖动源的频谱建模。

为了说明这一点，下面以一个前传时令系统作为示例。图 10.1 是对通道以及各种噪声源的描述。注意在这一示例的接收器中没有出现锁相环(PLL)。发送器端噪声引起的抖动，对于数据和前传时钟路径而言是公共的。接收端采样器用这一有抖动的时钟对数据信号进行采样则包含相同的抖动，使得发送器抖动在接收器端被抵消。只有当数据和时钟路径的时延相同时才会发生抵消。实际中因为时钟要分配到多个数据引脚，在数据和时钟路径间总有一些错位，要求时延相同是很难满足的。事实上，由于在接收器端的时钟分配网络使得典型的时钟路径通常会较长，导致抖动无法完全抵消。但如果抖动的频率足够低，则时钟对数据的错位可以忽略不计。图 10.1 还给出了几种公共的电源相关噪声源。这些噪声源频率成分的范围从数千赫兹到数百兆赫兹。最后要注意的是，在接收端加入的抖动不能被抵消，因为它只被加到时钟路径上。

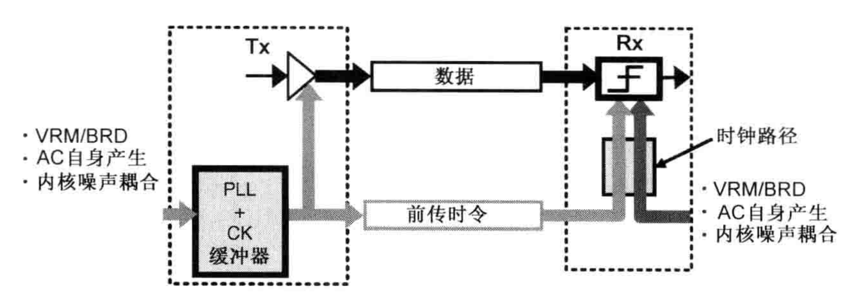


图 10.1　前传时令系统以及各种噪声源

这一示例表明对时钟抖动建模是非常复杂的，因为它需要考虑抖动的频谱、无源数据和时钟通道、片上时钟路径等。事实上，因为数据和时钟通道的抖动放大特性是截然不同的，只有当数据和时钟路径上的抖动放大最小时抖动抵消或跟踪才是有效的。

本章将统计链路仿真框架(参见第 8 章)扩展到对公共时令架构建模[1,2]。首先，将一般

化的关系式(参见 8.2.1 节)修改纳入了一个公共的时钟抖动源(将在 10.1 节中介绍)。这一关系式将等效电压噪声的概念扩展到公共抖动源。由此产生的模型可用于解释在数据和时钟信号之间的任何抖动跟踪。10.2 节介绍公用时令架构的详细模型。10.3 节讨论时钟/数据恢复(CDR)的建模问题。最后的 10.4 节提出一个无源时钟通道的抖动冲激响应模型，并对由于通道 ISI 引起的抖动放大加以阐释。

10.1　独立及公共时钟抖动模型

可以将等效电压噪声数学关系式的概念加以扩展，以包括发送器和接收器所公共的抖动源。一个示例就是用于接收数据的前传时钟。这种情况下的接收器时钟抖动，具有与数据信号相同的抖动源。另一个示例是发送器和接收器共用一个时钟源的公共时钟架构。将这一公共抖动项加入式(8.4)中，可得：

$$y_m \approx y^M + y^{\text{ISI}} + n^{\text{Tx}} + n^{\text{Rx}} + n^{\text{Common}} \tag{10.1}$$

其中，y^M是没有符号间干扰(ISI)的理想接收信号；y^{ISI}是当前采样位置 ISI 值的大小。n^{Tx}和n^{Rx}分别表示独立发送器和接收器时序抖动 $\boldsymbol{\varepsilon}^{\text{Tx}}$和 $\boldsymbol{\varepsilon}^{\text{Rx}}$的等效电压噪声。$n^{\text{Common}}$表示公共源时序抖动 $\boldsymbol{\varepsilon}^{\text{Common}}$ 的等效电压噪声。

可以将式(8.11)和式(8.18)中给出的 n^{Tx}和 n^{Rx}表达式做如下扩展，以包括片上时钟路径的模型：

$$n^{\text{Tx}} = \boldsymbol{a}^{\text{T}}\boldsymbol{W}\boldsymbol{H}^{\text{Tx}}\boldsymbol{J}_M(\boldsymbol{\zeta}^{\text{Tx}})\boldsymbol{\varepsilon}^{\text{Tx}} \tag{10.2a}$$

$$n^{\text{Rx}} = \boldsymbol{a}^{\text{T}}\boldsymbol{W}\boldsymbol{H}^{\text{Rx}}\left(\boldsymbol{\zeta}^{\text{Rx}}\right)^{\text{T}}\boldsymbol{\varepsilon}^{\text{Rx}} \tag{10.2b}$$

其中，$\boldsymbol{\zeta}^{\text{Tx}}$ 和 $\boldsymbol{\zeta}^{\text{Rx}}$ 分别为 Tx 和 Rx 时钟路径的抖动冲激响应(JIF，抖动冲激函数)。$\boldsymbol{J}_M(\boldsymbol{\zeta}^{\text{Tx}})$是将输入抖动转换为驱动器位置抖动的 JIF 矩阵。$\boldsymbol{J}_M(\boldsymbol{\zeta}^{\text{Tx}})$的每一行都是 JIF 的时延版本，这些行与 $\boldsymbol{\varepsilon}^{\text{Tx}}$ 的内积给出驱动器最终的发送器抖动。8.4 节给出了式(8.11)和式(8.18)中其余符号的定义。JIF 的概念将在稍后 10.4 节中加以介绍。

同样，推导出 n^{Common}的表达式也不难：

$$n^{\text{Common}} = \boldsymbol{a}^{\text{T}}\boldsymbol{W}[\boldsymbol{H}^{\text{Tx}} \quad \boldsymbol{H}^{\text{Rx}}]\begin{bmatrix}\boldsymbol{J}_M(\boldsymbol{\zeta}^{\text{Tx}}) \\ (\boldsymbol{\zeta}^{\text{Rx}})^{\text{T}}\end{bmatrix}\boldsymbol{\varepsilon}^{\text{Common}} \tag{10.2c}$$

上述关系式与以前第 8 章的表达式有相同的格式。因此，相同的算法和程序(如 8.4 节所述)也可以用于计算这里的概率密度函数(PDF)。

10.2　公共时令方案建模

式(10.2a)至式(10.2c)给出了可用于任何时令拓扑的一种通用表达式。本节介绍对常用互连系统，如串行链路、并行总线、存储器通道等抖动的明晰建模公式[1,2]。所讨论的时令架构，包括存储器接口(如 DDR、GDDR、XDR、移动 XDR 等系统)和串行接口(如 PCIe、FlexIO、Elastic Interface 等系统)。

首先，推导发送器和接收器输入抖动源的表达式。然后，在时域仿真中用这些表达式做

激励输入源(参见第9章)。最后，推导出统计仿真中的等效电压噪声表达式。本节还对每种时令架构的优缺点给出了简短说明。

10.2.1 基于时钟数据恢复的串行链路

图10.2给出了基于时钟数据恢复(CDR)的系统(参见10.3节基于CDR链路的基础知识介绍)。本节重点介绍基于CDR链路的建模技术。首先考虑发送器抖动模型。如下式所示，Tx的抖动 $\boldsymbol{\varepsilon}^{\mathrm{Tx}}$ 等于输入参考时钟抖动 $\boldsymbol{\varepsilon}^{\mathrm{Ref1}}$ 与Tx时钟路径抖动冲激响应 $\boldsymbol{\zeta}^{\mathrm{Tx}}$ 的卷积：



$$\boldsymbol{\varepsilon}^{\mathrm{Tx}} = \boldsymbol{\zeta}^{\mathrm{Tx}} * \boldsymbol{\varepsilon}^{\mathrm{Ref1}} \tag{10.3a}$$

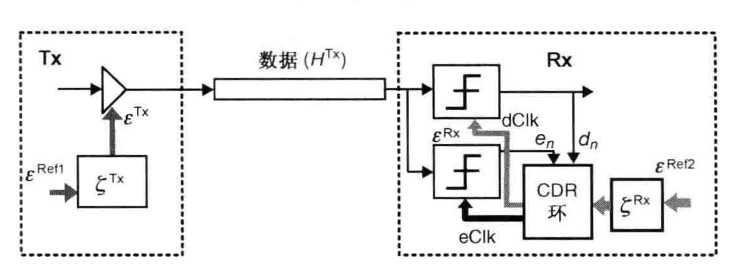


图10.2 基于CDR的串行链路

抖动冲激响应 $\boldsymbol{\zeta}^{\mathrm{Tx}}$，对发送器片上时钟路径建模，其中包括PLL和时钟分配网络。发送器抖动 $\boldsymbol{\varepsilon}^{\mathrm{Tx}}$ 在接收端映射为等效电压噪声，如下式所示：

$$n^{\mathrm{Tx}} = \boldsymbol{aWH}^{\mathrm{Tx}}\boldsymbol{J}_M(\boldsymbol{\zeta}^{\mathrm{Tx}})\boldsymbol{\varepsilon}^{\mathrm{Ref1}} \tag{10.3b}$$

在一个基于CDR的链路中，接收器的采样时钟抖动 $\varepsilon^{\mathrm{Rx}}$，由两部分组成：本地参考时钟引起的接收器时钟抖动 $\boldsymbol{\varepsilon}^{\mathrm{Ref2}}$；CDR相位下标的自抖动 $\varepsilon^{\mathrm{CDR}}$：

$$\varepsilon^{\mathrm{Rx}} = \varepsilon^{\mathrm{CDR}} + (\boldsymbol{\zeta}^{\mathrm{Rx}})^{\mathrm{T}}\boldsymbol{\varepsilon}^{\mathrm{Ref2}} \tag{10.4a}$$

抖动冲激响应 $\boldsymbol{\zeta}^{\mathrm{Rx}}$，是对接收器包括PLL和时钟分配网络在内的片上时钟路径进行建模。需要注意的是：由于CDR会跟踪低频接收器时钟抖动，所以本地接收器的时钟抖动会对CDR的自抖动产生影响。

对于CDR的自抖动行为建模可以在时域完成[5]，或在统计域用一阶马尔可夫链实现(参见10.3.2节对马尔可夫链模型的详细介绍)。本节将用余下的篇幅简要讨论时域模型，并比较时域法和统计域法的优缺点。

在时域仿真中，CDR滤波电路作用于输入的数据和边沿采样，就会生成CDR的相位下标。只要收集到数据和边沿采样，任何额外的接收器时钟抖动都可以添加到CDR相位下标中。通过这样的做法，可以对ISI影响、CDR滤波算法、接收器时钟抖动等自然地进行建模。然而，时域仿真一般是比较费时的。由于位数有限，在时域仿真随机抖动是不切实际的。

另一方面，通过将随机抖动映射为接收器所看到的等效电压噪声，可以获取接收器随机抖动对CDR自抖动的影响：

$$n^{\mathrm{Rx}} = \boldsymbol{a}^{\mathrm{T}}\boldsymbol{WH}^{\mathrm{Rx}}(\boldsymbol{\zeta}^{\mathrm{Rx}})^{\mathrm{T}}\boldsymbol{\varepsilon}^{\mathrm{Ref2}} \tag{10.4b}$$

为了分析这一参考时钟抖动对CDR相位自抖动的影响，可以将等效电压噪声包括在马尔可夫链模型的状态转移概率中(参见10.3.2节)。

只要是在CDR回路滤波器覆盖的一个窗口内噪声和ISI间有很强的相关性，马尔可夫链

模型就能有效地提取出 ISI 和边沿选择算法对 CDR 自抖动的影响，以及 CDR 滤波算法的噪声平均效果。因此，任何位于 CDR 跟踪带宽内的低频抖动分量，都应该在仿真时被仔细地清除掉。

然而，当 CDR 回路迟延(latency)比较大时可能会导致抖动峰值[6]，马尔可夫链模型却无法提取出 CDR 回路迟延的影响。需要用时域仿真去对 CDR 回路迟延建模。遗憾的是，由于时域仿真太慢，用其将随机的抖动和噪声源对 CDR 自抖动的影响建模是不切实际的。图 10.3 给出两倍过采样 CDR 的回路迟延对抖动容差的影响，这里是采用时域 CDR 的 AMI 行为模型(参见第 9 章)进行仿真的。在仿真中采用的通道模型，表示为包括封装和测试走线 S 参数在内的一个简单接收器测试装置。数据率为 6.4 Gb/s。需要注意的是，高频时 CDR 回路迟延抖动容差的影响较小。在低频时大的回路迟延导致较小的抖动容差，使得 CDR 的性能较差。在时域仿真中可以准确地提取出这种时域现象，而在统计域中则做不到。

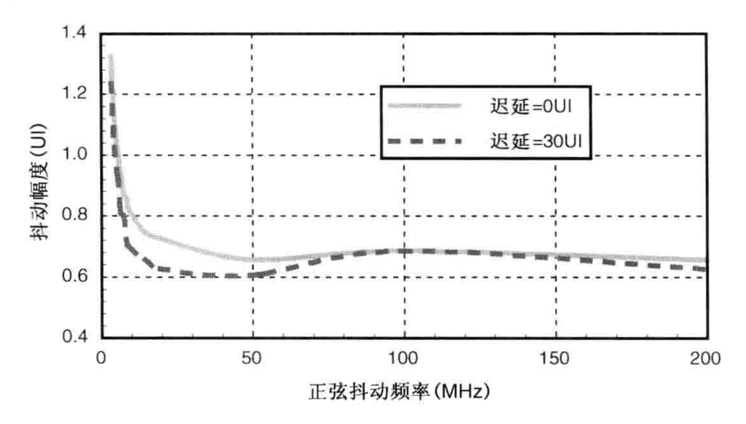


图 10.3　CDR 抖动容差与回路时延

最后，这里给出 CDR 的几个优点：由于 CDR 不需要一个前传的时钟，它需要较少的 I/O 引脚。它还允许 Tx 和 Rx 的时钟频率略有不同。然而，它用到的一个板上 I/O 接口(如并行总线或存储器接口)有如下一些限制：

- 需要采用数据编码提供边沿跳变。
- 数据信号的抖动跟踪仅限于低频(小于 10 MHz)。
- 双向链路的总线往返时间可能相当大。

10.2.2　具有公共时钟源的 PCIe 通道

主板上应用的 PCIe 通道，通常发送器和接收器共用一个时钟源(参见图 10.4)。参照这一框图，可以将时域抖动模型写为：

$$\boldsymbol{\varepsilon}^{\mathrm{Tx}} = \boldsymbol{\zeta}^{\mathrm{Tx}} * \mathrm{TD}(\boldsymbol{H}^{\mathrm{Clk1}}, \boldsymbol{\varepsilon}^{\mathrm{Ref}}) \tag{10.5a}$$

$$\boldsymbol{\varepsilon}^{\mathrm{Rx}} = (\boldsymbol{\zeta}^{\mathrm{Rx}})^{\mathrm{T}} \mathrm{TD}(\boldsymbol{H}^{\mathrm{Clk2}}, \boldsymbol{\varepsilon}^{\mathrm{Ref}}) \tag{10.5b}$$

其中 $\boldsymbol{\varepsilon}^{\mathrm{Ref}}$ 为抖动源，$\boldsymbol{H}^{\mathrm{Clk1}}$ 和 $\boldsymbol{H}^{\mathrm{Clk2}}$ 分别为板上时钟源到 Tx 和 Rx 走线的冲激响应。$\boldsymbol{\zeta}^{\mathrm{Tx}}$ 和 $\boldsymbol{\zeta}^{\mathrm{Rx}}$ 分别是片上 Tx 和 Rx 路径(包括 PLL 和时钟分配网络)的抖动冲激响应。首先，采用 $\boldsymbol{\varepsilon}^{\mathrm{Ref}}$ 和 $\boldsymbol{H}^{\mathrm{Clk}}$ 进行时域仿真以产生抖动序列。在上述关系式中将此操作记为 TD。然后，将此抖动序列与

抖动冲激响应 $\boldsymbol{\zeta}^{\mathrm{Tx}}$ 卷积，计算出最终的抖动序列 $\boldsymbol{\varepsilon}^{\mathrm{Tx}}$ 。最终抖动序列被作为数据信号时域仿真中的发送器抖动序列。可以采用同样的步骤去计算接收器抖动序列 $\boldsymbol{\varepsilon}^{\mathrm{Rx}}$ 。

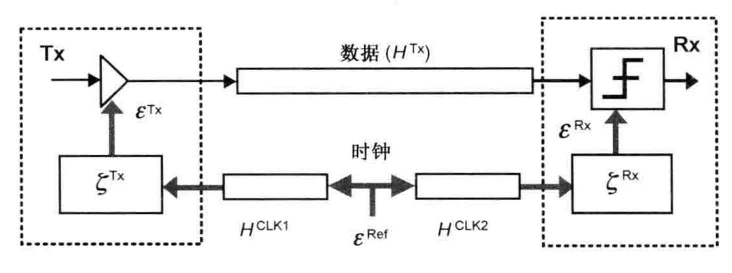


图 10.4　PCIe 通道

关于统计域的抖动模型，由于参考时钟抖动，接收器所看到的等效电压噪声为：

$$n^{\mathrm{Ref}} = \boldsymbol{a}^{\mathrm{T}}\boldsymbol{W}[\boldsymbol{H}^{\mathrm{Tx}} \quad \boldsymbol{H}^{\mathrm{Rx}}]\begin{bmatrix} \boldsymbol{J}_M(\boldsymbol{H}^{\mathrm{Clk1}} * \boldsymbol{\zeta}^{\mathrm{Tx}}) \\ (\boldsymbol{H}^{\mathrm{Clk2}} * \boldsymbol{\zeta}^{\mathrm{Rx}})^{\mathrm{T}} \end{bmatrix}\boldsymbol{\varepsilon}^{\mathrm{Ref}} \tag{10.6}$$

如上述关系式所示，抖动跟踪取决于 Tx 和 Rx 时钟路径之间的时延差，以及 Tx 和 Rx 间 PLL 特性的差异。如果两个时钟路径是理想的(没有任何抖动放大)，并且在 Tx 和 Rx 两端的两个锁相环是相同的，那么可以求解出抖动跟踪的百分比如下：

$$\begin{aligned} \textbf{抖动跟踪}(\%) &= 100 - 100 \times \frac{\delta_{\mathrm{NetRJ}}}{1.414\delta_{\mathrm{InputRJ}}} \\ &= 100 - 100 \times \left[\frac{\int \mathrm{PSD}(\omega)|(1 - \exp(\mathrm{j}\omega\tau_{\mathrm{skew}}))|^2 \mathrm{d}\omega}{2\int \mathrm{PSD}(w)\mathrm{d}\omega}\right]^{0.5} \end{aligned} \tag{10.7}$$

其中，τ_{skew}是 Tx 和 Rx 路径之间的错位。$\delta_{\mathrm{InputRJ}}$表示输入随机抖动，$\delta_{\mathrm{NetRJ}}$表示跟踪后的链路净随机抖动。图 10.5(b)给出不同输入 PSD 的设计曲线。这里采用了图 10.5(a)中给出的简化输入 PSD 响应进行计算。当给定输入噪声带宽和错位时，这些设计曲线可用于估计净抖动。

10.2.3　并行总线接口的时钟前传方案

如图 10.6 所示的时钟前传架构，是板上器件间 I/O 接口(如并行总线以及存储器通道)最常用的时令方案。根据图 10.6，可以将时域抖动模型写为：

$$\boldsymbol{\varepsilon}^{\mathrm{Tx}} = \boldsymbol{\zeta}^{\mathrm{Cntl}} * \boldsymbol{\varepsilon}^{\mathrm{Ref}} \tag{10.8a}$$

$$\varepsilon^{\mathrm{Rx}} = (\boldsymbol{\zeta}^{\mathrm{DRAM}})^{\mathrm{T}} TD(\boldsymbol{H}^{\mathrm{Clk}}, \boldsymbol{\zeta}^{\mathrm{Cntl}}, \boldsymbol{\varepsilon}^{\mathrm{Ref}}) \tag{10.8b}$$

其中，$\boldsymbol{H}^{\mathrm{Clk}}$ 是板上时钟网络的冲激响应。$\boldsymbol{\zeta}^{\mathrm{Cntl}}$ 是片上控制器路径(包括 PLL 和时钟分配网络)的抖动冲激响应；$\boldsymbol{\zeta}^{\mathrm{DRAM}}$ 是 DRAM 时钟分配网络(可能有也可能没有 PLL 或 DLL)的抖动冲激响应。通过简单地将 $\boldsymbol{\varepsilon}^{\mathrm{Ref}}$ 与抖动冲激响应 $\boldsymbol{\zeta}^{\mathrm{Cntl}}$ 卷积产生发送器抖动序列。至于接收器抖动，我们在时域仿真计算发送器抖动序列和时钟冲激响应，以产生 DRAM 处的抖动序列。然后，再将这一抖动序列与抖动冲激响应 $\boldsymbol{\zeta}^{\mathrm{DRAM}}$ 卷积，以计算出接收器采样点处的值。

关于统计域的抖动模型，由于参考时钟抖动，接收器所看到的等效电压噪声为：

$$n^{\mathrm{Ref}} = \boldsymbol{b}^{\mathrm{T}}[\boldsymbol{H}^{\mathrm{Tx}} \quad \boldsymbol{H}^{\mathrm{Rx}}] \begin{bmatrix} \boldsymbol{J}_M(\boldsymbol{\zeta}^{\mathrm{Cntl}}) \\ (\boldsymbol{\zeta}^{\mathrm{Cntl}} * \boldsymbol{H}^{\mathrm{Clk}} * \boldsymbol{\zeta}^{\mathrm{DRAM}})^{\mathrm{T}} \end{bmatrix} \boldsymbol{\varepsilon}^{\mathrm{Ref}} \tag{10.9}$$

在这种情况下，抖动跟踪取决于数据路径和时钟路径(包括 $\boldsymbol{H}^{\mathrm{Clk}}$ 和 $\boldsymbol{\zeta}^{\mathrm{DRAM}}$)间的时延差。通常情况下，板上走线长度的不匹配是比较小的，跟踪主要取决于 $\boldsymbol{\zeta}^{\mathrm{DRAM}}$ 。

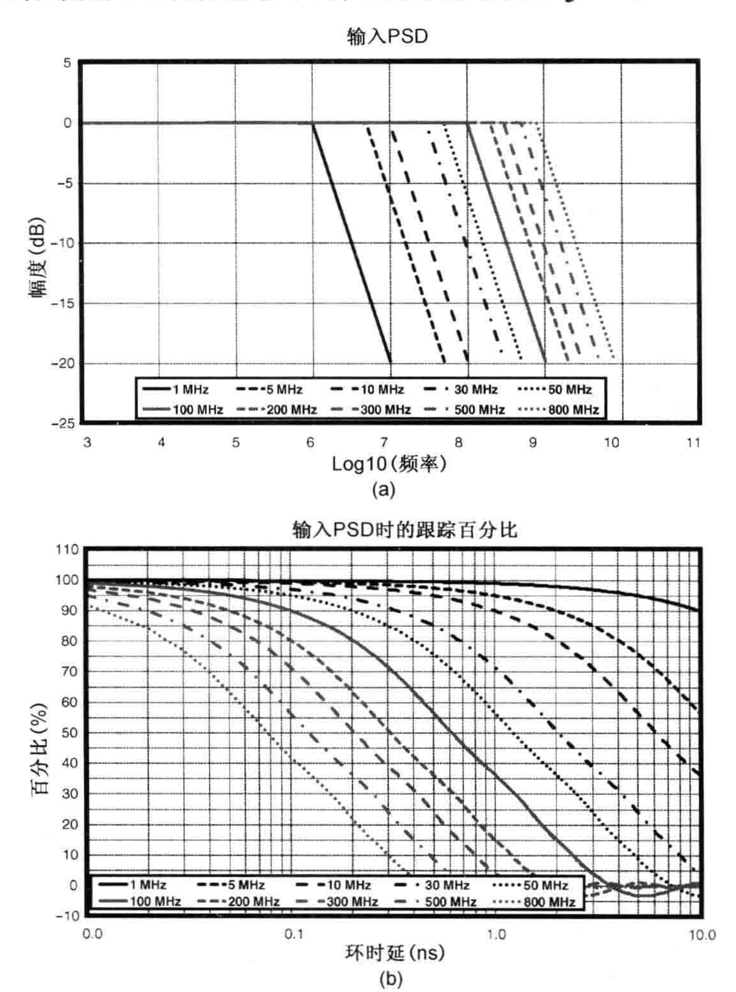


图 10.5　(a) 各种输入 PSD 的带宽；(b) 对应的抖动跟踪百分比是错位的函数

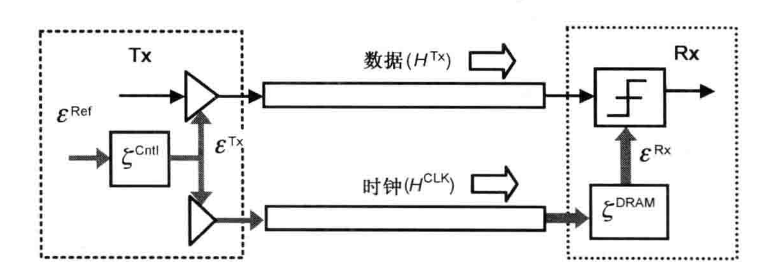


图 10.6　许多并行接口的时钟前传架构(包括的 FlexIO、ElasticIO、DDR、GDDR 系统)

图 10.7 是用有无跟踪时的仿真眼图，展示出前传时钟架构下的抖动跟踪机制。图 10.7(a)假设一个 32 ps(峰-峰值)，50 MHz 的正弦抖动只注入数据路径中，而图 10.7(b)假设将同样大小的正弦抖动同时注入数据和前传时钟路径中。眼图清楚地表明，后一种情况下注入的大部分抖动都被跟踪掉了。

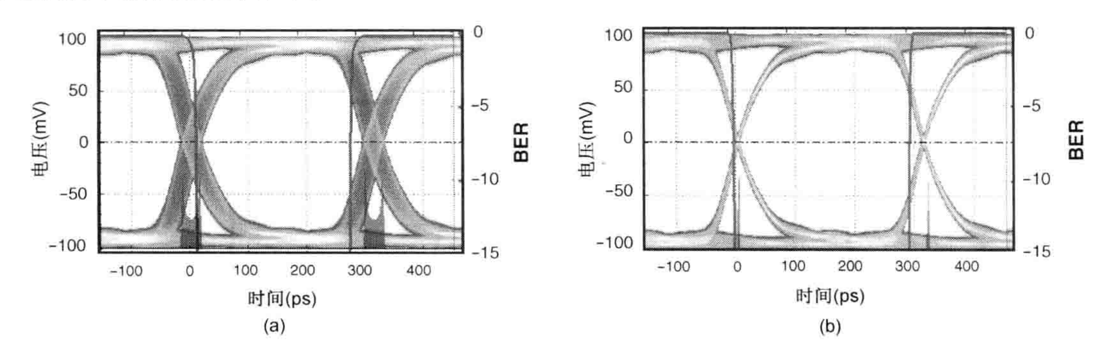


图 10.7 接收到的眼图情况。(a) 理想时钟；(b) 抖动时钟

10.2.4 中等性能 I/O 接口的非对称时令方案

虽然前面所介绍的时钟前传架构给出了优异的性能，但因为它需要一个不断发送时钟信号的发送器使得实现成本相当昂贵。此时位于两端的器件都需要拥有某种类型的时序电路(比如 PLL 或 DLL)。这一点对于成本敏感的应用(比如存储器接口)，可能就成为了一个问题。为了缓解这一成本问题，可以采用另一种非对称的时令方案，只需要在一端接口中拥有时序电路。对于存储器接口，时序电路通常驻留在控制器中。

在进行写操作时，采用如上节所述的一个公共时钟前传方案：控制器前传一个时钟信号以及数据(参见图 10.6)。在进行读操作时，就没有了返回时钟，控制器的内部时钟被用于对 DRAM 传送的数据进行采样(参见图 10.8)。GDDR5 就是率先采用这种不对称时令方案的系统。最近，属于差分存储器接口的移动 XDR，也采取了类似的时令架构[7]。因为读操作时数据和时钟时延之间的错位要明显地大于写操作，保持无源通道长度尽量短对降低错位是很重要的；进而才能够最大限度地在数据和时钟之间实施抖动跟踪。

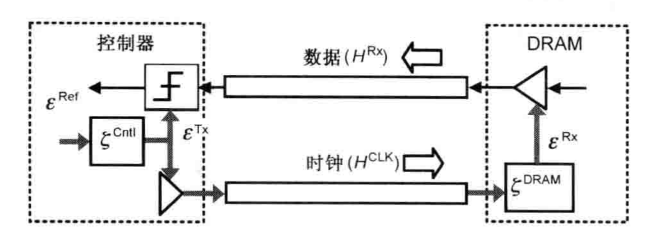


图 10.8 GDDR5 或移动 XDR 接口时钟通道模型的读操作情况

根据图 10.8，读操作的时域抖动模型可以表示为：

$$\boldsymbol{\varepsilon}^{Tx} = \boldsymbol{\zeta}^{DRAM} * TD\ (\boldsymbol{H}^{Clk} * \boldsymbol{\zeta}^{Cntl} * \boldsymbol{\varepsilon}^{Ref}) \quad (10.10a)$$

$$\varepsilon^{Rx} = (\boldsymbol{\zeta}^{Cntl})^{T} \boldsymbol{\varepsilon}^{Ref} \quad (10.10b)$$

在这种情况下，接收器的抖动与写操作情况下的发送器抖动相同。为了计算发送器抖动，在时域仿真出接收器抖动序列。然后，把由此产生的抖动序列与抖动冲激响应 $\boldsymbol{\zeta}^{DRAM}$ 进行卷积。

至于统计域的抖动模型，则是：

$$n^{\text{Ref}} = \boldsymbol{b}^{\text{T}}[\boldsymbol{H}^{\text{Rx}} \quad \boldsymbol{H}^{\text{Rx}}] \begin{bmatrix} \boldsymbol{J}_M(\boldsymbol{\zeta}^{\text{Cntl}} * \boldsymbol{H}^{\text{Clk}} * \boldsymbol{\zeta}^{\text{DRAM}}) \\ (\boldsymbol{\zeta}^{\text{Cntl}})^{\text{T}} \end{bmatrix} \boldsymbol{\varepsilon}^{\text{Ref}} \tag{10.11}$$

考虑到抖动跟踪的因素，当数据和时钟路径之间有较大错位时，这一时令方案将严重受挫。然而，在 DRAM 一端它不需要任何时序电路，所以它的实现成本和功耗都比较低。错位的量直接影响到被跟踪掉抖动量的多少。图 10.9 是一个移动 XDR，其每个链路工作在 3.2 Gb/s。图中给出了用同一 28 ps 的峰-峰值，用 1.5 ns 的错位进行仿真，由不同正弦抖动造成的时序容限损失。正如预期的那样，抖动跟踪的情况取决于源的频谱。在这一示例中，任何低于 150 MHz 的抖动属于在跟踪区内，因为数据和时钟信号的抖动在该频率以下是同相的。从 150 ~ 500 MHz 的抖动是属于在反跟踪区内，因为两个信号的抖动是反相的。

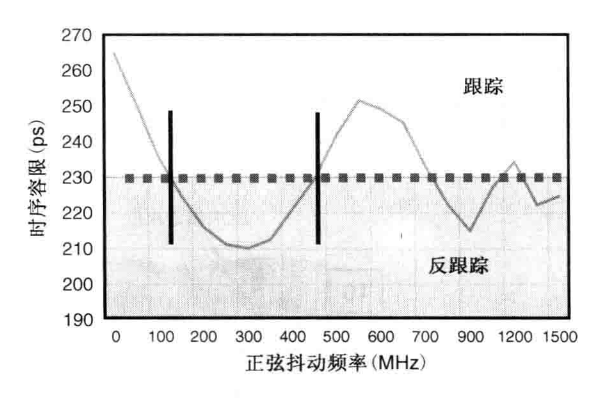


图 10.9　链路容限与正弦抖动

10.3　CDR 电路建模

在串行链路的应用中，通常是从传入的数据流中用时序恢复电路提取出时令信息，这意味着没有与数据信号一起发送明确的时钟信号。这一时令方案对于板外 I/O 接口是特别有用的，其中的两个收发器件可以用不同的时钟源。这样的系统被称为准同步系统。因为是从数据信号中恢复出时钟信号，这种基于 CDR 的系统恢复出时钟的质量是所传输数据信号的一个强函数。因此，对 CDR 的准确建模需要有一个完整的链路模型。本节简要回顾 CDR 的基础知识，包括链路分析中基于马尔可夫链的模型[3,4]。

10.3.1　CDR 的基础知识

图 10.10 给出了在串行链路中普遍采用的两倍过采样 CDR。它用数据采样样本检测跳变；用边沿采样样本检测时序误差。在图 10.10 中，混相器从 PLL 中给出一个相位的固定值。相位控制逻辑则根据对提前或迟到情况的鉴别结果，将混相器的输出加以迟延或超前。

基于数据序列 d_n 和边沿采样 e_n，产生出了有关提前迟到的信息。如图 10.11 所示，这里给出对一个上升(下降)边沿的负(正)边沿采样样本，这就意味着采样时钟相对于

传入的数据是提前了。同样，对一个上升(下降)边沿的正(负)边沿采样意味着采样时钟是迟到了。为了降低高频噪声和ISI对CDR自抖动的影响，我们累积并过滤提前和迟到信息，以便产生相位控制逻辑所需的向上、向下和保持。累积和滤波的程度确定了CDR的带宽。

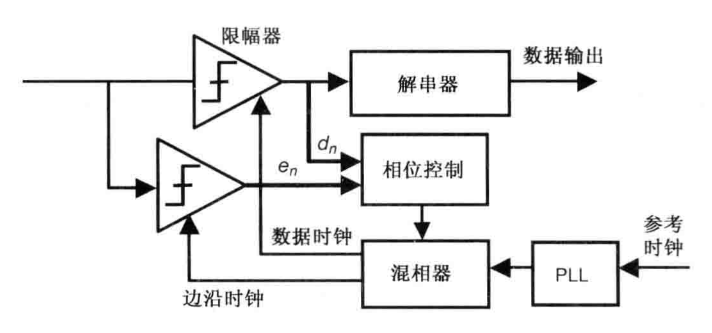


图 10.10 两倍过采样的 CDR

按标称值讲，CDR是锁定在跳变时序分布的均值处，大约有一半边沿的位置比此处提前；另有一半比此处迟到。因此，CDR的标称值是锁定在所有边沿(非归零码)的均值相位过零点处[11]。

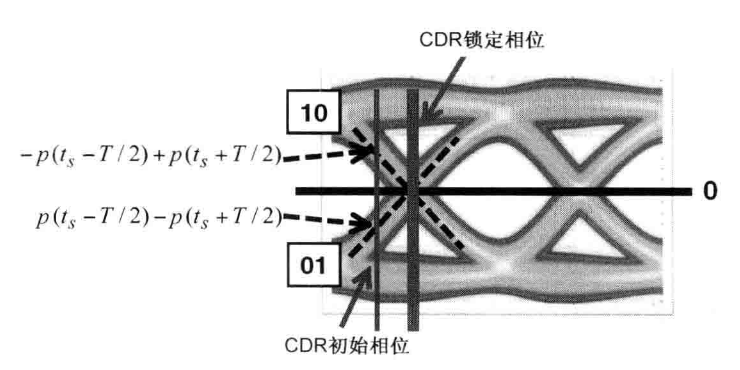


图 10.11 CDR 的标称锁相(图中为 10 和 01 数据跳变)

假设$p(t)$是通道的单位响应，t_s是数据采样相位，a_m是m阶传送符号。在m阶数据采样之前的跳变采样为：

$$z_{m-1/2} = a_m p(t_s - T/2) + a_{m-1} p(t_s + T/2) + \sum_{k=1\ldots} a_{m-1-k} p(t_s + T/2 + kT) \tag{10.12}$$

对于上升跳变($a_m=1$，$a_{m-1}=-1$)，假设输入数据中直流均衡，跳变采样的均值$z_{m-1/2}$为$p(t_s-T/2)-p(t_s+T/2)$(对下降跳变的分析与此相似)。当$p(t_s-T/2)-p(t_s+T/2)=0$，上升跳变的一半属于提前；一半属于迟到，如图 10.11 所示[11]。因此，CDR的标称值锁定在相位t_s，需满足：

$$p(t_s - T/2) - p(t_s + T/2) = 0 \tag{10.13}$$

10.3.2 基于马尔可夫链的 CDR 统计模型

CDR的相位控制逻辑本质上是一个状态机。CDR相位下标从一个变为另一个的概率是由噪声总量以及CDR滤波算法所确定的。这种行为可以自然地被建模为马尔可夫链[3]。本

节将详细介绍基于一阶马尔可夫链的统计 CDR 模型[3]。图 10.12 给出了在马尔可夫链中恢复时钟可能的相位位置。状态之间的跳转受保持、向上、向下等决策的控制，确定将当前相位 i 是维持、提前或推迟。在具有噪声和 ISI 的环境中，对于每一个相位状态，这些跳转都有相对应的概率 $p_{\mathrm{hold},i}$、$p_{\mathrm{up},i}$、$p_{\mathrm{down},i}$。从输入数据和噪声的统计参数中可以求得这些跳转概率。此外，为了增大做出正确决策的概率，设计者通常对提前/推迟决策进行滤波。如果求得每个相位状态的跳转概率，可以组成马尔可夫链的跳转矩阵 $\boldsymbol{T}$。通过迭代求解跳转，可以计算出稳态相位的概率如下：

$$\boldsymbol{p}_{n+1}^{\phi} = \boldsymbol{T} \cdot \boldsymbol{p}_{n}^{\phi} \tag{10.14}$$

其中，$\boldsymbol{p}_{n}^{\phi}$ 是相位概率分布矢量，$\boldsymbol{T}$ 为跳转矩阵，写为：

$$\boldsymbol{T} = \begin{bmatrix} p_{\mathrm{hold},1} & p_{\mathrm{dn},2} & 0 & 0 & \cdots & p_{\mathrm{up},L} \\ p_{\mathrm{up},1} & p_{\mathrm{hold},2} & p_{\mathrm{dn},3} & 0 & \cdots & 0 \\ 0 & p_{\mathrm{up},2} & p_{\mathrm{hold},3} & p_{\mathrm{dn},4} & \cdots & 0 \\ \vdots & \vdots & \vdots & \vdots & & \vdots \\ p_{\mathrm{dn},1} & 0 & 0 & 0 & \cdots & p_{\mathrm{hold},L} \end{bmatrix} \tag{10.15}$$

最后，可以将计算所得每个相位点的概率，建模为接收器采样点的分布(如 10.2.1 节所述)。

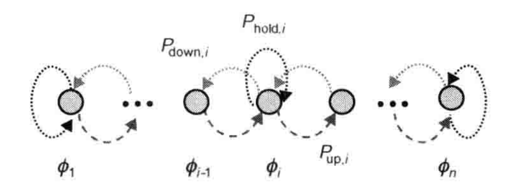


图 10.12　CDR 的一阶马尔可夫链模型

10.3.3　CDR 的模型验证

本节讨论用背板串行链路演示如何对 CDR 模型进行关联验证。仿真和实验环境采用工作在 5 Gb/s、14 层、30 in 的 FR4 背板通道(参见图 10.13)。绘制出以 50 Ω 为参照的电压传递函数(插入损耗的频率曲线)。这一背板串行链路的长度和传输特性都是典型的，100 mil 的背板过孔桩线和 60 mil 的线卡过孔桩线在 2.5 GHz 时造成的插入损耗为 22 dB。

用 DCA-J(安捷伦数字通信分析仪)再次获取发送器的抖动参数，而接收器抖动参数则从电路模型中提取。为了将 CDR 处理模型与真正的行为进行对比，在实验室测量时钟恢复电路中的数据，并收集在指定时间段内的位置信息。图 10.14 给出了对 CDR 相位位置进行实验测量和统计仿真的对比，结果表明它们间有很好的关联度。

CDR 的地位是至关重要的，因为它确定了采样的位置，从而确定了接收器电路的大部分性能。图 10.15 给出了实验测量和 LinkLab 仿真间的性能对比。图中给出一个 30 in 背板通道和一个 16 in 背板走线的结果。这一(± mV)电压容限是在 10^{-15} 的 BER 下定义的。如果将这一电压容限用做接收器额外的补偿，就将会导致 10^{-15} 的 BER。我们基于 BER 为 10^{-6} 以下测量数据的误差函数进行外推。再次表明，仿真生成了对实际链路性能的一个良好估计。

图 10.16 用另外的仿真结果给出了系统电压容限数据，这里采用一个简单的接收器模型，假定位于眼图中心的一个理想采样点位置(而不是采用更完整的 CDR 行为模型)。如图所示，当通道和数据率给定时，包括和不包括 CDR 模型时影响的差异为 ± 5 ~ 19 mV，或

峰-峰值为 10～38 mV。这一差异随频率的不同而不同，而且通道不同也不相同，所以采用简化的同一补偿项可能会导致不准确的仿真结果。

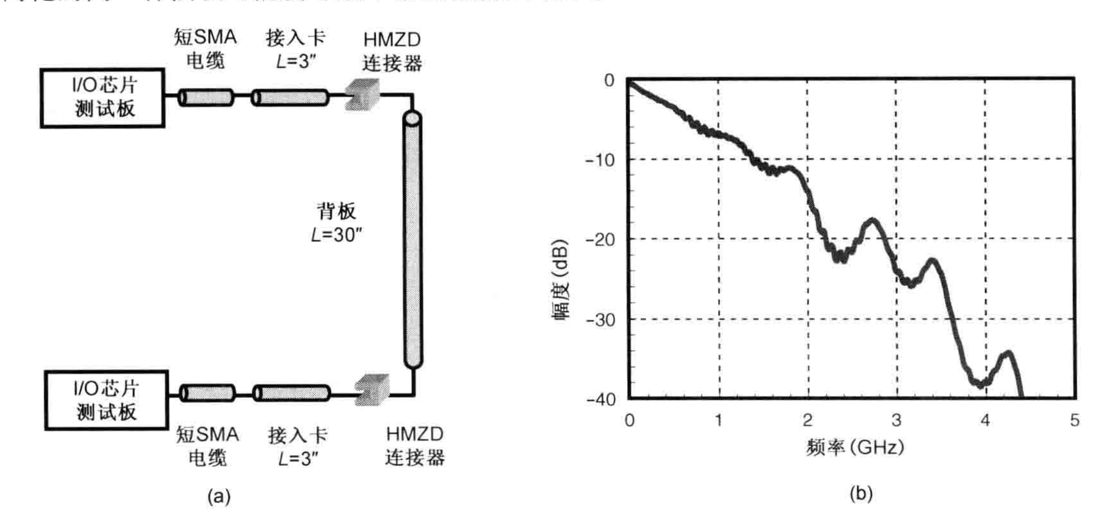


图 10.13　典型高速背板通道及其传递函数

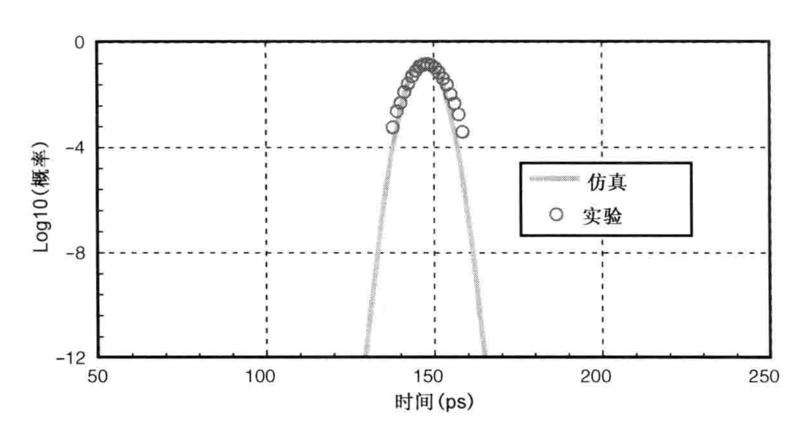


图 10.14　CDR 相位概率的实验与仿真对比

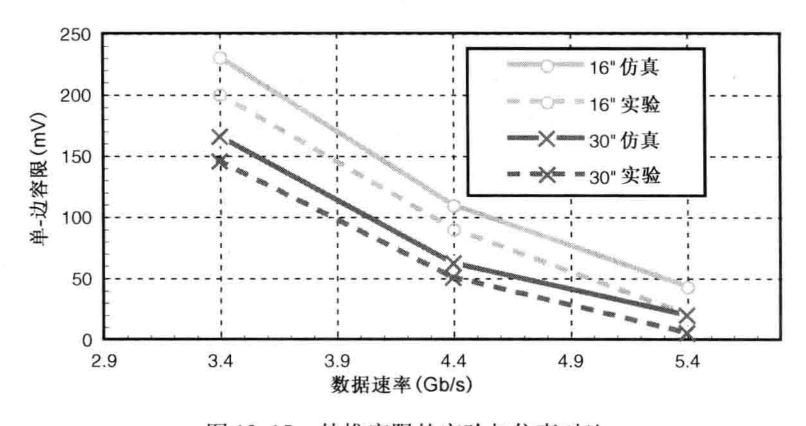


图 10.15　外推容限的实验与仿真对比

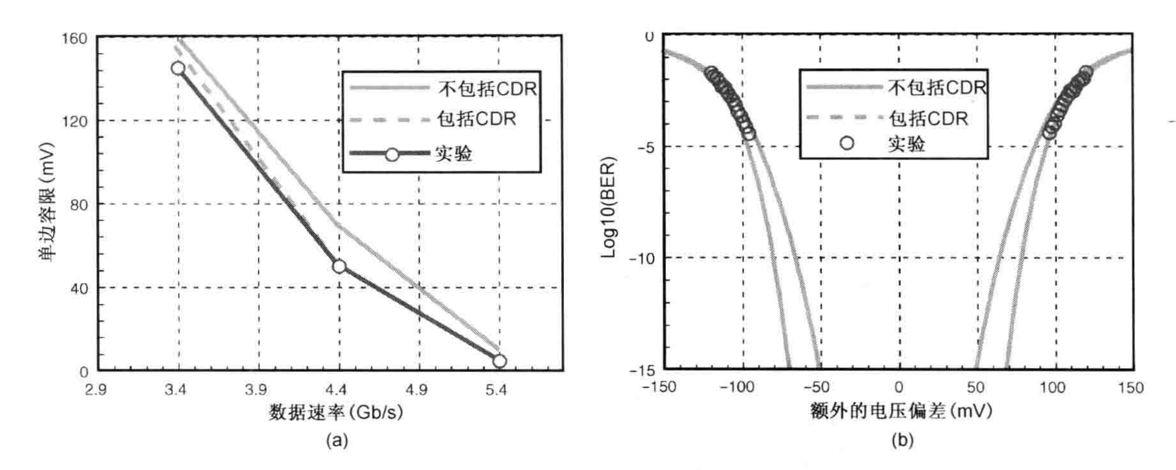


图 10.16 (a) 接收器模型中有/无统计学 CDR 模型时，将容限结果与数据率的关系与实验测量进行比较；(b)在4.4 Gb/s频率点同样3批数据的采样电压浴盆曲线

10.4 无源通道抖动冲激响应与抖动放大

如上一节所述，高速并行接口中的时钟经常是与数据一起前传的。高频时的通道衰减[8~10]明显地放大了时钟的抖动。本节给出一种无源通道抖动冲激响应模型的闭合式[10]，并讨论由通道衰减形成的抖动放大。

与第 9 章中所讨论的一样，输出信号 $y(t)$ 可以表示为逐级延迟的多个通道阶跃响应之和如下：

$$y(t) = \sum_k b_k p(t - kT) = \sum_k (b_k - b_{k-1}) s(t - kT) \tag{10.16}$$

视数据模板的不同，任一边沿的发送器抖动将不同程度地影响到邻近的边沿前后波形叠加情况。等效电压噪声(n^{Tx})是本地抖动以及邻近边沿抖动依照通道阶跃响应在该偏移时刻的斜率按比例转化成主边沿处的电压噪声值。图 10.17 说明了这一点。所有边沿的抖动分量根据相应的信号斜率(S^S)被转换为电压噪声。在叠加波形任一点位置上的总等效电压噪声是所有噪声之和。加上随机抖动引起的加性电压噪声所形成的眼图，比只有 ISI 的眼图更模糊一些。

对于时钟模板而言，在过零点处的等效电压噪声是最重要的。因为通过将其除以过零点处的斜率，就可以转换回总的抖动。将下面的输入时钟模板代入发送器等效电压噪声表达式(8.11)中：

$$\boldsymbol{a}^{\mathrm{T}} = \pm[-1, +1, -1, \cdots] \tag{10.17}$$

可得：

$$n^{\mathrm{Tx}} = 2\sum_{n=-M}^{N} (-1)^n h_n \varepsilon_{k-n}^{\mathrm{Tx}} \tag{10.18}$$

在这一表达式中，为简单起见将 Tx 均衡忽略。时钟模板在过零点处的斜率为：

$$S^{\mathrm{CLK}} = 2\sum_{n=-M}^{N} (-1)^n h_n \tag{10.19}$$

注意，对于一个准正弦波时钟信号，过零点处的斜率最大。边沿处的输出抖动为：

$$\varepsilon_{\text{OUT}}^{\text{Tx}} = \frac{n^{\text{Tx}}}{S^{\text{CLK}}} = \frac{\sum_{n=-M}^{N}(-1)^n h_n \varepsilon_{k-n}^{\text{Tx}}}{\sum_{n=-M}^{N}(-1)^n h_n} = \sum_{m=-M}^{N} h_m^{\text{Jitter}} \varepsilon_{k-m}^{\text{Tx}} \tag{10.20a}$$

其中的抖动冲激响应定义为：

$$\boldsymbol{h}^{\text{Jitter}} = [\ldots h_m^{\text{Jitter}} \ldots], \quad h_m^{\text{Jitter}} = (-1)^m h_m \Big/ \sum_{n=-M}^{N}(-1)^n h_n \tag{10.20b}$$

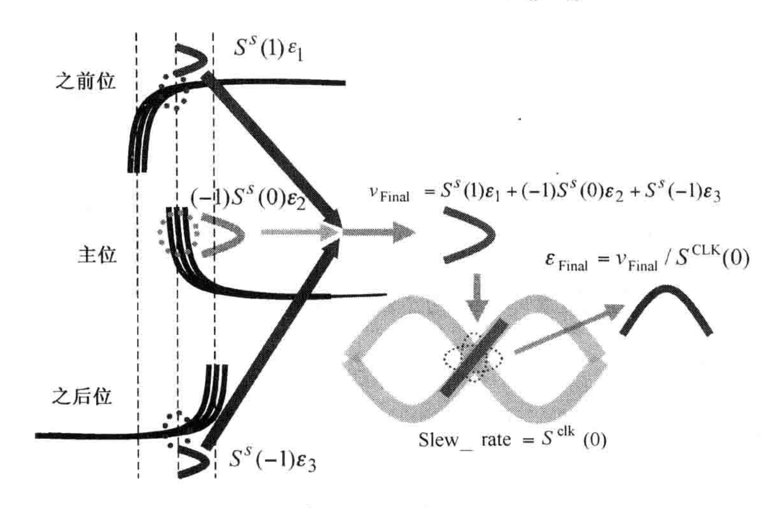


图 10.17 采用阶跃响应的抖动放大图示

可以求解输出抖动的方差如下：

$$\text{var}\left(\varepsilon_{\text{OUT}}^{\text{Tx}}\right) = \left[\boldsymbol{h}^{\text{Jitter}}\right]^{\text{T}} R_{\varepsilon}^{\text{Tx}} \boldsymbol{h}^{\text{Jitter}} \tag{10.21}$$

其中，$R_{\varepsilon}^{\text{Tx}}$ 是输入发送器抖动的协方差矩阵。在考察无源通道对时钟信号的影响时，输出抖动方差表达式是非常有用的。它表明，抖动放大同时取决于抖动冲激响应和输入抖动的协方差矩阵：

- 当输入抖动是一个非常低频的抖动(与通道响应时间相比)时，输出是与输入抖动相同的。没有抖动放大。我们可以将其当成另一种接收器的随机抖动。
- 若无源通道是干净的，抖动传递函数在输入抖动频谱范围内是恒定的。发送器抖动方差没有发生改变，或者说没有抖动放大。仍然可以将其看成另一种接收器的随机抖动。
- 当输入是白色时，输出抖动的方差为：

$$\text{var}(\varepsilon_{\text{OUT}}^{\text{Tx}}) = \text{var}(\varepsilon^{\text{Tx}}) \sum_m | h_m^{\text{Jitter}} |^2 \tag{10.22}$$

- 如果至少有一个 h_m^{Jitter} 的幅度大于 1，输出方差将大于输入方差，呈现出抖动放大。当时钟边沿压摆率小于有 ISI 时通道阶跃响应边沿的压摆率时，就会发生这种现象。对于大多数没有强反射而是以衰减主导的通道情况正是这样。如果一个无源通道具有高反射且时序合适，时钟边沿速率就会大于输入边沿速率。这时由于相关反射形成了抖动抵消，输出抖动的方差则会小于输入抖动方差。

为了对 PCB 长走线的抖动放大进行实验验证，采用安捷伦 N4901B 将高达 12 Gb/s 速率的 1010 模板数据，注入 24 in 长具有 4 个连接器的差分微带线 PCB 测试装置中。采用安捷伦 86100C DCA 测量输入和输出抖动。在 2 ~6 GHz 的范围(基本的时钟频率)内，测量测试装置的差模插入损耗与模型有合理的匹配。然而，因为该模型仅是针对走线，并不包括 SMA 连接器的影响，测试装置在更高频率时的损耗一般较高。尽管如此，图 10.18 显示出统计模型、第 9 章的时域法、对白色随机抖动测量之间相当不错的一致性。图 10.19 给出了抖动冲激响应与 SPICE 仿真的对比。抖动冲激响应的定义是：当输入为冲激(δ)抖动时的输出抖动序列。图中再次表现出良好的关联度。

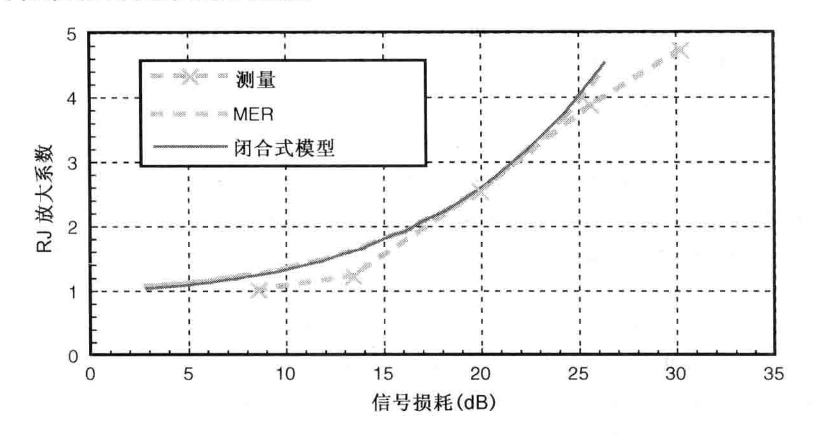


图 10.18　高斯白抖动放大测量、MER 仿真、闭合式模型的对比

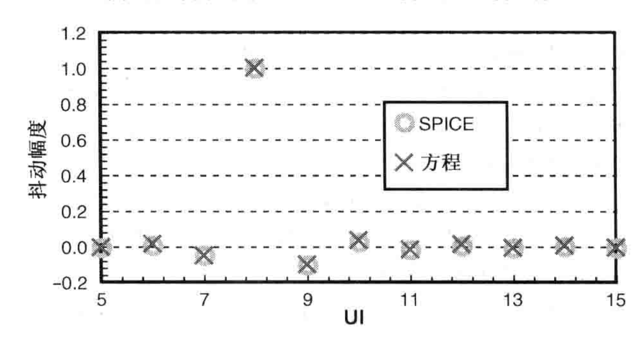


图 10.19　抖动冲激响应与瞬态仿真的对比

10.5　小结

对时钟的准确建模在现代高速链路分析中是至关重要的，因为时令电路的贡献是最主导的抖动分量之一。一种对时令抖动的蛮力预算方法，不考虑时钟对数据抖动的跟踪效果，往往会导致比较悲观的结果。本章提出的广义表达式可用于对任何时令拓扑建模。本章还给出如何求解通用串行接口(比如，SerDes 和 PCIe 系统)以及存储器接口(比如，DDR3/GDDR5/移动 XDR 系统)的具体表达式。此外，本章还介绍了每种时令拓扑结构的关键参数，并同时提出了 CDR 和无源通道 ISI 引起抖动放大的模型。

最后，将本章的几个关键点列举如下：

- 时钟抖动是高速接口中最主导的时序误差分量之一。
- 在数据和时钟上的抖动常常可以被抵消掉或跟踪掉。
- 抖动抵消并不是完美的，其有效性取决于时令架构、数据时钟间的错位、抖动的频率。
- 抖动可以被无源通道 ISI 加以放大；然而，低损耗通道(小于 10 dB)中的抖动放大可以被忽略掉。

参考文献

1. D. Oh and S. Chang, "Clock jitter modeling in statistical link simulation," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Portland, Oregon, Oct. 2009, pp. 49-52.
2. D. Oh, S. Chang, and J. Ren, "Hybrid statistical link simulation technique," *IEEE Transactions on Advanced Packaging*, vol. 1, no. 5, pp. 772-783, May 2011.
3. V. Stojanovic and M. Horowitz, "Modeling and analysis of high-speed links," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Sep. 2003, pp. 589-594.
4. D. Oh, F. Lambrecht, S. Chang, Q. Lin, J. Ren, C. Yuan, J. Zerbe, and V. Stojanovic, "Accurate system voltage and timing margin simulation in high-speed I/O system designs," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 4, pp. 722-730, Nov. 2008.
5. M. Steinberger, T. Westerhoff, and C. White, "Demonstration of SerDes modeling using the Algorithmic Model Interface (AMI) standard," presented at the IEC Design-Con, Santa Clara, CA, 2008.
6. J. Kim, "Design of CMOS adaptive-supply serial links," Ph. D. dissertation, Stanford University, Dec. 2002.
7. D. Oh, S. Chang, C. Madden, J.-H. Kim, R. Schmitt, M. Li, C. Yuan, F. Ware, B. Leibowitz, Y. Frans, and N. Nguyen, "Design and characterization of a 12.8GB/s low power differential memory system for mobile applications," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2009, pp. 33-36.
8. S. Chaudhuri, W. Anderson, J. Bryan, J. McCall, and S. Dabrai, "Jitter amplification characterization of passive clock channels at 6.4 and 9.6Gb/s," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2006, pp. 21-24.
9. C. Madden, S. Chang, D. Oh, and C. Yuan, "Jitter amplification considerations for PCB clock channel design," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2007, pp. 135-138.
10. S. Chang, D. Oh and C. Madden, "Jitter modeling in statistical link simulation," in *Proceedings of International Symposium on Electromagnetic Compatibility*, Detroit, MI, Aug. 18-22, 2008, pp. 1-4.
11. J. Ren, H. Lee, B. Leibowitz, Q. Lin, R. Ratnayake, K. Kelly, V. Stojanovic, D. Oh, J. Zerbe, N. Nguyen, "Performance comparison of data-based equalization and edgebased equalization for transmitter and receiver," presented at the IEC DesignCon, Santa Clara, CA, 2007.

第Ⅲ篇

电源噪声与抖动

第 11 章　电源完整性工程综述

第 12 章　SSN 的建模与仿真

第 13 章　抑制 SSN 的编码与信令

第 14 章　电源噪声与抖动表征

第 15 章　衬底噪声引起的抖动

第11章　电源完整性工程综述

Ralf Schmitt

高性能的电子系统需要高品质的电源系统，以充分发挥其潜力。一个理想的电源网络为系统中的所有构件提供一个恒定的标称电压值。无论温度、运行或其他系统构件如何干扰，这一电压值要一直维持不变。在仿真（比如采用 SPICE 电路仿真软件）时，这一理想的电源被建模为具有理想直流电压源的一个全局供电节点。在实际中，随着时间推移，电源电压会因为环境的改变（如温度漂移）、电路运行状态的改变（造成电流消耗的变动），以及其他系统的干扰而出现变化。此外，在任一给定时刻，系统中不同构件的电源电压也会由于局部环境、局部电流损耗、局部电流路径的不同而存在差异。为了确保所设计电子系统的功能和性能，必须考虑这类电源的变异，包括电源电压随时间的推移偏离电压标称值，以及不同构件电压值不同的情况。

随着时间的推移，电源分配网络（PDN）的设计已经越发具有挑战性。自20世纪90年代初开始，单个器件的功耗增大了近两个数量级（从每个器件几瓦特至今天的100多瓦特），而电源电压则从5 V降低为略大于1 V，这使得电源电压波动的余地变得很小。另外一个挑战是现代电子元器件形成宽频谱的供电电流。今天电子元器件的内核频率可以超过3 GHz，高速接口系统则工作在数Gb/s的范围，所形成供电电流的频谱分量远在10 GHz以上。因此，我们所设计的电源分配网络频率范围必须是“从直流到白光”。

为了应对这些挑战，人们从20世纪90年代就开始对电源分配网络分析和设计的系统方法学进行研究开发。在优秀的教科书中可以找到过去20多年的研究成果[1~3]。然而，即使采用电源完整性工程的最新成果，提供稳定的电源变得越发困难。这是因为工艺技术在持续改进，而封装设计则保持相对不变。这一点对于I/O接口设计尤其严重。因为当I/O速度提高时，要在更高的频率上配送稳定的电源，使得现有的封装更加表现出其电感性。因此，电源噪声是现代高速接口设计的主导噪声源之一。

本章的主要重点是讨论电源噪声对信号质量的影响。首先，介绍电源完整性工程的基础知识。包括讨论PDN设计的指标，以及对PDN中不同构件电源噪声指标的预算。其次，提出PDN的建模技术，讨论实际分析步骤中对准确度和复杂度之间的权衡折中，演示不同PDN构件之间的相互作用。最后，对PDN设计方法学以及PDN不同构件解决方案间的权衡折中技术做一归纳。

第12章将探讨对同时开关噪声（SSN）的建模与仿真方法学。基于改进物理设计的SSN抑制技术，是非常具有挑战性的（或至少是非常昂贵的）。另一方面，基于总线编码技术的架构或信令电平解决方案，其性能价格比则是更好的。第13章将概述这些编码技术。电源噪声引起的抖动在高速链路设计中占有重要的地位。第14章将讨论电源噪声引起抖动（PSIJ）的建模方法学。在第15章中，衬底噪声建模方法学将经由公共衬底耦合的噪声进行量化表征，衬底噪声是片上系统（SOC）设计中的一个关键问题。

11.1　PDN 的设计指标与电源预算

在一般情况下，电源噪声对电子系统尤其是接口系统的性能具有显著的影响。电源噪声在接口链路中产生时序波动，从而引起抖动并降低接口系统的时序容限。如果电源噪声较大，它也会引起信号失真，从而降低了接口系统的电压容限，并最终导致系统功能失效。电源分配网络必须给出足够优质的供电，以确保电子系统的功能和性能指标。

图 11.1 给出了一个系统构件中可能出现的电源电压范围及其波形采样。电源电压随着时间围绕着一个平均电压值上下变化。该均值不同于标称的电源电压值，这可能是因为稳压器模块中的元器件容差，或者是电源路径中电阻引起的压降所致。

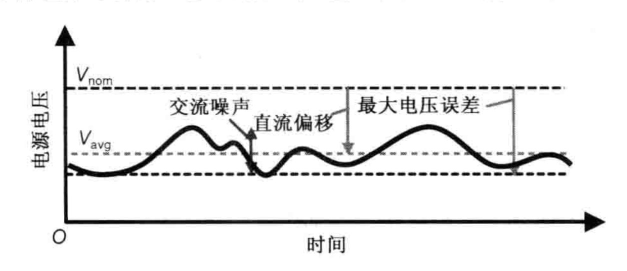


图 11.1　一个系统构件的电源电压随时间波动示例

设计的芯片器件，应能在工艺、电压、温度(PVT)三种参数的波动范围内正常工作。这就需要进行大量的仿真，以验证该器件的功能是否正常，仿真将涵盖器件在运行中可能遇到 PVT 参数的任意组合。仿真的电压范围覆盖器件电源电压值整个可能的范围，包括直流偏移和交流噪声。在各种运行状态下，将电源电压保持在这种预定义的电压范围内，是 PDN 设计的主要指标之一。

然而，只是满足“电压范围”这一要求，并不一定能确保系统的性能。对 PVT 波动范围进行的仿真也只是验证了该电路能在任何指定的电压范围内功能正常。然而，这些仿真假定了一个随时间推移的恒定电源电压。在这些 PVT 临界仿真中并未包括电源电压沿时间轴的变化(如图 11.1 所示的交流电源噪声)。这种变化会导致电路构件的时延波动和信号波形失真。例如，电源噪声(交流电源噪声)引起抖动(PSIJ)，是电子系统中抖动的主要源头。PSIJ 将限制器件能达到的时钟频率，以及 I/O 接口系统中的数据率。系统性能对交流电源噪声的灵敏度，往往是噪声本身频率的强函数。同样幅度、不同频率的电源噪声对系统性能的影响会很不相同。PDN 设计，必须通过控制交流电源噪声的量级将容限的损失限制在可接受的水平以内。一般情况下，基于系统对不同频率噪声的灵敏度，相应的交流噪声指标也是与频率有关的。

11.2　电源预算的分量

电源预算就是指定出系统的最大电源电压范围和交流电源噪声。通常情况下，根据对系统设计中物力成本/人力投入的分析推导出该预算。例如，指定一个严格紧缩的电源噪声指标一般将会使得元器件的设计简单化，因为电路只需在一个较小的电压范围内，且为电源

噪声引起抖动预留较小时序容限的情况下实现功能要求。然而，这样做的同时，必然增大PDN设计的复杂度，将需求更多的资源(如电容器、封装和PCB的电源平面、芯片上额外的焊盘和金属层)，从而增大了电源系统的实现成本。由于系统设计的约束，例如：空间受限、外形尺寸、热设计需求、特别是系统成本(这往往是最重要的设计约束)等，许多这一类的资源是受限的。电源预算必须通过优化系统的设计从而定义出电源噪声的指标。优化设计就是在满足设计约束的前提下，对整个电路及系统电源分配网络的实现物力成本和设计人力投入间进行的权衡折中。

图11.2给出了一个典型电源分配网络中的各个构件。它表明了在设计电源系统时所面临的一些挑战。电源分配网络中许多不同的构件对应设计层次的不同级别：稳压器、PCB及其去耦电容器、封装、芯片本身的电源分配网络。如图11.3所示，这里的每个构件往往在不同的频率范围内为电源系统增添失真。PDN上所有失真叠加的结果，决定了这一链条末端的电源质量，而接口系统的性能将与其密切相关。在设计电源系统时，必须确保由PDN所有构件累积起的电源噪声要满足设计的指标。

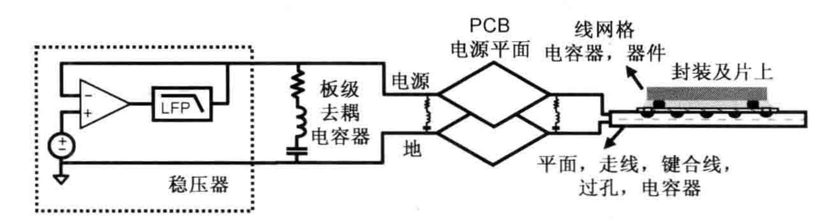


图11.2 典型电源分配网络原理图

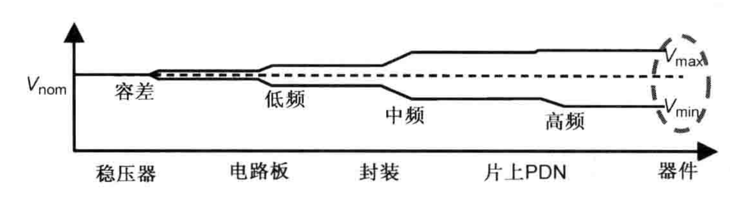


图11.3 沿PDN路径的电源波动积累

电源系统设计师面临着各自特殊的挑战——在大多数的系统设计中，不同的团体或者是公司设计着不同层级的PDN。片上电源分配网络设计通常是由芯片设计团队承担的；该团队不同于封装设计团队；在大多数情况下更不同于系统(PCB)设计团队。必须控制每一个设计层级对噪声的贡献，以满足对电源路径末端的电源噪声指标。电源预算不仅要定义在电源路径末端的电源噪声指标，它也要指定在系统层次结构中每一层级所要满足的指标。

因此，电源预算有两个目的。

其一是它要为系统中的器件指定电源噪声的指标。这就是说它要指定PDN路径末端的电压范围(V_{max}和V_{min})（即该系统工作必须正常的电压范围），以及确保系统性能的可接受AC噪声频谱。

其二是电源预算要将电源噪声的指标分解成各自的技术规范(让每个PDN构件都有一个)。要做到这一点，预算要均衡对不同构件的约束，以便对电源网络实现中的设计人力投入和系统成本进行优化。

位于不同设计层级的PDN构件往往分别占据不同频率的主导地位，这一事实使得将电

源噪声预算分解为构件级指标的任务更加容易一些。表 11.1 列出了典型 PDN 中的各个重要构件对系统中电源噪声的贡献。该表表明每个主要构件只在有限的频率范围内对电源噪声有贡献，PDN 不同构件频率范围之间的重叠是有限的。

表 11.1 PDN 构件对系统级电源噪声的贡献

PDN 构件	噪声分量	主导频率范围	备 注
VRM + 体电容器	VRM 容差，负载漂移响应	直流至小于 10 kHz	可能是故意波动(如 VID，AVP)
PCB + PCB 电容器	IR 压降，低频 AC 噪声	直流至小于 100 MHz	主要的影响通常限于 1 kHz 至 10 MHz
封装	中频交流噪声	1 ~ 250 MHz	封装/芯片响应
片上	片上 IR 压降 高频交流噪声	直流 大于 100 MHz	与位置有关

稳压器模块(VRM)和 PCB 上的体电容器主导了直流偏移和频率低于 10 kHz 的电源噪声，这通常是由系统功耗的主开关切换引起的。低频事件的一个示例是一个主要的系统构件从“待机”到“激活”模式，导致 PDN 系统的一个阶跃响应。由 VRM 输出提供的标称电压，有时也会表现出一种故意性波动。例如，在采用电压标识(VID)码的系统中，标称的电源电压值取决于最初器件测试时确定并存储于器件内的一个 VID 编码。在系统启动过程中，系统读取该编码并根据这一编码，对 VRM 的标称电压进行调整以满足系统对速度和功耗的要求。

值得注意的是，为了达到给定的速度指标，在慢工艺临界制造的器件比快工艺临界制造的器件需求一个高一些的电源电压。

VRM 输出电压另一个故意性波动的示例是自适应电压定位(AVP)，其中 VRM 的输出电压取决于当前的系统功耗。与 VID 的设置相反，随着时间的推移，在系统工作的过程中 AVP 一直在改变着电源电压，这就形成一个低频的交流偏移。

通常，PCB(及 PCB 上安装的电容器)主导着在 1 kHz ~ 10 MHz 频率范围内的电源噪声。由于 IR 压降，PCB 也会对直流偏移有轻微影响。但是，这种影响通常是比较小的，而且如果有必要，可以根据从电源路径末端的器件连接到 VRM 的反馈检测线加以补偿。确定安装 PCB 电容器的最佳容值、类型、数量、位置等，是电源设计方法学的主要关注点。

器件封装在比较窄的频带范围内影响电源噪声，但由于存在“封装/芯片谐振”效应的缘故，这一频带往往是最关键的。当封装/芯片谐振发生时，封装电源电感连同 PCB 环境对电感的贡献，与片上电源分配系统的电容形成 LC 谐振。当被系统激励时，这一谐振将产生过量的电源噪声，必须在 PDN 设计中小心地加以控制。封装/芯片的谐振频率及幅度取决于 PCB、封装的电源设计以及片上的电源网络。这是不同设计层级电源设计构件之间相互作用的一个很好示例。必须优化每个对噪声有贡献的 PDN 构件以控制这一电源噪声分量。

最后，片上电源分配网络对电源噪声的贡献主要有两个截然不同的频率范围：直流和高频(大于 100 MHz)。片上导线由于非常薄的片上金属层呈现出高电阻性，在片上的电源网格上形成电阻性电压损失(IR 压降)。与 PCB 和封装上的 IR 压降不同，片上 IR 压降是位置相关的。也就是说，一些离焊盘较近的电路可能会看不到 IR 压降，而远离电源焊盘的其他电路遭遇到最大可能的 IR 压降。因此，通过提高标称电压对片上 IR 压降进行补偿(比如采

用一个反馈检测线到 VRM)是不可能的。此外，片上电路的开关活动产生了高频电源噪声，通过采用片上电容器加以控制。片上电源系统的电容，同时也将影响到前述封装/芯片中频谐振时的电源噪声。

对电源噪声构件分量的这一总览表明，对于大多数频率范围，是单一的 PDN 构件主导了电源系统的响应。这就允许以最小的重叠或与其他构件的最小相关性，为每个 PDN 构件定义出技术规范。这里的一个例外就是发生封装/芯片谐振的中频范围。这时，几个不同设计层级的 PDN 构件相互干扰，从而需要为所有涉及的构件给出一个协调一致的技术规范。

11.3 电源预算的推导

电源预算的推导是一个反复迭代的过程，在这一过程中要均衡以下几方面的设计需求：

- 定义出用合理的人力投入和成本就可以实现的系统电源噪声指标。
- 为电路工作定义出一个严格合理的电源电压范围。如何确保当电源范围增大时在整个电源范围内的工作功能正确，已经变得越发具有挑战性而且在面积和功耗方面往往更加昂贵。
- 验证由于电源噪声引起的容限损失是可以接受的，并在系统的容限预算中给出解释说明。

表 11.2 给出了一个电源预算的示例。它还给出了在预算编制过程中所用的计算参数，用于验证这一预算满足了前面列出的要求。图 11.4 给出了一个推导如表 11.2 所示电源预算的一个预算过程流程图。

表 11.2 电源指标预算示例

构件分量	直流偏移 (% V_{nom})	交流噪声 (% V_{nom})	频率(MHz)	最大噪声 (% V_{nom})	PSIJ 灵敏度 (%UI/% V_{nom})	PSIJ (%UI)
片上 IR 压降	0/−4	0	直流	0/−4	0	0
VRM/PCB，低频噪声	±3	±2	<1	±5	<0.5	±1
封装/芯片响应，中频噪声	0	±4	1 MHz…500 MHz	±4	<2.0	±8
高频噪声	0	±4	>500 MHz	±4	0.25	±1
总预算	+3/−7	±10		+13/−17		±10

11.3.1 将电源噪声范围划分为构件噪声分量

将电源失真的范围划分为分别受电源分配网络中不同构件控制的不同噪声贡献频率范围。表 11.2 中的示例定义了以下 4 个噪声构件分量：

- 片上 IR 压降，受片上电源网格设计所控制。
- VRM/PCB 低频噪声，受系统/PCB 级电源设计所控制。
- 封装/芯片谐振(中频噪声)，由封装设计、高频 PCB 去耦、片上去耦所主导。
- 高频噪声，受片上去耦和电源网格设计所控制。

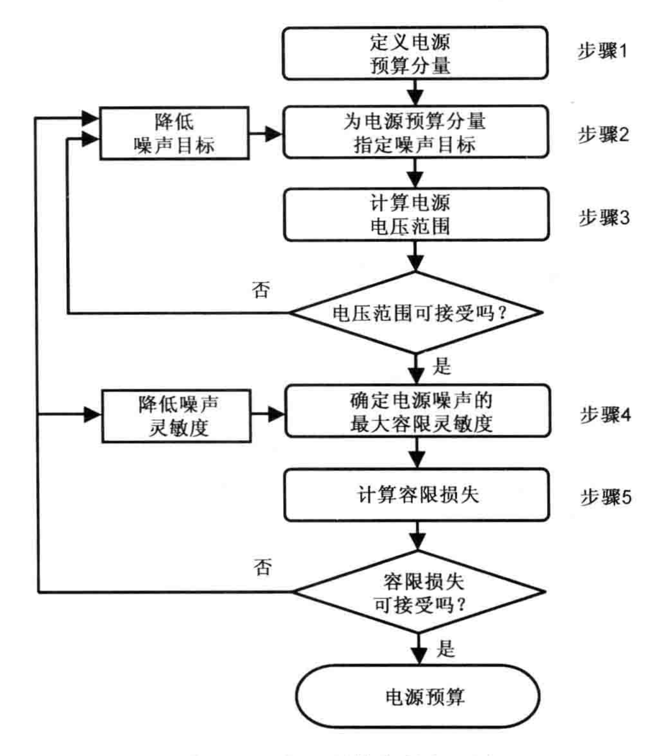


图 11.4 电源预算编制流程图

表 11.2 所示的预算构件分量，是电源预算时分量个数最少的情况。定义更多的预算分量，将电源噪声构件分量划分为更细、更小的子分量也是有可能的。例如，可以将 VRM/PCB 的低频构件分量就可以划分为下列子分量：

- VRM 的直流偏移。
- VRM 的交流噪声（对负载的响应、热漂移等）。
- PCB 上的自生噪声。
- PCB 上其他电源轨道的噪声耦合。

每一个电源噪声预算构件分量，为相应的电源分配网络构件提出了控制这一指定噪声分量的设计指标。

11.3.2 为预算分量指配噪声指标值

为每个电源预算分量指定出直流偏移、交流噪声、频率范围等指标值。这些噪声指标值以后将成为电源分配网络的设计技术规范。

11.3.3 计算电路工作所需的电源电压范围

基于各电源预算分量的噪声指标值，可以计算出在系统电路中预估的噪声总量以及电源电压的范围。所设计的电路要在此范围内任何电源电压下都能满足系统的技术规范。

如果经过合理程度的人力投入，电路设计在这一电源电压范围内仍然不能满足系统的技术规范，那么就可以对电源预算分量的指标值进行修正更新。返回图 11.4 的步骤 2，降低

系统的最大电源噪声范围。电源预算过程可能要在步骤 2 和步骤 3 之间会重复几次才能指配出一个噪声指标，进而为电源分配系统设计形成一个可接受的技术规范；为电路设计形成一个可接受的电源电压范围。

11.3.4 将电源噪声范围划分为不同的噪声分量

为表 11.2 中列出的每个电源预算分量，确定出由于在此范围内的电源噪声引起的时序和电压容限损失(为简洁起见，简称为容限损失)。大多数情况下都是如表 11.2 中所列，在电源噪声引起的容限损失效应中，时序损失(即电源引起的抖动)占有主导地位。电源噪声还可能引起其他的容限损失，可以用类似的方式进行跟踪。

由于电源噪声引起的容限损失，往往是噪声频谱的一个函数，并且取决于系统的设计决策(例如，时令架构、将电路划分给不同的电源轨道、电路实现等)。为了估计每个电源预算分量对容限的影响，需要基于仿真或类似系统的实现经验，估计出每个构件的容限对某频率范围内电源噪声分量的最大灵敏度。

11.3.5 计算电源噪声对容限的影响

用构件的容限灵敏度估值以及噪声的指标值，可以计算出由每个电源预算分量引起的最大容限损失。然后，把每个分量的最大容限损失相加，就可以获取总的最大容限损失。如果电源噪声引起的容限损失超出预期的容限预算，要么降低电源噪声引起的容限损失，要么更新容限预算以应对容限损失的增大。有两种方法可以降低由电源噪声造成的容限损失：

- 降低电源预算分量中的噪声指标(参考图 11.4 预算过程中的步骤 2)。
- 通过改变系统的实现，降低容限的灵敏度(参考图 11.4 中的步骤 4)。

需要通过几次反复迭代，就会得到一个满足多方面(包括功能、性能、系统成本等)设计要求的电源预算。

11.4 电源噪声分析方法学

如前所述，一个典型数字系统的电源分配网络跨越三个层级：芯片、封装和电路板。电源分配网络中包含了平面、过孔、走线等各种结构，以及去耦电容器、稳压器模块、片上电源分配网络等电路构件。为了实现高品质的电源电压，必须解决每个设计层级的电源完整性问题。传统上是由不同的设计团队负责电子系统的各种设计层级。大多数情况下，由独立团队负责芯片电路、封装、PCB 的设计，这些构件通过它们之间一组有限的接口边界条件进行通信。尤其是对于高性能系统，这种分离是不可取的。因为系统中的电源噪声，在很大程度上取决于不同系统层级电源网络构件间的相互作用。单独应对每个构件将无暇顾及到相互间的作用，常常会导致不正确的噪声预估。同时，它也忽略了设计中权衡折中的可能性。在许多情况下，电源完整性是由不同设计层级设计决策给出多种解决方案的综合结果。理解这些权衡折中，使得有可能寻找出系统成本与人力投入的最佳解决方案。由于这些原因，电源完整性需要一个系统的协同设计方案，联合电源分配网络的构件设计并去除那些分隔设计团队的传统边界。

11.4.1　电源噪声分量分析

为了将电源噪声对高速接口系统性能的影响建模，我们必须先预估出系统中产生的电源噪声，然后再去理解电源噪声对系统性能的影响。为此，PDN 分析方法学必须解决在电源噪声分析中的以下几个问题：

- 对电源分配网络阻抗建模。
- 对系统中激励噪声的电流波形建模。
- 分析电路对电源噪声的灵敏度。
- 在已实现的系统中，验证电源噪声并预估容限损失。

11.4.1.1　电源分配网络阻抗建模

电源分配网络的阻抗(Z_{PDN})，表征了电源系统对引起电源噪声的电流变化灵敏度。Z_{PDN}是片上电路所看到电源轨道与地轨道之间的阻抗。因此，Z_{PDN}是系统电源配送网络一个重要的优质度(FOM)指标。图 11.5 给出一个系统的 PDN，以及用于测量电源阻抗 Z_{PDN}的端口。

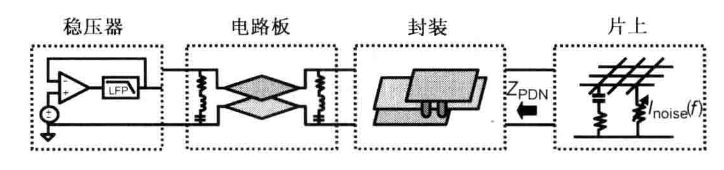


图 11.5　电源阻抗(Z_{PDN})

应用欧姆定律，片上电路所看到电源电压 $V_{circuit}(t)$的计算公式如下：

$$v_{circuit}(t) = V_{nom} - Z_{PDN}(t) * i_{circuit}(t) \tag{11.1}$$

其中，$i_{circuit}(t)$是流过片上电路的电源电流，V_{nom}是稳压模块提供的标称直流电压。

电源阻抗 Z_{PDN}与电路电流 $i_{circuit}(t)$的乘积，就是从片上电路看到从理想标称(直流)值的电压偏移量，即系统中的电源电压噪声：

$$v_{noise}(t) = Z_{PDN}(t) * i_{circuit}(t) \tag{11.2}$$

因为在 PDN 中包含了电感性及电容性的元件，在频域分析这种关系就比较容易：

$$V_{noise}(f) = Z_{PDN}(f) \cdot I_{circuit}(f) \tag{11.3}$$

从式(11.1)至式(11.3)可以清楚地得知：如果电源阻抗降低，系统中的电源噪声将降低。因此，最大限度地降低阻抗 Z_{PDN}是电源分配网络设计的主要指标。

在一个电源阻抗 Z_{PDN}的模型中，包含大量不同设计层级的构件子模型。根据所需的准确度，其中一些构件(例如封装和 PCB 中的电源平面，以及片上的电源网格)可能需要大量的模型元件。如果将 PDN 模型中的每个构件都做成最准确的，那么总的复杂度就会高得难以对整个 I/O 系统电源分配网络进行分析。因此，需要根据某一特定分析步骤中仿真的噪声参数，来管控单个构件模型的复杂度。对于每个分析步骤，适当调整对每个构件准确度的需求。如果某些电源构件的高阶效应对这一特定分析的影响不大，那就采用它的降阶模型。

11.4.1.2　噪声激励电流建模

式(11.3)表明，系统中的电源噪声就是对电路激励电流 $I_{circuit}(f)$的响应。在这一关系式

中，Z_{PDN}和$I_{circuit}$均为频率的函数。在一般情况下，$Z_{PDN}(f)$是时不变的(或者说，在系统工作时不随时间的推移而改变)，然而，$I_{circuit}$则是取决于系统中的状态活动情况，可以是时变的和非周期性平稳的[即随时间推移当状态活动(例如接口中传送的数据模板)改变时，$I_{circuit}(f)$的频谱会不断变化]。

为了预估系统中最坏情况的电源噪声，需要对造成系统最大容限损失的最坏情况激励电流模加以识别并建模。图 11.6 给出了$Z_{PDN}(f)$和$I_{circuit}(f)$的一个示例。

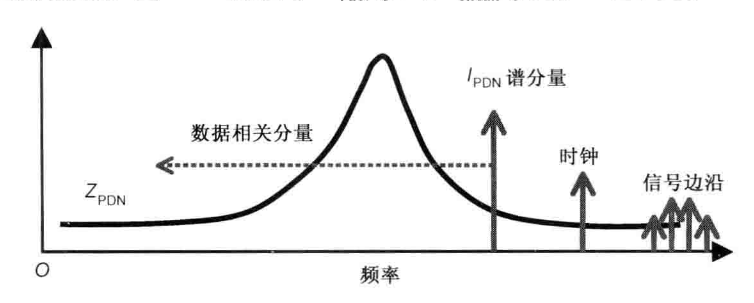


图 11.6 $Z_{PDN}(f)$曲线以及$I_{circuit}(f)$谱分量

可以预期，当激励电流$I_{circuit}(f)$在高电源阻抗频带内的频谱分量较大时，将出现电源噪声幅度的最坏情况。在频域$I_{circuit}$中有一些频率分量通常是恒定的，比如：时钟电流分量、与信号边沿跳变速率相关的分量等。其他分量则取决于系统的活动，例如在接口系统中传送的数据模板。当$I_{circuit}$的数据相关分量激励 PDN 时正好处于Z_{PDN}很大的频带内，将形成电源噪声的最大幅度。

对于给定的电源阻抗(Z_{PDN})，计算一般最坏情况电流曲线的方法有：第 10 章中介绍的广义最大失真分析法；或参考文献[4] Drabkin 介绍的反向脉冲技术法等。然而对于 I/O 系统，由于接口信令协议的缘故，电流曲线只可能是有限的几种。最坏情况激励曲线常常由手工加以构建。

11.4.1.3 对电路噪声灵敏度的理解

电源分配网络的主要设计指标，不是尽量降低电源噪声本身，而是要最大限度地降低电源噪声对系统性能和功能的影响。为了实现这一指标，理解该系统在不同频率对噪声的灵敏度是很有必要的。在许多情况下，电路拒绝某些频率范围内的噪声，但对其他频率的噪声却很灵敏。理解这些灵敏度的现象，使人们有可能把重点放在优化较为灵敏范围内的电源噪声，为每个工作范围确定一个合适的电源噪声指标，并避免在灵敏度较低处对设计的过度约束。电路时序对电源噪声灵敏度的一个典型单位是“时序波动除以噪声幅度[ps/mV]”。

图 11.7 是一个锁相环(PLL)电路的典型电源噪声灵敏度曲线。在低频和高频处，PLL 抖动对电源噪声的灵敏度是非常低的。在这些频率，PLL 可以容忍较大的电源噪声。然而，在中频范围内 PLL 表现出对噪声的较大灵敏度，因此必须保持中频时电源噪声的电平比较低。

在对电源引起的容限损失进行建模时，有两种方案可用以厘清有关电源噪声灵敏度的问题。第一种方案是，在对电源噪声和噪声影响进行建模和分析的过程中，一直拥有系统中所有电路的一个完整详细描述。虽然这是一种非常准确的方法学，但往往导致一个非常复杂的仿真模型，通常只是在对小系统进行分析时是可行的。第二种方案是，先将系统对电源

噪声的灵敏度单独建模，给出一种灵敏度曲线，然后用这一曲线识别出最坏情况的激励。分析最坏激励情况下的电源噪声，并预估由这一噪声引起的容限损失。因为这一方案不会增大分析中所用电源噪声模型的复杂度，所以它适用于大型系统。但是，它需要对系统行为有更深入的理解，并且需要额外的步骤以识别最坏情况激励和容限损失。

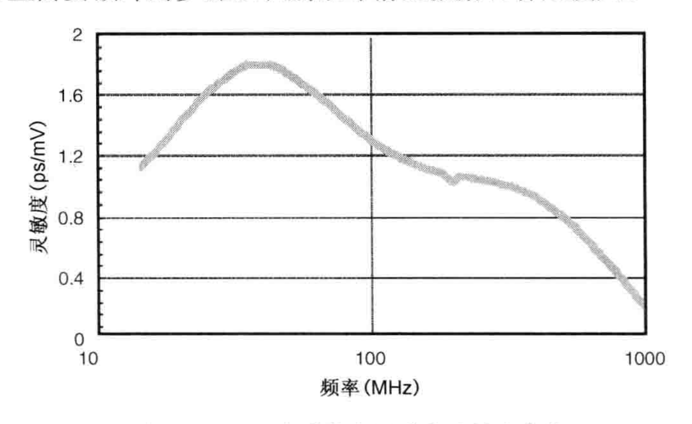


图 11.7　PLL 电路的电源噪声灵敏度曲线

高性能接口系统经常结合采用这两种方案。对于为 PLL 和时钟分配网络等时序电路供电的片内电源轨道，为厘清这一内部电源轨道上电源噪声的影响，可以用布图前仿真的电源噪声灵敏度曲线。第 14 章将详细阐述如何对电源噪声灵敏度建模。接口中输出驱动器供电轨道上的电源噪声，通常包括在 PDN 仿真模型中，归结为同时开关噪声(SSN)事件对电源噪声的影响。当多个输出驱动器在同一时刻开关时，在电源轨道上造成严重的噪声，这就是发生了 SSN 事件。对这种开关噪声建模相当具有挑战性，因为它涉及高频信号建模和中频 PDN 建模(第 12 章将深入探讨这一专题)。

11.4.1.4　验证电源噪声并预估容限损失

电源分析的最后一个重要工作就是，将对系统电源噪声和噪声影响的测量结果与设计阶段根据模型所做的预估，进行关联性检验。这一关联将验证建模方法学以及所提解决方案的实现情况。它还将测验在设计阶段做出有关噪声产生和系统灵敏度的任何假设。为了降低总模型的复杂度，在分析中的每一步都会对构件分量模型进行调整。为此，必须用这种最终的关联性检验，确认所选的方法学可以保证所需的准确度。

11.5　电源噪声分析的步骤

下面把对系统中电源噪声的分析分解成单独的步骤进行；每一步骤将面对不同的噪声贡献。这一概念最早是在定义电源预算时提出的，这里再次用做 PDN 分析流程中的一个策略。

11.5.1　由 VRM、PCB、封装形成的直流压降与低频交流噪声

PCB 板和封装中的电阻以及 VRM 不准确的漂移，可能会引起电源电压的直流偏移或低频波动。在某些情况下，电源电压随运行状态的不同进行着缓慢的调整，当系统活动量多时

电压降低，当系统活动量少时电压升高(压降调控)。通常，只要能维持电路正常工作所必需的最低电压，I/O 电路对这种低频噪声不敏感。许多高速 I/O 系统中时序敏感的电路模块(如 PLL)还会跟踪电源噪声的这种低频波动。此外，I/O 系统的性能主要取决于相邻时钟周期的周期到周期间的时序失真。而低频电源噪声在这么短的时间间隔内只能建立小的失真。

在系统负载波动的过程中，由于稳压器回路的带宽有限，VRM 可能会形成额外的交流噪声。开关型稳压器由于其开关特性，可能会在稳压器的输出端出现额外的交流失真。通过正确设计 VRM 稳压器回路以及 PCB 去耦可以控制住这些噪声贡献[5,6]，并且之后很容易在系统中加以验证。出于这一原因，这一噪声预算分量并非是高速设计主要关注的问题，不在这里做详细介绍。

11.5.2 片上 IR 压降分析

由于片上导线的大电阻，在片上的电源分配网络中有明显的电阻性电压降(IR 压降)。由于分布于片上各处的活动是在变化的，该压降将随着片上位置的不同而变化；并随着时间的不同而变化。通常，封装和 PCB 设计并不影响芯片 IR 压降的空间分布，因为封装和 PCB 走线以及平面的电阻非常低，芯片的所有凸点将会得到相同的电压。在典型的设计流程中，当设计周期后期大部分的版图设计完之后(布图后)就可以核查 IR 压降。在这一设计后期阶段，只能进行轻微的改善以解决局部 IR 问题。

当设计数 Gb/s 的 I/O 系统时，在设计周期早期的平面规划和凸点指配阶段，分析片上 IR 压降是至关重要的。IR 压降取决于凸点/焊盘的位置布局、芯片上的电源布线、整个芯片上的电流分布等。通常情况下，封装对信号引出布线的要求限制了电源凸点/焊盘的布局，往往有几个不同的电源轨道会竞争凸点/焊盘位置和布线资源。必须及早确定信号和电源凸点/焊盘的优化布局；各种电源轨道的布线规则；片上电路模块的平面规划等，以确保给出高品质的电源供电。

为了进行 IR 分析，将片上每个电源轨道的电源分配网络建模为一个电阻性网络。在这些电源网络间添加上静态电流源，表示每个位置上在整个时钟周期内的平均最大电流损耗。理想电压源被放置在电源凸点/焊盘的位置上。因为只考虑静态电流，片上的分布电容可以省略。图 11.8 是倒装芯片的设计模型。

根据电流负载信息的空间分辨率，调整电源网格模型的空间分辨率。在这种设计的早期阶段，通常只知道电路模块的总电流消耗。如果没有电源连接的最终详细知识，将这一电流均匀地分布在电源的布线区中。因此，可以将这一区内的大量并行电源线合并成一条单一的“有效”导线，也不会降低仿真的准确度。这将大幅度地降低电源模型的复杂度，使得可以对同一时间大面积范围内的多个电源轨道进行建模和仿真。由于其较短的仿真运行时间，它也允许进行凸点指配细化和电源网格规划中的多次迭代过程。随着设计的进展以及得到更详细的平面规划和布线信息，可以对模型进行细化提炼，改善模型的空间分辨率。

图 11.9 给出凸点指配的示例，包括原始的和优化后的凸点指配情况。图 11.10 给出各种金属覆盖率(25%、50%、75%)的 IR 压降图，用于在原始指配的基础上设法降低最大的 IR 压降。由于凸点的数目有限，不能满足 4% 的指标技术规范。图 11.10 也给出了在关键位置上添加凸点之后的 IR 压降图，可以在 50% 金属覆盖率下满足指标技术规范。

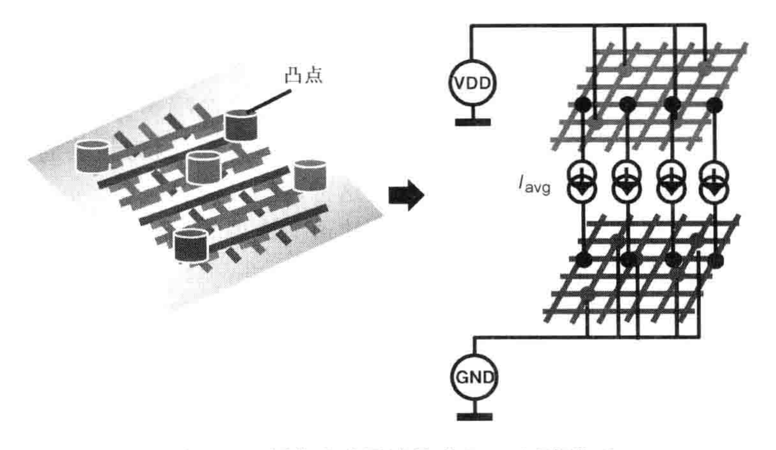


图 11.8　倒装芯片设计的片上 IR 压降模型

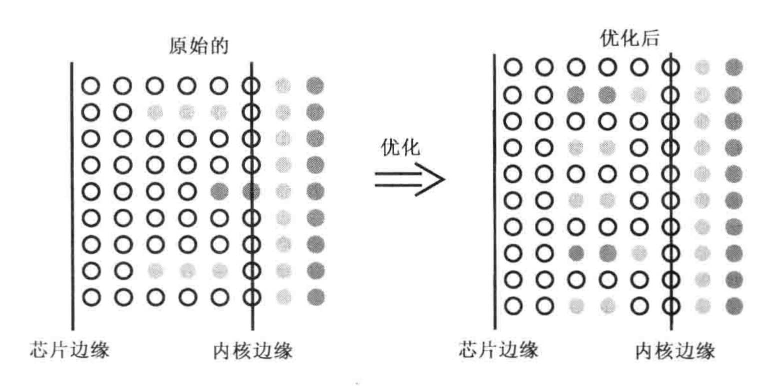


图 11.9　优化前后的凸点指配

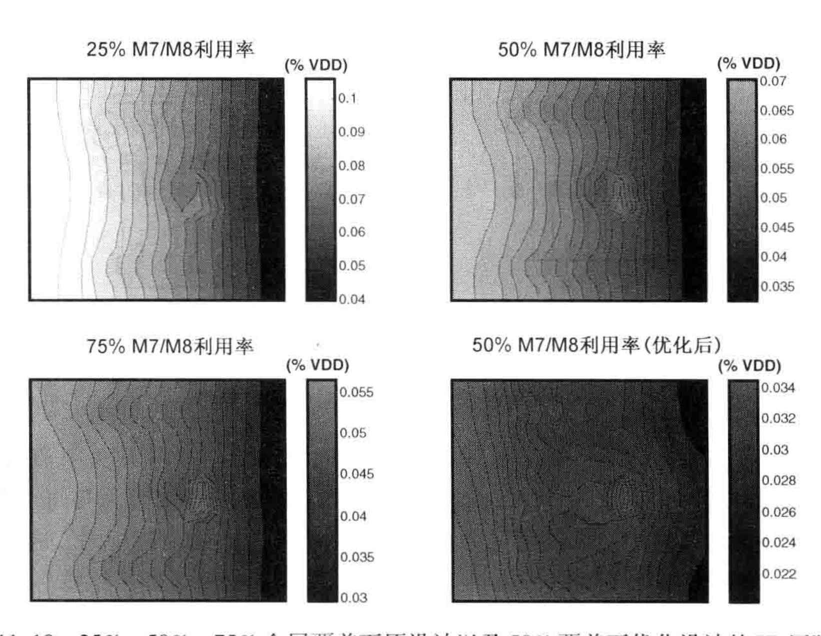


图 11.10　25%、50%、75% 金属覆盖下原设计以及 50% 覆盖下优化设计的 IR 压降图

11.5.3 高频开关噪声分析

除了 IR 压降之外，第二个影响片上电源网格设计的电源噪声分量就是高频开关噪声。I/O 和内核区的开关电路可能会导致电源轨道中的电流峰值。因为封装通常主要是电感性的，由封装提供电流的速度无法快速变化到能为这种高频开关供应足够的电荷。此时，片上去耦电容器被用于提供开关电流，阻止了在电源轨道上出现的高频噪声。

封装阻抗的电感性构建了一个有效的低通滤波器，在高频时将 PCB 和芯片加以隔离。这一滤波器明显地衰减了从芯片泄漏到 PCB 的高频开关噪声，否则它会在 PCB 的电源平面间激励谐振。此外，它也能阻止 PCB 上其他器件源泄漏到芯片的高频噪声。这一滤波器使得在分析高频电源噪声时，只需针对片上的电源分配网络和电路进行即可。

对前面静态 IR 分析用的片上仿真模型加以扩展，就能用于仿真高频开关噪声的影响，并用于验证片上去耦电容器的数量和安装布局的位置。为了进行分析，将去耦电容器单元的等效电路放置在电源轨道之间打算安装去耦电容器的位置上。将 IR 分析时用的静态电压源替换为电路模块的等效模型，以构建出电路的时变电流曲线。从简单的电路仿真中就可以求得这些电流曲线。这时，根据对电路模块沿时间轴电流消耗的检测，给出一个分段线性的电流曲线。在生成等效模型时，还需要考虑到电源噪声对电路本身的反馈。快速开关电路造就了高的电流峰值。而这些电流峰值可能引起电源电压的局部塌陷，塌陷又将进一步减缓电路速度并降低电流峰值的高度。由于它明显地降低了系统中高频噪声的幅度，在等效电路模型中必须体现出这种反馈机制从而有利于电流曲线的构建。图 11.11 所示就是高频开关噪声分析时用的片上模型。

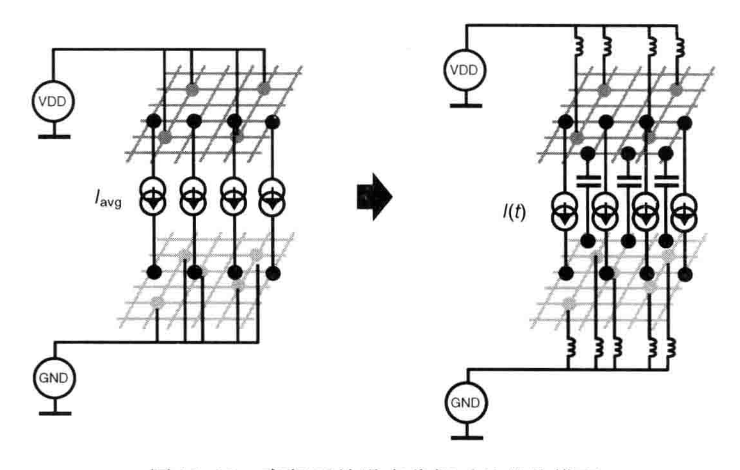


图 11.11 高频开关噪声分析时的芯片模型

如前所述，封装的感性特点，阻止了封装和 PCB 电源网络对高频开关电流做出响应。因此，封装和 PCB 对高频噪声的影响不大，分析中可以将它们的模型化简为与每个焊盘/凹凸相连的有效电感。当整个芯片区域都被定义为一个均匀的高频开关噪声指标时，这一简单模型的效果良好。然而，如果芯片的不同区域设计为不同的电源噪声指标，那么这些区域间的电源噪声将通过封装实现耦合。在这种情况下，需要更准确的降阶封装模型，以反映出不同封装电源焊盘之间的阻抗。一个典型的示例就是在设计时将噪声敏感电路的电源轨道与主电源轨道分

隔开，以阻止开关噪声进入这些敏感电路。即使在芯片上这些电源轨道的布线是分开的，但如果这些电源轨道在封装内是连在一起的，开关噪声仍然可以耦合到敏感电路中。

11.5.4 中频 AC 噪声

在 I/O 系统中，中频噪声往往是电源噪声的主导分量。在 I/O 系统的电源完整性分析往往侧重于输出驱动器电源轨道上的同时开关噪声（SSN），而这仅仅是对此噪声分量有贡献的一个而已。位于其他电源轨道上的中频电源噪声也会对系统中时序容限的损失有贡献。

为了预估电路电源轨道的中频电源噪声，需要先分析从片上电路所看到电源网络的频域阻抗（Z_{PDN}）（参见图 11.5）。此外，还需要一个形成电源噪声的电流波动模型。

为了进行中频噪声分析，需要对片上电源分配网络模型加以化简。在高频时，电源网格内的电路模块位置，它与片上去耦电容器的邻近程度，决定了该电路的本地电源噪声情况。然而，在中、低频率，电路模块与片上去耦单元邻近度的影响不大，因为激励电流的周期比片上电源的 RC 时常数大得多。这时，片上的电源网格以及电源网格上的去耦电容器可以组合成一个集总等效 RC 网络。这一片上等效 RC 网络模型的无源元件数目很少，从而大大降低了模型的复杂度。从高频噪声分析时更准确片上 RC 模型的频率响应中，可以求得这一降阶模型。

在进行中频分析时，因为封装和 PCB 是此时电源配送系统中的主导构件，必须对它们的电源网络准确建模。可以采用传统的等效模型，对封装和 PCB 中的走线、过孔以及电路元件进行建模。对电源平面则需要一个更复杂的模型，以反映在平面对之内的波传播；以及在平面端口处二维电流分布的效果。已经提出了几种不同的建模方法学[7~9]。通常，对这些模型的讨论主要集中于平面谐振的准确建模上。平面谐振本身对系统性能的影响不大，因为其发生的频率非常高，而这一频段的 Z_{PDN} 是受封装电感和片上去耦电容所主导的。然而，这些模型也准确地刻画了对片上 Z_{PDN} 产生重大影响的电源平面端口处的二维电流分布。因此，它们非常适合于电源配送系统中的平面建模。为了进行 SI/PI 协同仿真，需要将平面与信号走线一起建模，这更加具有挑战性。12.4.3 节中将详细讨论这一专题。

图 11.12 给出了不同配置下的 PDN 曲线。图中给出了 4 层和 6 层电路板的情况，从中观察平面电感的影响。此外，还使用了两种不同的片上去耦值。这一示例中采用 6 层板以降低平面电感，明显地降低了 100 MHz（封装谐振）以下的 PDN 阻抗。另一方面，片上去耦电容是用于降低 100 MHz 以上的 PDN 阻抗。

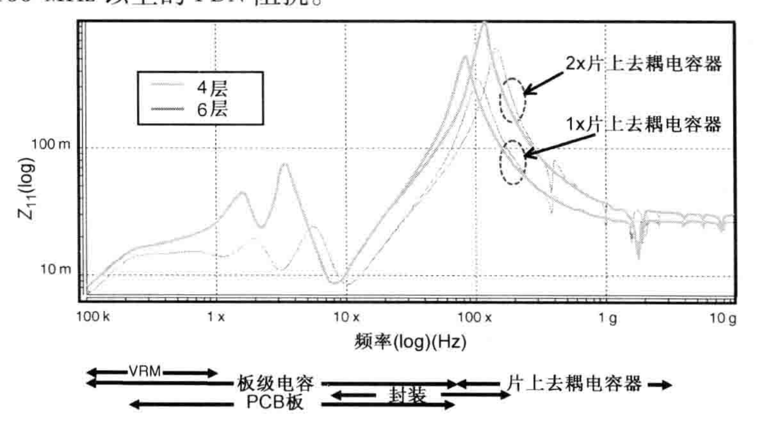


图 11.12 具有不同去耦电容值的 4 层及 6 层电路板 PDN 曲线

11.6 小结

本章对电源完整性工程进行了概述；对形成不同频率电源噪声的关键概念及建模方法学进行了讨论。对于片外的低频噪声源(如 VRM)，如果它足够低到可以由 PLL 或时钟加以追踪，那么它就不是 I/O 接口的关键。另一方面，片上的直流 IR 压降是影响电路工作的关键，必须尽早在布图前等阶段对此做出分析，以避免后期在凸点或引脚指配时的变动。

由于封装实际上是一种过滤高频噪声的固有滤波器，片外电源轨道上的高频噪声不会影响到片上电路的工作。另一方面，片上的高频噪声对片内电路的工作则非常关键，但由于封装电感的缘故，它却不能通过改善片外去耦电容器加以解决。通常情况下，片上的高频噪声，必须通过配置片上去耦电容器加以解决。所以，必须为此预算出足够的去耦电容器面积。准确地估计出片上的去耦电容值是至关重要的，因为它可以帮助避免对封装和系统 PDN 的过度设计。

最后，对封装谐振附近的中频分析是最具挑战性的，因为它需要一个完整的 PDN 模型，其中包括：VRM、PCB、片上 PDN 模型。一个准确的平面模型、表面贴装电容器(SMC)的等效串联电感(ESL)、片上去耦电容器的面积等，都被认为是这一分析中的关键。对不同的 SMC 加以选择和布局颇为重要，再通过准确的仿真就可以设计出成本效益得以优化的电源分配网络。

参考文献

1. A. V. Mezhiba and E. G. Friedman, *Power Distribution Networks in High Speed Integrated Circuits*, Kluwer Academic, 2004.
2. M. Swaminathan and A. E. Engin, *Power Integrity Modeling and Design for Semiconductorsand Systems*, Prentice Hall, 2008.
3. I. Novak, Ed., *Power Distribution Network Design Methodologies*, IEC, 2008.
4. V. Drabkin, C. Houghton, I. Kantorovich, and M. Tsuk, "Aperiodic resonant excitation of microprocessor power distribution systems and the reverse pulse technique," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2002, pp. 175-178.
5. N. Pham, D. de Araujo, and E. Matoglu, "Design methodology for multiple domain power distribution systems," in *Proceedings of Electronic Components and Technology Conference*, Las Vegas, Jun. 2004, pp. 542-549.
6. O. Mandhana, "Optimizing the output impedance of a power delivery network for microprocessor systems," in *Proceedings of Electronic Components and Technology Conference*, Las Vegas, Jun. 2004, pp. 1975-1982.
7. N. Na, J. Choi, S. Chun, M. Swaminathan, and J. Srinavasan, "Modeling and transient simulation of planes in electronic packages," *IEEE Transactions on Advanced Packaging*, vol. 23, no. 3, pp. 340-352, 2000.
8. J. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 25, pp. 189-199, May 2002.
9. L. Smith, T. Roy, and R. Anderson, "Power plane SPICE models for frequency and time domains," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2001, pp. 51-54.

第 12 章　SSN 的建模与仿真

Dan Oh, Joong-Ho Kim

由于差分的优异信号质量，高速 I/O 接口通常采用差分信令。然而由于单端的引脚数少和向后兼容性，时下主流存储器接口设计仍采用单端信令，譬如分支串行端接逻辑（SSTL）或伪漏极开路（POD）I/O 等。单端信令的两个最重要噪声源是：串扰、SSN。可以通过改进物理设计降低串扰，例如：采取无须键合的倒装芯片；用带状线代替微带线；或加装防护地等。另一方面，降低 SSN 显得更具挑战性，因为它受到了封装设计物理限制的影响。

图 12.1 是一个典型高端 5 Gb/s 图形显示通道中串扰和 SSN 的影响[1]。在控制器的封装和主板中，采用了带状线布线以尽量降低串扰的影响。此外，当今先进水平的 C4 DRAM 封装，采用 4 层衬底以尽量降低电源噪声。在图 12.1 中的第一个眼图是无串扰（攻击线保持静态）也无 SSN（采用一个理想的电源分配网络）的情况。在图 12.1 的第二个眼图给出了一种只有串扰的情况；第三个眼图给出了有串扰又有 SSN 的情况。这些示例表明，SSN 是下一代存储器接口设计中的主导噪声分量之一。

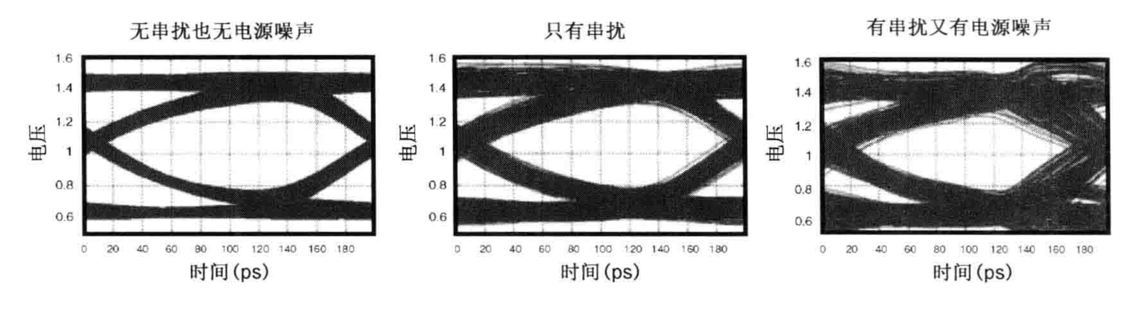


图 12.1　5 Gb/s 显存系统中串扰和电源噪声的影响[1]（© 2008 IEEE）

传统上，尽量减小 SSN 的途径就是增大电源和地引脚的数量，以降低电源与地的电感。图 12.2 说明了图形显示存储器系统中引脚数增多的趋势。图中给出了总引脚数以及电源、地引脚与信号引脚数的比值。如图所示，电源、地引脚数与信号引脚数之比也在不断增大。虽然有一些新增的引脚是因应内核电源增大的需求，但新增的大多数都是为了降低收发器电源噪声的需要。遗憾的是，当达到一定水平之后，增多电源、地引脚并不能有效地降低总电感，下面的净电感公式可以对此给出解释：

$$L_{\mathrm{net}} = \frac{1}{\dfrac{1}{L_{\mathrm{pin}}} + \dfrac{1}{L_{\mathrm{pin}}} + \cdots + \dfrac{1}{L_{\mathrm{pin}}}} \tag{12.1}$$

为了更清楚地证明这一事实，图 12.3 绘出了净电感与引脚数的关系。在这一示例中，我们随意将一个引脚的电感假定为 10 nH（在对真实案例建模时，可以对图 12.3 再做简单的

缩放)。正如图中所示，引脚数量需要增大一倍才能将电感值降低一半。这就是说需要相当大量的引脚才能降低某一定量的电感。由于内核速度的提高以及内核数量的增多导致对电源的需求不断增大，但是封装的设计和尺寸却无法跟得上电源的需求。因此，在 I/O 接口中电源、地引脚数是有限的，使得单端高速 I/O 设计中不可避免地出现 SSN。

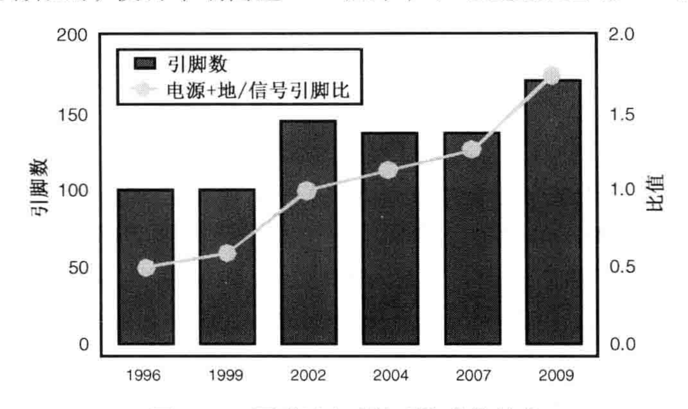


图 12.2　图形显存系统引脚数的趋势

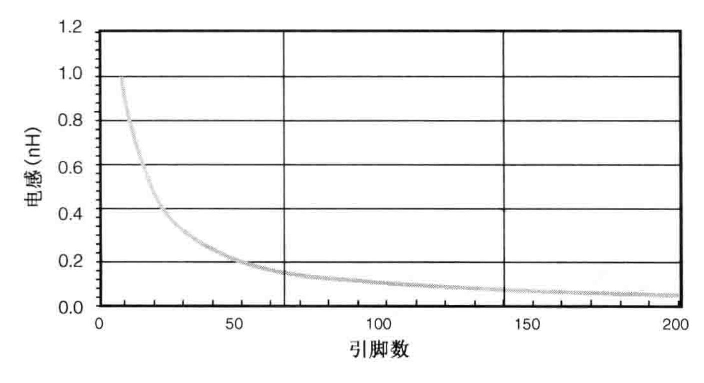


图 12.3　引脚数与电感的变化

本章将讨论对同时开关噪声建模和仿真的方法学以及面临的挑战。下面将重点关注高层策略方面的问题，而不是关注如何产生 SSN 模型的细节。建议有兴趣的读者可以研读参考文献[16]和[17]。12.1 节讨论 SSN 建模的挑战。12.2 节介绍信号完整性和电源完整性协同仿真流程。为了分析 SSN，需要对信号返回路径有一个透彻的理解。12.3 节回顾常见单端信号的信号回路。12.4 节讨论 SSN 建模与仿真中的一些实用技巧和潜在隐患。最后，12.5 节以一个键合线封装的 DDR2 系统为例，演示 SSN 的仿真流程。

12.1　SSN 建模中的挑战

因为封装的物理限制使得电源配送网络不可能是理想的，大多数单端信令系统都有一定程度的 SSN。为了设计出高成本效益和鲁棒的 I/O 接口，最重要的就是准确地表征 SSN 对链路容限的影响。本节重点探讨在对具有 SSN 噪声的通道进行建模与仿真时遇到的几个相关难题。

12.1.1　信号间的相互作用

当多个单端输出驱动器在同一时间开关时，造成了器件电源轨道上大的交流电流尖峰，从而生成了 SSN。对电源轨道上的这一电源噪声进行仿真并不是太困难，过去已经给出的结果与噪声测量具有良好的关联度。然而，表征这种噪声对整个链路上电压和时序容限的影响要困难得多。通道的容限取决于接口中不同信号[如 DQ(数据)信号、DQS 信号(选通)，V_{REF}(参考)信号]之间的相互作用。信号的完整性以及电源噪声，以各种不同的方式影响着这些信号。根据特定的时令拓扑，一些噪声可以被跟踪掉。这样，相对的净噪声比绝对噪声显得更重要。所以，为了进行通道的仿真，需要对所有的信号和噪声源同时建模。图 12.4 给出了单端信令的公共噪声源：符号间干扰、串扰、参考电压噪声、电源/地噪声。许多这些噪声源是相互密切相关的；例如，参考电压的噪声就与电源/地噪声相关。此外，它们对信号线和攻击线的影响也是紧密相关的。对信号完整性和电源完整性分别进行建模和分析，无法预估出一个准确的系统容限。

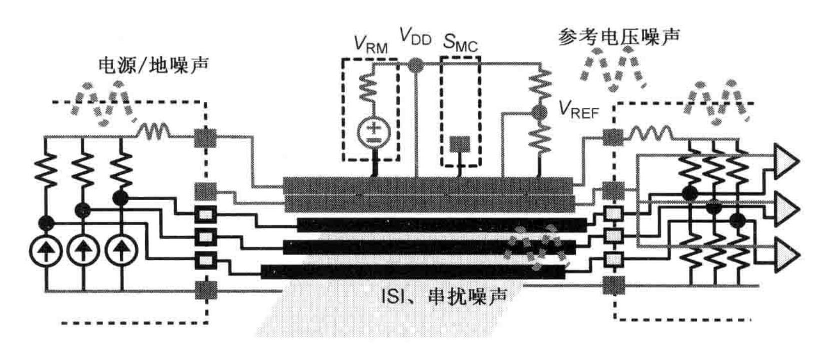


图 12.4　单端信令系统中的各种噪声源

通常情况下，高速单端信令是采用伪差分接收器实现的。伪差分接收器是用直流参考信号(V_{REF})去比较输入信号，导致 V_{REF} 上的噪声与信号线上的噪声同等重要。图 12.5 给出的 V_{REF} 噪声对信号的影响。过去，通常将 V_{REF} 线设计为静态。一种更好的办法是优化旁路电容，以跟踪电源轨道上的噪声。图 12.5 给出数据选通信号(DQS)，这里一个是静态的 V_{REF}；一个是旁路优化的 V_{REF} 旨在跟踪掉一些选通信号上的噪声。

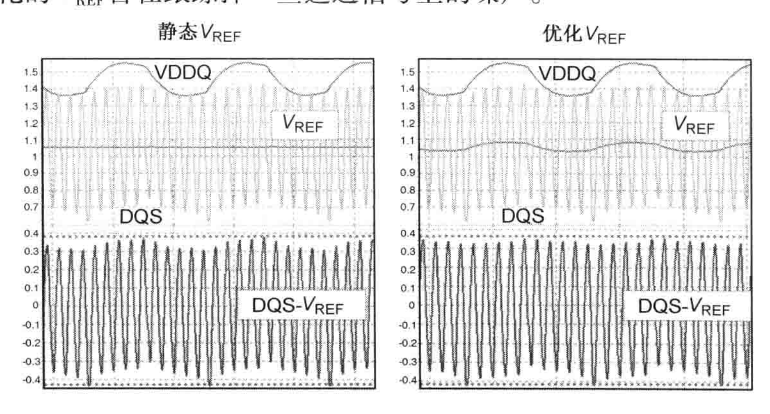


图 12.5　静态 V_{REF} 和优化 V_{REF} 下的数据选通信号

选通信号被广泛地用做许多存储器接口系统(如 DDR1/2/3 和 GDDR1/2/3/4)中的时钟。常规时钟和选通之间的主要区别是，时钟信号通常是自由工作的，或者说它一直运行在触发模式。另一方面，选通信号则只在需要进行 READ、WRITE 切换时发送触发模式。由于选通是用于采样数据，确保它尽可能地做到无抖动是很重要的。图 12.5 说明了如何用旁路方案降低选通抖动。

图 12.6 给出了 V_{REF}静态和 V_{REF}优化两种情况下的数据信号(DQ)眼图。优化 V_{REF}的眼图质量比静态情况下的要好一些。由于封装电感的关系，中频电源噪声非常难以降低。因此，最好的办法就是将其抵消掉；或者是用参考信号上的公共噪声将其跟踪掉。对低频和中频噪声进行跟踪的效果是最好的，因为电气波长比高频噪声的要长，所以它不是位置相关的。

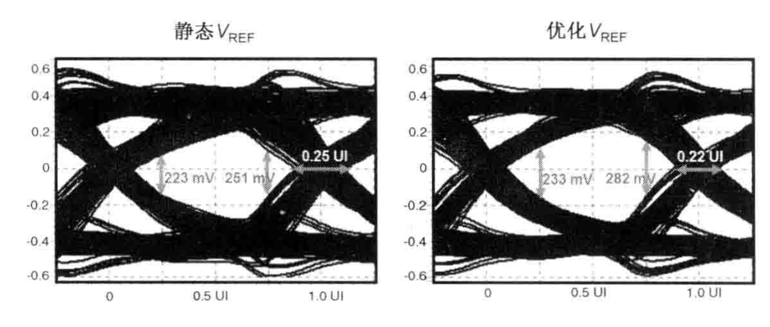


图 12.6 静态 V_{REF}和优化 V_{REF}下的数据信号

12.1.2 驱动器的全电路建模

当信号完整性工程师研究 I/O 通道时，传统上采用的是如 IBIS 或线性电压控制驱动器一类简单的行为模型。由于 SSN 直接关系到电源噪声及其对驱动器的影响，采用行为模型不能满足对 SSN 分析准确度的要求[2,3]。电源轨道或地轨道上很高的噪声电平，可能会造成驱动器状态的严重改变。例如，如果噪声的增长超出了指标范围，它可能极大地改变驱动器的行为，使驱动器成为非线性的。因此，一个完整的电路晶体管模型对 SSN 分析而言是可取的。遗憾的是，仿真一个宽(×16 或×32)存储器接口的同时开关噪声需要很多驱动器。这将需要大量的仿真时间，因此用完整的晶体管模型是不切实际的。12.2.1 节提出了一种解决这一问题的有效方法。

12.1.3 封装建模的复杂度

SSN 的主导因素是封装寄生电感。对于键合封装的情况尤其如此，键合导线比起 C4 封装中焊球的电感大得多。键合封装仍然广泛用于消费类产品中，如高清晰度电视、数码相机等。在移动设备中采用封装中封装(PoP)的系统，其中有很显著的电感。图 12.7 给出 PoP 系统的一个示例。PoP 系统采用键合线将存储器裸芯片进行堆叠。控制器器件可以采用焊接或键合。由于它的复杂度，对 PoP 封装中的三维键合线建模是非常有挑战性的。由于紧耦合，必须将数百条导线放在一起建模。即使采用现代宏模型建模技术，键合封装模型的复杂度仍是相当高的。在 12.2.2 节将讨论如何降低键合模型的复杂度。

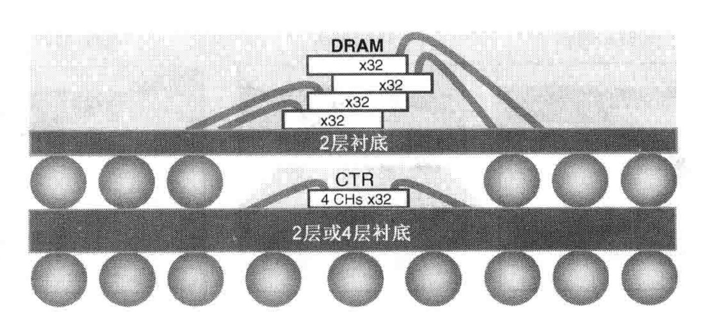


图 12.7　封装中封装的存储系统采样

12.1.4　源激励及仿真

在 SSN 分析中另一个大难度的挑战是对适当的数据模板进行激励和仿真。符号间干扰和串扰受高频开关活动所主导。与此不同的是，封装谐振频率的电源噪声峰值则是由 PDN 的电感和片上电容引起的。通常，谐振频率(50 ~ 300 MHz)远远低于信号的数据速率。因此，对通道做最坏情况分析时，需要同时考虑中频和高频的情况。为了找出这种最坏情况激励，需要很好地理解 PDN 及通道特性。当把前置驱动器也包括在这一分析过程中时，情况可能变得更为复杂。一般情况下，前置驱动器通常采用一个单独的电源。由于不同的 PDN 谐振频率，前置驱动器和输出驱动器的最坏情况激励是不相同的。

这里提出的策略适用于求解最坏情况的 SSN 和串扰。首先，选择一条信号线作为受害线。然后，将最邻近的几条信号线建模为各自独立的攻击线以生成最坏情况的串扰。将其余的若干条信号线建模为生成 SSN 的攻击线，用具有很强 PDN 谐振频率成分的同一数据模板对其进行激励。

即使已经确定了最坏情况模板，由于要同时分析中、高频影响而造成仿真时间过长，使得仿真本身仍具有挑战性。为了避免过长的仿真时间，Kim 等人提出了一种新的仿真方法学[6~8]。这种新方案采用一个单独的仿真提取出同时开关输出在封装谐振频率处的影响。同时，将从这一仿真中求得的电压容限损失，建模为(在由采样器的灵敏度和电源噪声需求的常规电压之外)对接收器输入电压的一个额外需求。这时的有效输入电压需求，是系统配置的一个函数。图 12.8 给出了在高频和中频分析时的激励示例。最终的受害数据信号线和选通信号眼图，如图 12.9 所示。如果能有一个快速时域仿真工具(如在第 9 章中所介绍的)，就可以用它直接对中、高频数据模板同时进行仿真。

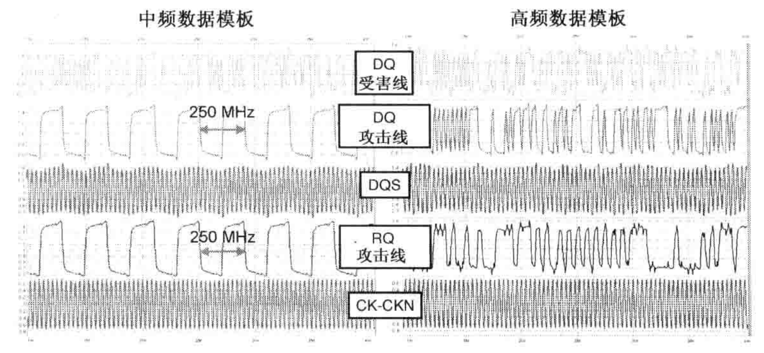


图 12.8　中频、高频 SSN 分析用的数据模板

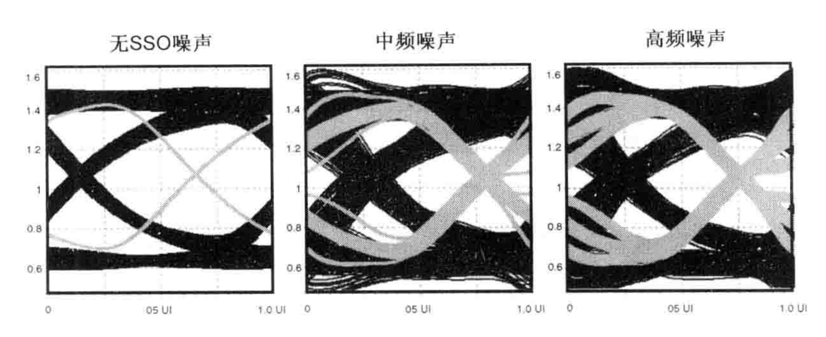


图 12.9 无 SSN、有中频 SSN、有高频 SSN 时的眼图

12.2 信号完整性与电源完整性协同仿真方法学

正如上一节中所提到的，在 SSN 仿真中最好是采用准确的晶体管级的发送器和接收器模型，因为它们可以给出电源轨道上准确的电流曲线，包括由于轨道塌陷所造成的潜在反馈效果。典型的驱动器行为模型无法提取出复杂的晶体管影响，比如前置驱动器的影响以及输出驱动器的任何非线性特性[2,3]。为了分析 SSN，必须同时对信号和电源网络以及所有与之接口的驱动器和接收器建模。遗憾的是，采用晶体管级的驱动器和接收模型对整个 I/O 系统进行分析，需要庞大的计算资源。

本节介绍由 Ralf 等人提出的对信号完整性和电源完整性进行协同仿真的方法学[4~9]。图 12.10 是整个方法学的流程图。

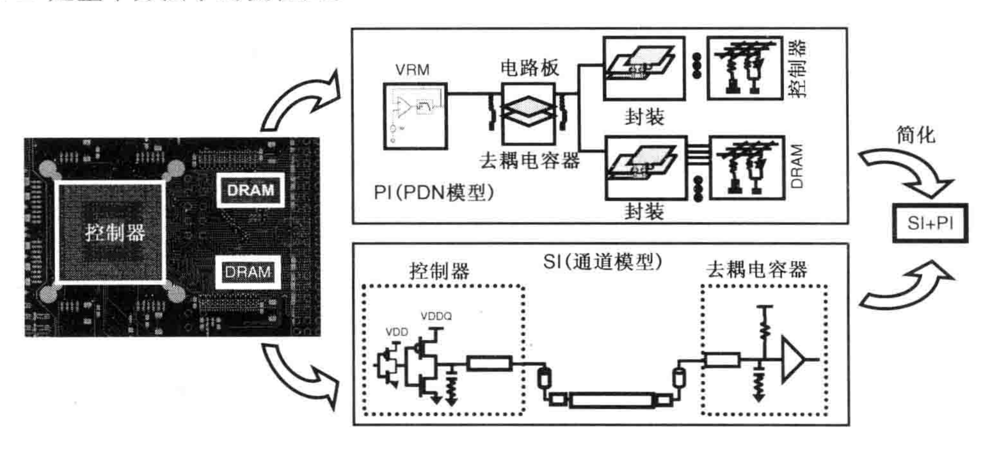


图 12.10 SI 与 PI 协同仿真流程

首先，生成 PCB 和封装的 PDN 模型。采用分布式 RLGC 模型对电源/地平面，包括非理想的地返回路径建模。然后，通过消除内部节点以及合并外部节点中相同的电源线网，计算得出一个化简的 S 参数等效模型。现代 SPICE 仿真器支持对 S 参数的建模与仿真，可用于生成 S 参数模型而不需要再用其他宏建模工具。对于键合封装，它是由电感主导着封装模型，通过对等效电感模型的计算可以进一步化简这一 S 参数模型。可以用传输线 RLGC 参数去近似逼近 S 参数并计算出等效电感模型(如 5.4.1 节中所述)。12.2.2 节将介绍一个不太严格但比较简单的方法。

下面，把一个片上电源分配网络模型与封装和主板 PDN 模型加以组合。所形成的整体 PDN 模型再与信号通道模型相合并。对于键合封装，由于 PDN 和信号模型间的紧耦合而无法将其分开，必须放在一起建模。另一方面，对于主板和片上走线部分，可以单独拟制 PDN 和通道模型。可以将 PCB 上的信号线采用二维场求解器建模为传输线。对于其他元件，比如过孔和引出线，则可以用三维电磁场求解器加以表征。最后，再添加上驱动器和接收器模型，就完成了仿真平台的搭建。

12.2.1　降低驱动器模型的复杂度

在参考文献[4 ~9]中，对用于 SSN 分析的驱动器/接收器全电路，提出了一种新的建模方案。这一方案用少数几个准确的晶体管级驱动器模型与电流受控的电流源组合在一起，降低了全系统模型的复杂度。图 12.11 所示就是由我们提出的电路拓扑。其基本思路是，只对一个驱动器进行准确建模，其余驱动器则采用电流镜驱动器加以复制。

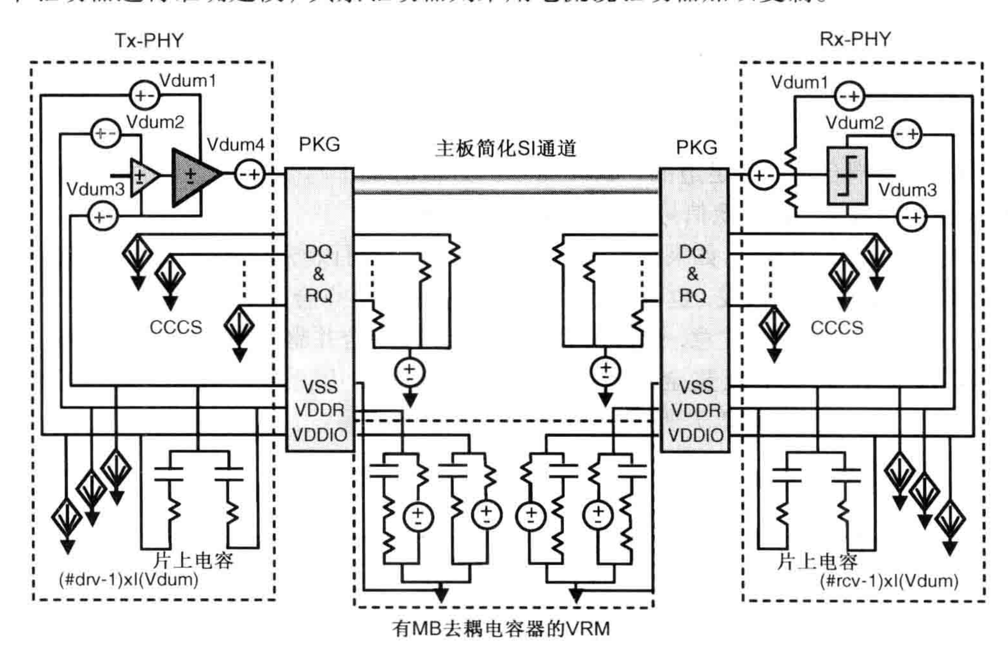


图 12.11　将信号及电源完整性模型组合后的最终通道模型

这一方案背后的基本假设是，所有的驱动器共享相同的数据模板，这是研究 SSN 时的一个合理假设。对具有不同数据模板的驱动器必须采用一个全电路模型进行单独建模。因此，所需全晶体管模型的个数是不同数据模板(以及电源域)的函数。一个典型的通道仿真，需要以下单独的驱动器：

- 受害线总是需要单独建模。受害线的数据模板由高频成分构成，以便将符号间干扰的影响最大化。此外，要将高频成分重复多次，以便能体现其他攻击线的低频和中频影响。
- 最近邻线引起的串扰最严重，必须单独建模。串扰是间距的函数，所以每条攻击线的最坏情况数据模板可能不同，需要一个单独的晶体管模型。对于单端驱动器，通常将

受害线两侧的两个近邻线建模为串扰攻击线。这些近邻线同时贡献串扰和 SSN，所以计算这些驱动器的最坏情况数据模板，也是相当具有挑战性的。如果形成 SSN 的攻击线数量很多，那么由这些近邻串扰线造成的 SSN 就可以忽略不计。这种情况下，数据模板可以只包含高频成分，以便将串扰的影响最大化。

- 对其余攻击线驱动器可以用一个全电路模型建模，只要它们共享相同的数据模板和公共的电源电压。在这种情况下，所有的驱动器将同时开关以激励出最坏情况 SSN。
- 典型的驱动器模型包括前置驱动器和输出驱动器模块，并经常采用不同的电源轨道。对于每一个全电路驱动器，前置驱动器和输出驱动器都必须是镜像的。对一些采用单独地轨道的设计，也必须单独建模。

把理想的 0 V 电压源，插入到全电路驱动器/接收器电源、地、信号的节点上。然后如图 12.11 所示，将每个攻击线的驱动器和接收器电流镜像。注意，所有的镜像电流都流向一个理想的全局地上。图 12.11 的封装模型包含一个完整网表，其中包括信号线和单独的电源、地线。如果所建的封装模型采用全部回路而不是局部元件，地电流则不要镜像。

为了降低建模的复杂度，可以对所有的镜像信号线网采用一个简单的端接，从而简化主板上的通道。这种近似是假定在封装引脚附近有足够多的去耦电容器，所以在发送器和接收器之间的能量耦合是微不足道的。这一简单的近似假定了与受害线信号的主要相互作用都已体现在串扰线上；而镜像信号线则仅用于激励 SSN。

对于电源轨道和地轨道，如果在片上一侧被短接了，就可以将攻击线和接收器镜像组合成一个有效镜像。基于这一假设，也可以将封装中的电源/地节点合并成一个等效线网。下一节将介绍这一末端简化技术。注意，这种技术甚至可以扩展到合并驱动器和接收器的节点。

图 12.12 对比了一个完整全系统与等效镜像系统的电源电压波形（包括控制器和 DRAM）。示例系统是如图 12.7 所示的 LPDDR2 x32b PoP 系统。整个对比给出了一个令人惊讶的良好关联度。

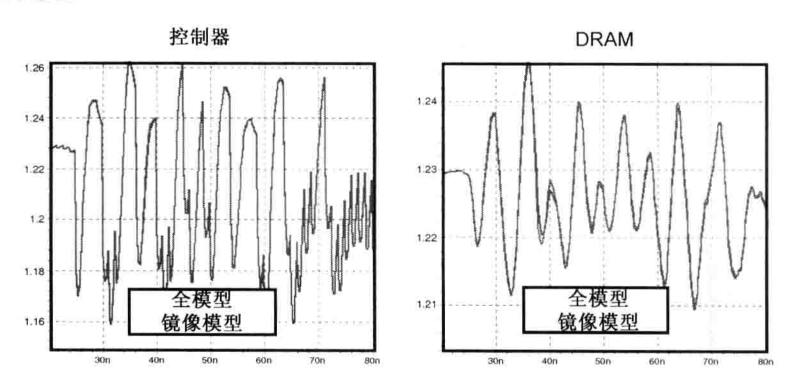


图 12.12　LPDDR2 PoP 系统中 DRAM 及控制器的全电路模型和镜像电流模型对比

12.2.2　生成简化等效电路模型

一个完整的封装模型由无数用于信号、电源、地的导体、导线以及平面构成。人们可以采用宏建模技术，通过降低内部电路表征的复杂度去简化封装模型的复杂度。然而，由于大量外部节点的关系，由此产生的模型仍是相当复杂的。本节介绍几个选项，可用以减少 SSN

分析时的外部节点数目[9]。本节先介绍电源和地节点的减少。然后将其扩展到处于同时开关条件下的信号线。

12.2.2.1 合并公用的电源和地节点

如果在封装引出端处已经将电源和地节点良好短接(连接)，可以将这些引出端加以组合(如图 12.13 所示)。获得引出端化简模型的一种方法，就是对相连后的封装模型运行电路仿真器生成 S 参数。如在后面几节所解释的那样，由于其低阻抗的特点，这一 S 参数不适合用于表征 PDN。PDN 阻抗的动态部分主要位于靠近明显低于信号奈奎斯特频率的封装谐振处。因此，可以用少数的几个集总元件对其进行有效的建模。此外，集总元件表征更为直观，更容易看清如何优化物理设计。本节介绍一种简单而有效基于分布式 RLGC 模型生成化简电路模型的方法。

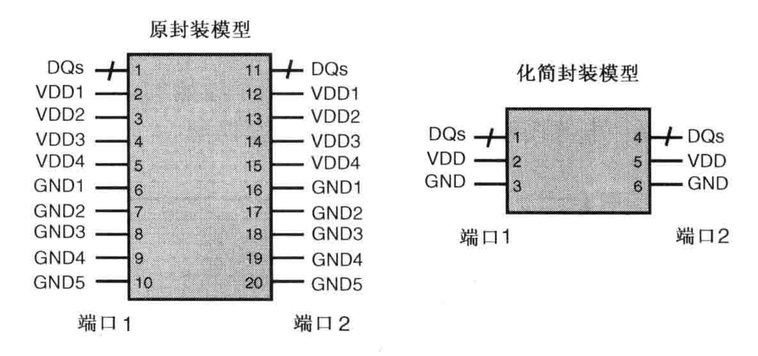


图 12.13 具有独立电源地节点的原封装模型以及合并电源地后的化简模型

图 12.14 给出一个基于 π 形网络针对单一电源/地的等效电路。该模型采用一种局部元件的表示。电容和电导连接到一个理想的全局地。注意，在电源和地之间的所有互耦合项也包含在这一模型中(除此以外，人们也可以采用 T 形网络或者多节模型)。

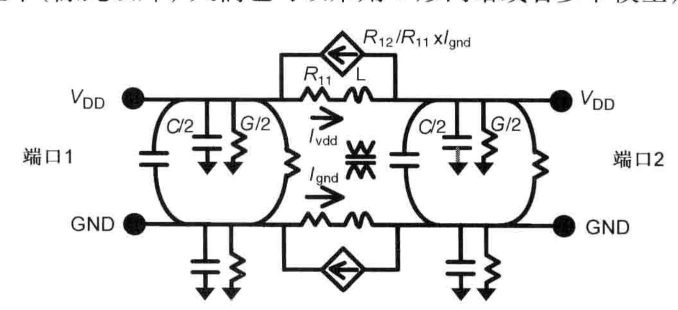


图 12.14 基于 RLGC 元件的等效电路采样

为了推导出集总等效电路，首先要考虑一个有载传输线的输入阻抗(如第 5 章所述)：

$$Z_{in} = Z_c \frac{R_L + Z_c \tanh(\gamma l)}{Z_c + R_L \tanh(\gamma l)} \tag{12.2}$$

对于一个负载开路的短传输线，上述公式可以简化如下：

$$Z_{in} \approx \frac{Z_c}{\tanh(\gamma l)} \Rightarrow Y_{in} \approx G + j\omega C \tag{12.3}$$

对于一个负载短路的短传输线，式(12.2)则变为：

$$Z_{in} \approx Z_c \tanh(\gamma l) \Rightarrow Z_{in} \approx R + j\omega L \tag{12.4}$$

虽然上述两个关系式是从传输线推导出的，但也可以将它们应用于电源分配网络。如同在式(12.3)中所表达的那样，对于终端开路的情况，电源和地平面中占主导地位的不是串联电感而是导纳特性。另一方面，如同在式(12.4)中所表达的那样，对于终端短路的情况，电源和地平面的导纳特性被短路掉了，在测量中占主导地位的是阻抗特性。总结如下：当输出端开路时，可以在输入端求解 G 和 C 值；当输出端短路时，可以在输入端求解 R 和 L 值。

现在，将式(12.3)、式(12.4)组合联立，就可以构建出简化的等效电路模型。图 12.15 将原始模型和近似模型进行了对比。首先，将属于同一域的电源线网和地线网在输入端和输出端连接在一起。然后，采用终端开路和短路进行电路仿真，以获得 Z_{in} 和 Y_{in}。Z_{in} 和 Y_{in} 进行曲线拟合估计出 R、L、G、C。例如，在图 12.15 的导纳曲线给出原始的 Y 参数以及对一个典型 PoP 系统的近似逼近。同时给出了局部电源线网导纳以及在电源线网-地线网间的互耦合导纳。该图给出了一个很好的匹配。因为地线网与电源线网响应的情况几乎相同，所以省略了对地线网的对比。在图 12.15 中的阻抗曲线显示了原始的 Z 参数及其近似逼近。再次，近似逼近的结果与局部电源线网格及其互耦合项完全匹配。

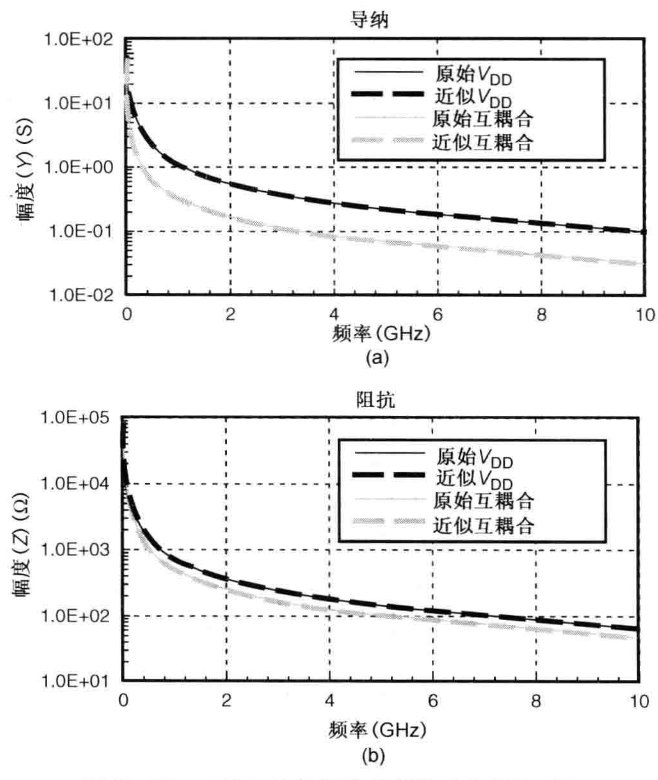


图 12.15 电源与地线网的局部导纳和阻抗对比

由于从驱动电路看到的回路阻抗是 PDN 模型中最重要的参数，图 12.16 给出了回路阻抗的原始和近似模型对比。注意，与图 12.15 相比，回路阻抗要比局部阻抗小得多。

最后，图 12.17 给出了封装的 S 参数模型。S_{21} 响应具有很宽的频率响应，可能会造成在 4.2 节所述的仿真挑战。对于电源线网和地线网的模型，用少数几节集总电路往往就够了。

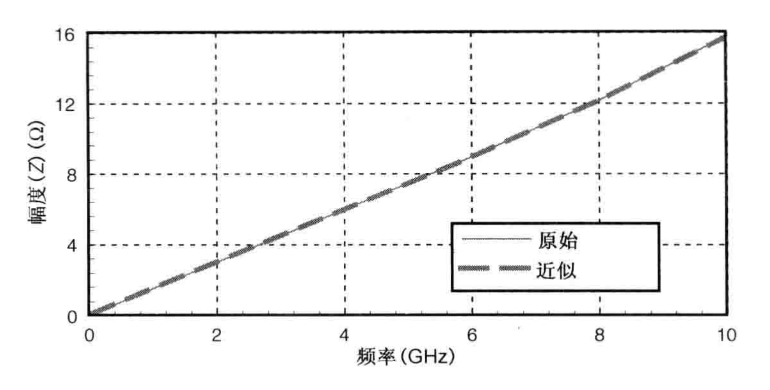


图 12.16　回路阻抗对比(从驱动器一侧看)

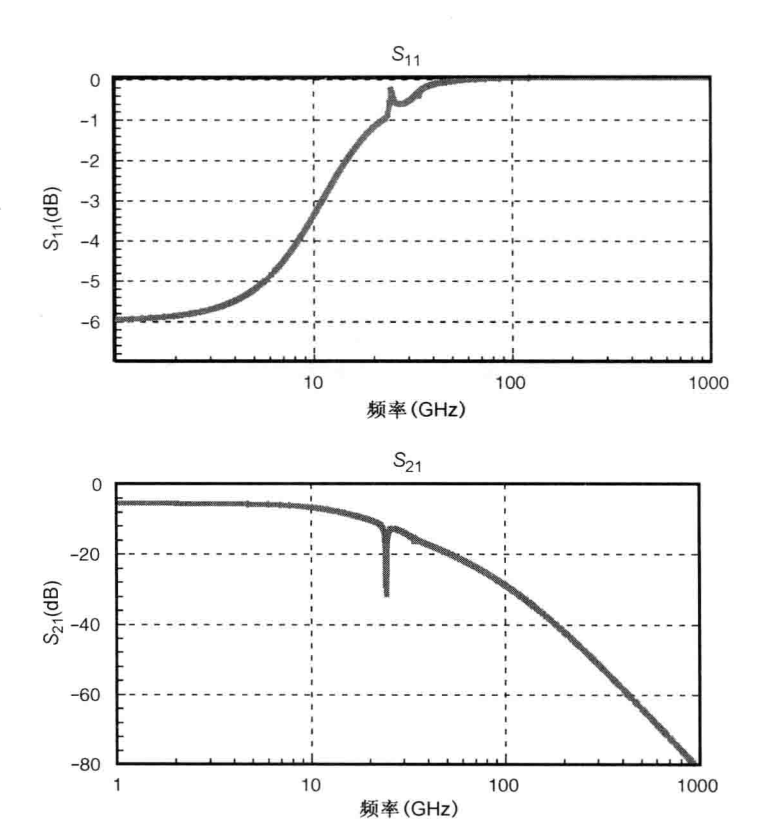


图 12.17　封装 PDN 的 S 参数：S_{11} 及 S_{21}

12.2.2.2　合并公用的 SSN 攻击线

12.2.1 节给出了一种基于电流镜像的新颖降低驱动器建模复杂度的方法。该方法假定同时开关活动就是所有的攻击线在同一时刻进行开关。在这种条件下，人们也可以降低攻击信号线的封装模型。合并等电位信号线的概念可参见参考文献[10～13]中的介绍。所有这些方法已应用于串扰分析。在建模时除了总串扰响应必须要准确之外，还要尽量保持攻击线自身的响应等同于一个独立的单线情况。虽然这些方法当耦合较小时都是有效的，但是当耦合严重时它们都无法被采用。

在本节，我们要把上一节所采用的方法应用于信号线上。合并后的攻击线网现在变成了超线网，将产生相当于多个攻击线引起的电源和地噪声。然而，这一超线网未能准确地对攻击线自身响应建模。由于在 SSN 分析时对超线网自身的信号质量不感兴趣，这种方法仍不失是一种对攻击线 SSN 影响的简单又准确的建模方法。然而，这种方法不适用于具有较强直接耦合的线。

信号线网与电源和地线网不同，在以下几个方面存在差异：

- 对于源端和终端网络必须做适当调整。例如，将 N 条线合并为一个超线网之后，驱动到超线网的电流值也必须增大 N 倍，源端和负载端的端接值必须减少 N 倍。图 12.18 说明了三线的情况。
- 由于对源端和负载端条件的多种改动，超线网上波形没有太大的物理意义。只有对受害线、电源线网和地线网的影响是真实的。
- 由于超线网是与电源线网和地线网耦合的一个强函数，其基于这种耦合的自身特征也发生了改变。
- 在一般情况下，从两个不同模块得到的两个超线网不能加以级联。

即使有这些限制，超线网的概念仍然是有用的，它可以适用于各种广泛的应用场合（不过，在头脑中记住上述限制是很重要的）。

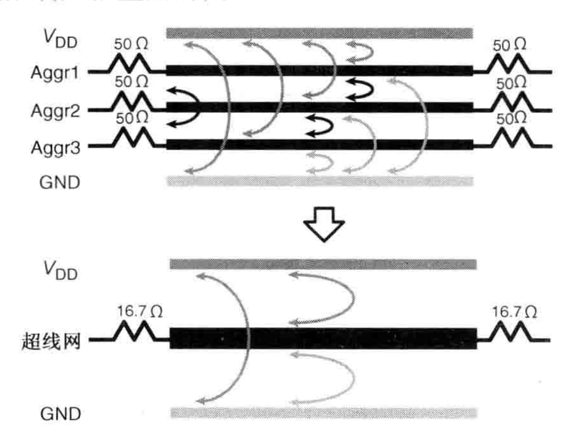


图 12.18　三信号线合并成一个超线网示例（用弧线表示两线网之间的相互耦合）

人们可能会想到，由于在电源线网和地线网的所有电流都被镜像（如图 12.11 所示），是否可以消除镜像的信号线网或超线网。如果在封装中信号线网和电源线网之间没有耦合，这是可行的。例如，在与微带线相伴的地平面的下方有着另一个电源平面。然而在一般情况下，尤其是对键合封装而言，在信号线网和电源线网之间的耦合非常明显，因而不能被忽略。

为了演示超线网在简化模型时的优越性，再次以低功耗 DDR2（LPDDR2 的）系统为例（如图 12.7 所示）。其中，需要对 61 个信号线、14 个电源线和 15 个地线建模。这一示例采用了 216 焊球的 JEDEC PoP 封装（如图 12.19 所示）。对 x32 DRAM 系统的建模只涉及其中一半的封装。控制器和 DRAM 采用的都是键合封装。为了简化分析，只对键合部分的封装建模，而假设封装和 PCB 的走线是理想的。

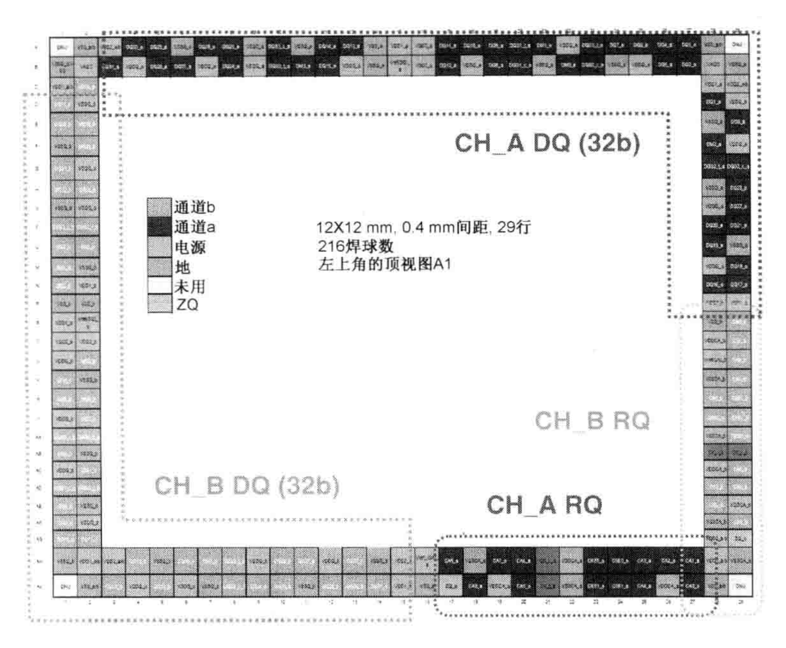


图 12.19　216 焊球的 JEDEC PoP 封装焊球指配

图 12.20 分别在有超线网和没有超线网两种情况下，对比了完全模型和简化模型的眼图。如图 12.20 所示，两种情况下，即使在没有超线网的情况下，眼图间的匹配都很好。图 12.21给出在控制器和 DRAM 中的电源噪声波形。再次，它们都匹配得不错。在设计这种封装时对 PDN 网络都进行了优化，使得在超线网的信号回路(或任何攻击线网)和电源电流回路之间的互感几乎可以忽略不计。图 12.22 给出了在信号回路和电源回路之间具有大、小互感的两种情况。图 12.22 的左图，V_{DD}和 GND 的走线紧耦合，在信号回路与电源回路之间的电感耦合几乎为零。图 12.22 的右图，电源电流的回路很大，对信号回路的噪声较为敏感。

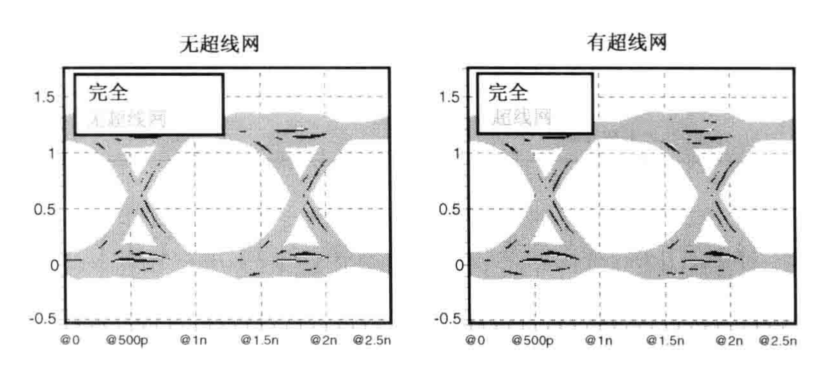


图 12.20　LPDDR2 具有超线网和无超线网的信号眼图对比：采用全终端和化简模型

下一步，考虑对攻击线电流回路与电源电流回路之间具有非零互感的情况进行次优化设计。图 12.23 和图 12.24 给出了眼图和噪声波形。如所预期的那样，如果没有用超线网反映互耦合项，其眼图看似明显优于全模型情况，因为它低估了信号与电源间的耦合。另一方面，在超线网示例与全模型示例间则表现出良好的关联度。

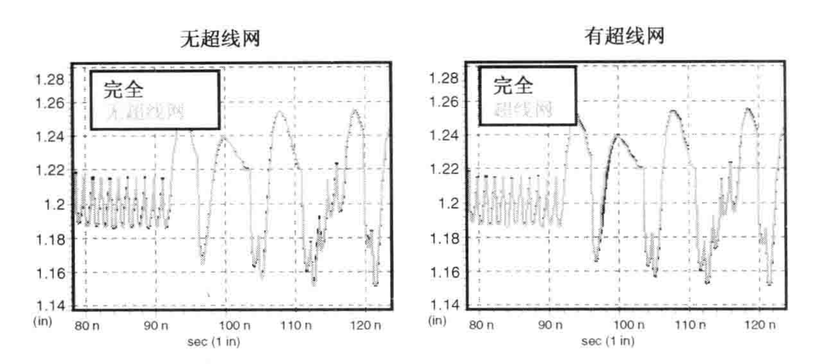


图 12.21 LPDDR2 具有超线网和无超线网的电源噪声对比：采用全终端和化简模型



图 12.22 在信号回路与电源电流回路之间的大、小互感

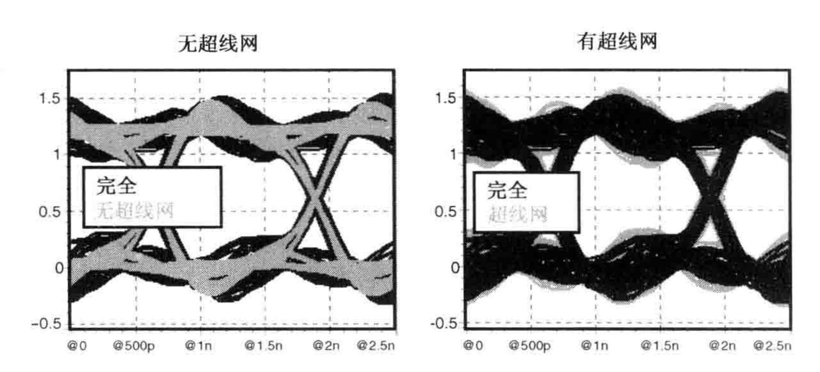


图 12.23 LPDDR2 具有超线网和无超线网次优化设计的信号眼图对比：采用全终端和化简模型

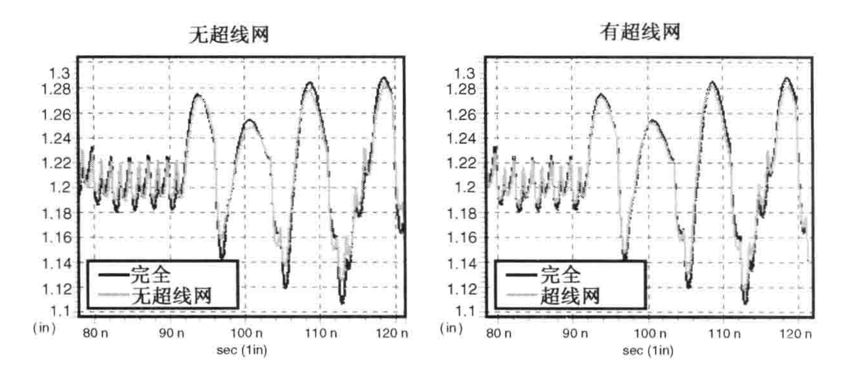


图 12.24 LPDDR2 具有超线网和无超线网次优化设计的电源噪声对比：采用全终端和化简模型

12.3　信号电流回路与电源噪声

同时开关噪声主要是由 PDN 电感引起的，因此在 SSN 分析中信号电流回路扮演者重要的角色。为了仿真出正确的响应并设法改进通道的性能，需要对电源噪声如何耦合到信号以及信号如何产生电源噪声背后的物理有一个透彻的理解。SSN 是信号电流回路的一个强函数；耦合的电源噪声与信号的返回路径高度相关。因此，SSN 天生地是驱动器和端接方案的函数。为了降低 SSN 对信号的影响，必须考虑整个信号电流路径。下面以两种常见的单端信令方案：SSTL 和 POD 为例说明这一机制。

12.3.1　分支串行端接逻辑(SSTL)的信号电流通路

分支串行端接逻辑(SSTL)信令采用一种对称的推挽驱动器和端接方案，常见于 PC 机的主存储器系统中。图 12.25 给出 SSTL 的通道拓扑结构，以及高频分量的信号电流回路。由于 SSTL 信令的对称性质，本节只讨论下拉操作问题。封装自感(参见图 12.25)表示在电源线网和地线网之间电源电流回路的回路电感。互感则表示信号电流回路和电源电流回路之间的电感。如图 12.25 所示，片上去耦电容为高频电流提供了一个返回路径。由于封装电感的缘故，VRM 和板上的表面贴装电容器(SMC)并不提供明显的电流。

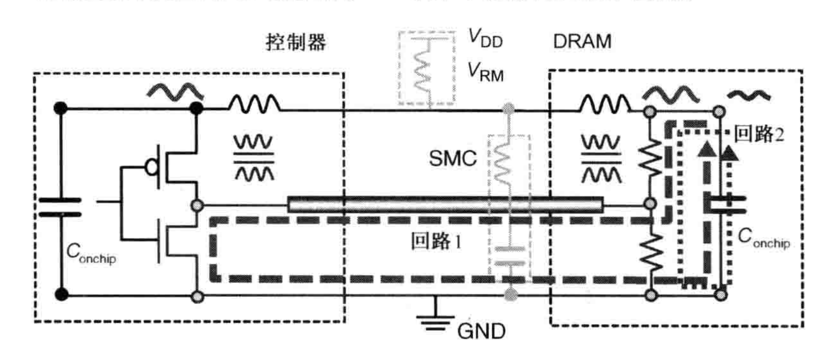


图 12.25　高频 SSTL 信号在下拉操作时的电流回路

在 SSTL 信令中存在两个主要的电流回路。回路 2 是片上内部的电流回路，由于电流不经过封装电感，所以生成非常小的电源噪声。回路 1 是一个外部电流回路，其返回电流通过控制器和 DRAM 的封装电感，形成电源噪声。因为由它引起的电源噪声大部分是经封装互感产生的，这部分电源噪声比较小。倒装芯片封装有更小的互感，由其高频电流形成的电源噪声是最小的。注意，图 12.25 是表示为回路电感，而不是局部电感。在参考文献[6 ~ 8]中采用局部表示，可能会导致杂散地弹噪声(12.4.2 节将涵盖这一专题)。

如图 12.26 所示，对于低频到中频的信号分量，片上的去耦电容不再提供低阻抗的返回路径，电流主要是由板上的稳压器模块(VRM)或表面安装电容器(SMC)提供的。现在，回路 1 和回路 2 这两个回路都是外部电流回路，形成在 DRAM 端的电源噪声。在控制器一端，只有回路 1 引起电源噪声。由于主要的电流都经由 DRAM 封装的电源轨道，由回路 1 和回路 2 两个回路在 DRAM 一侧所引起的电源噪声都很大。在控制器一侧，回路 1 经由互感产生电源噪声，所以引起的电源噪声相对较小。

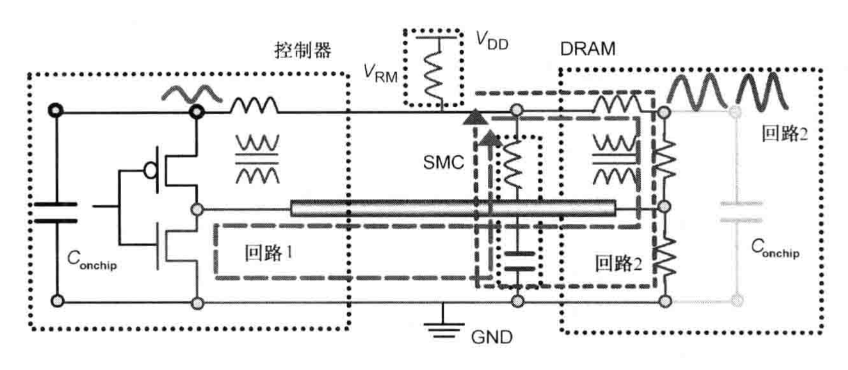


图 12.26 中频 SSTL 信号在下拉操作时的电流回路

在实践中，由于撬棍电流也产生电源噪声，所以驱动器端的电源噪声往往比接收器端的大。当从下拉操作到上拉操作的跳变期间(反之亦然)，很明显有一段时间是上拉、下拉驱动器都是激活开启状态，会形成直接从电源流向地的撬棍电流。这一撬棍电流具有高频和动态的特性。但是当高频成分被低频事件调制，譬如高频翻转的数据模板以成组方式发送时，就会出现中、低频电源噪声。

12.3.2 伪开漏(POD)的信号电流通路

伪漏极开路(POD)信令也采用推挽驱动器，但它仅采用上拉端接。人们普遍将 POD 用于高性能的图形显示系统中，并考虑将其用于下一代的主存储器系统中。由于POD 信令只有一个上拉端接，其性能类似于一个只有上拉端接及下拉驱动器的漏极开路信令。由于消除了高电平状态下的电流，极大地降低了功耗。通过合适的数据编码，还能减少低电平状态的电流。这样，采用 POD 可以明显地节省功耗(参见第 13 章)。与漏极开路的示例不同，POD 信令是采用上拉驱动器(通常是弱于下拉驱动器)以辅助上拉过程。

图 12.27 给出了 POD 信令以及下拉操作时的高频电流回路。这种情况下只有一个主要的电流回路，因此所有的电流都经由封装电感。其噪声机理类似于 SSTL 信令示例中的回路 1。对低频和中频信号分量的分析很简单，这里将其略去。上拉操作的情况更为有趣，它在高频示例时提供了两个电流回路(参见图 12.28)。可以将高频回路分解成两个回路：一个在控制器端，另一个在 DRAM 端。与下拉示例相比，产生的噪声以及对噪声的灵敏度较低，因为两个回路的电流方向相反而被抵消。然而，对于低频或中频信号分量，由于不存在回路 1 而无法抵消。

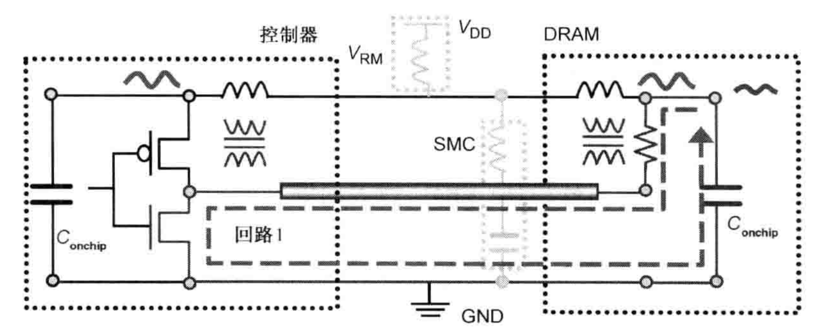


图 12.27 高频 POD 信号在下拉操作时的电流回路

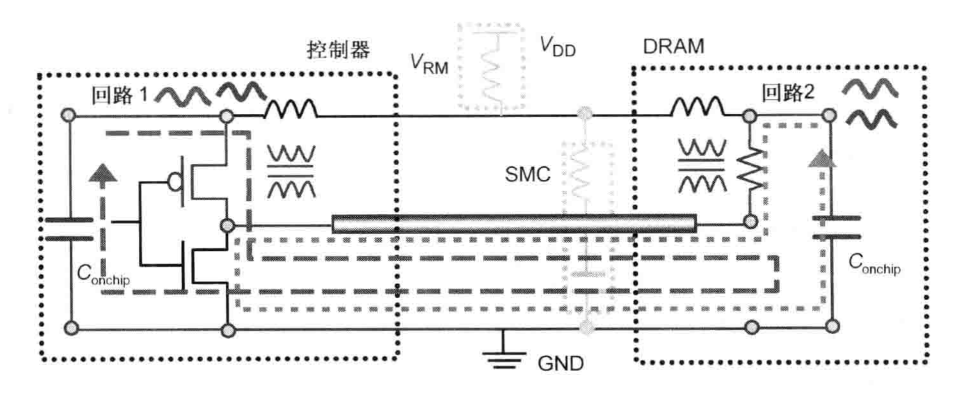


图 12.28　高频 POD 信号在上拉操作时的电流回路

前面两个示例只考虑了静态端接的情况。实际上，在一个开关事件中必须考虑输出驱动器和输入接收器的寄生电容。此外，当下拉和上拉晶体管同时激活开启的重叠期所形成的撬棍电流也是很明显的。由于在电源和地之间有一个直接的电流路径，撬棍电流往往在驱动器侧产生了很大的 SSN 分量。

12.4　其他 SSN 建模专题

上一节讨论了拟制和仿真 SSN 解析模型的一般方法。详细的建模过程相当复杂，已经超出本书的范围。本节将讨论建模与仿真中的几个特定专题以及存在的问题。它们很重要却在其他出版物中未被涉及。

12.4.1　片上 PDN 建模

在典型的 SSN 分析中，采用集总电路表示片上的 PDN 网络。对 SSN 的分析往往是针对低频或中频数据模板，但由于快速跳变的边沿，即使是这些低频数据模板中仍然有明显的高频分量。对于如此快速的边沿速率，采用集总的 PDN 模型可能会导出一个错误的高频响应。

利用高速图形显示存储器接口的情况可以说明这一点。首先，如图 12.29 所示，对片上 PDN 模型加以分区。控制器和 DRAM 的片上电阻值分别为 20.6 mΩ 和 46 mΩ。对于片上电源分配网络，50% 的金属覆盖都被用于电源轨道和地轨道。最后，在仿真中采用具有 30 ps 上升边的 10 Gb/s 数据率。

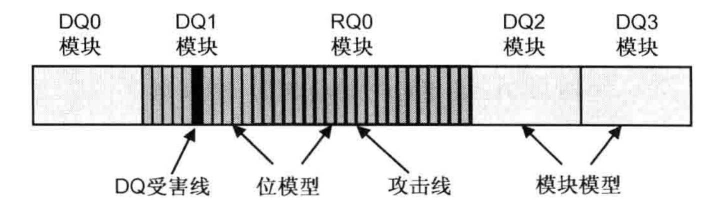


图 12.29　片上 PDN 模型和 DQ(数据线)、RQ(地址/指令线)中受害信号线位置分配

仿真时所用的 PDN 模型有分布式和集总式两个版本。在图 12.30 中给出的第一个噪声图是一个单根攻击线的示例。攻击线位于 RQ 模块的中央，在受害线驱动器处观察波形。略有不同的直流电平，是由于片上两种模型 IR 压降之间的差异所致。如图所示，集总 PDN 模型产生了明显的高频下冲。

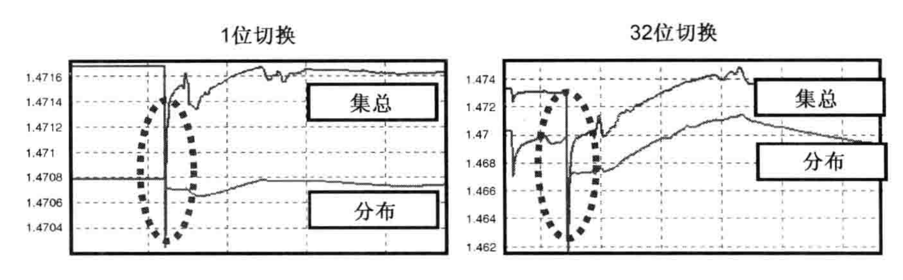


图 12.30　单根攻击线和 32 条攻击线的集总和分布式 PDN 模型对比

图 12.30 中的第二个噪声曲线给出了所有 32 条攻击线同时开关的一个示例。与单根攻击线相似，集总模型有很严重的高频下冲。注意到在这两个示例中都提取出了准确的中频响应。图 12.31 给出了攻击线位置不同时的耦合噪声。图中的曲线表明，更远攻击线的噪声被极大地衰减了。采用集总版本的 PDN 模型无法获取这一衰减。

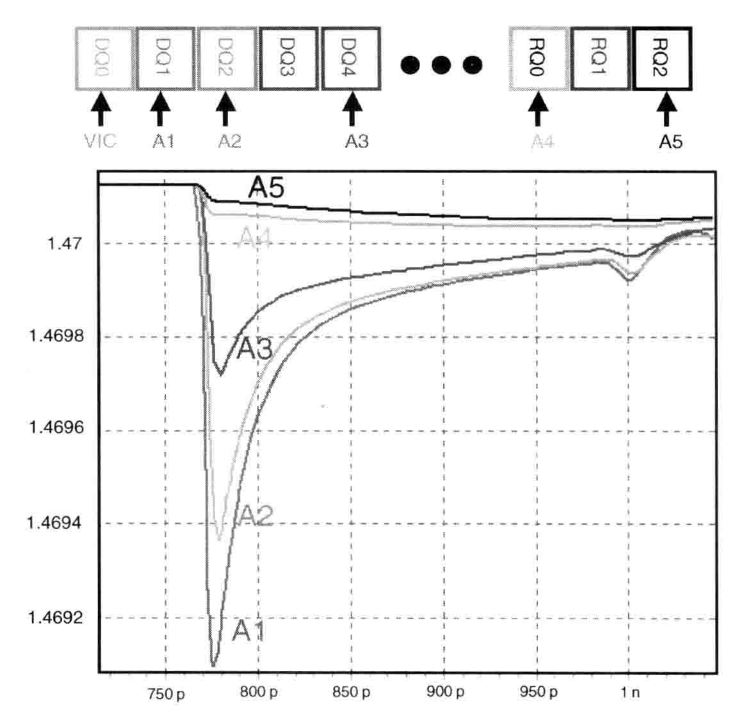


图 12.31　由不同攻击线引起的 SSN 噪声

12.4.2　局部电感模型

由于只对某一个电流回路定义电感，所以物理上的电感始终是指一个回路的值。虽然回路电感总能给出准确的仿真数据，但由于需要事先给出电流回路的定义，这是相当不方便

的。例如对于一个构件级的模型，只有到所有的构件组装在一起时，才能知晓返回路径。尤其是对于键合线、过孔或连接器模型的情况，由于其中没有宽大的返回平面。这时经常会采用局部电感。

在对 SSN 建模时，局部电感是一个相当有用的数学量。一个基于局部元件的封装模型无须转换为回路量，就可以直接在电路仿真器中使用。仿真电路会自动解决返回路径的问题。然而，如果对局部电感中的细节或基本假设不够认真，局部电感可能会被错用：

- 一个电流回路的局部电感表征，由至少两个局部自感元件和一个局部互感元件组成。之后就要将这些元件看成一个构件。人们无法做到在调整一个元件时保持其他元件不变。
- 与回路互感相比，局部互感往往非常大。并且，随着间距的增大它衰减得比回路互感缓慢得多。
- 只有局部元件两个节点之间的电压差是真实的，而且这两个节点必须是在同一侧(参见图 12.32)。
- 当把一个新的局部电感添加到现有的模型中时，必须为所有其他的局部电感正确地添加自感项和互感项。错误地添加或组合这两个模型会产生人为的信号或电源噪声[14]。
- 所有电流必定经由局部电感元件返回。这意味着全局地节点不能位于局部元件的两侧。

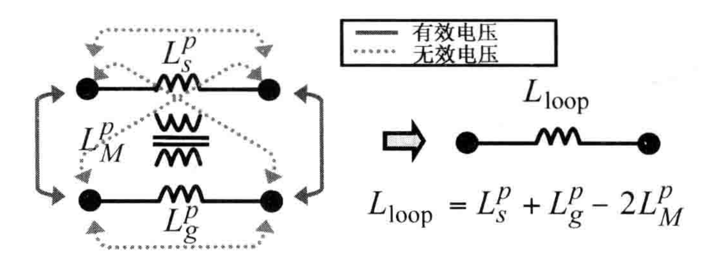


图 12.32　对局部电感和相应回路电感电压的正确测量

采用局部电感的最常见错误是，观测节点电压时并未测量它相对于其相应返回节点的值。对片上地电压的测量，经常犯的错误是要么做全局性的测量，要么相对于板上某节点进行。这样测量会得到称为地弹的杂散电压噪声。地弹纯粹是人为的，不能看成真正的噪声[15](同样，在没有一个适当参考节点时去观测电源节点也是错误的)。

图 12.33 说明了这一误差。采用局部元件和回路元件生成封装模型。从全局的角度去观测受害线。在局部元件的情况下有虚假的毛刺，在地上也有这些毛刺。另一方面，回路元件模型显示信号中无毛刺。将受害线电压减去局部地之后，得到的净电压就呈现为一个干净的响应，如图 12.33 中的下图所示。

以 LPDDR2 的 PoP 系统为例，再次察看以全局和局部为参考时观测电压波形的差异。所产生的眼图如图 12.34 所示。再次，以全局为参考的信号由于与局部元件相关的人为噪声而表现出明显的噪声，而以局部为参考的信号噪声小得多。

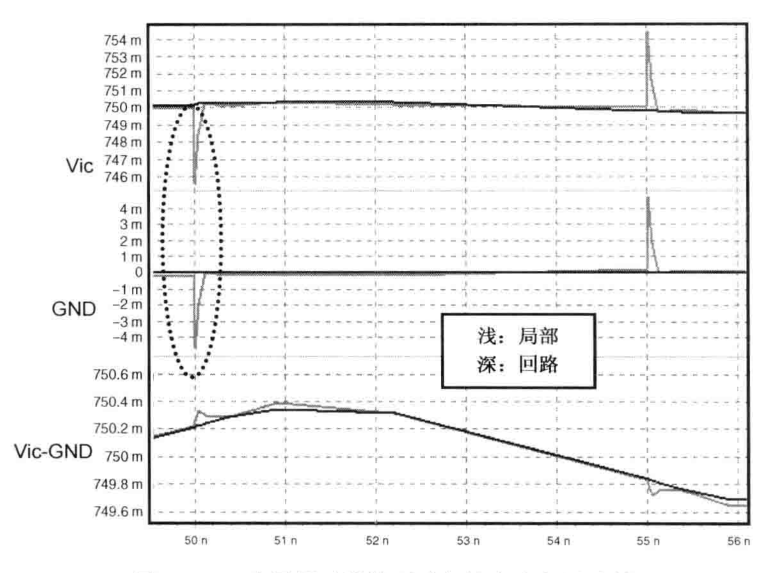


图 12.33　由局部元件模型引起的人为电压毛刺

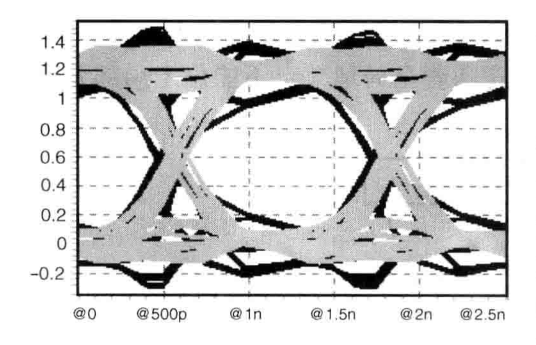


图 12.34　采用信号眼图的人为电压图示
（深色代表全局，浅色代表局部）

12.4.3　信号线网和电源平面的协同仿真

为了进行信号分析而对通道建模时，平面往往被视为具有等电位的理想地。如果在平面之间有足够的去耦电容器或缝合过孔，这一假设是有效的。在对信号和电源噪声进行协同仿真时，要将通道模型（基于理想平面的假设）与电源平面模型加以组合。图 12.35 说明了关于微带线的这一建模方案。然而，将这一方案推广到带状线却是很难的，因为其信号走线夹在电源和地平面之间。这是由于带状线模型假设两平面是等电位的，并没有为电源平面建立单独的电流模型。将电源平面建模为一个额外信号节点的蛮力方法是数值上不稳定的。Engin 等人基于模态分解，提出一种新的模型[16,17]。本节只给出该模型的简要说明，鼓励有兴趣的读者参阅参考文献[16]和[17]。

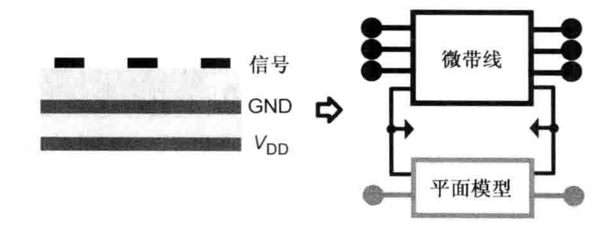


图 12.35　微带线的信号和电源协同仿真模型

图 12.36 给出的通用模型，可用于微带线、带状线、共面波导等各种传输线类型。用额外的电流控制电流源和电压控制电压源，控制平面传播模态和信号传输线模态之间的耦合。

模型用单一因子 k 提取这一耦合机制。k 值取决于不同的平面选项。对于地平面或电源平面之上的微带线(假设信号仍以地为参考)，分别为 $k=0$、$k=-1$。对于均匀介质中的带状线，$k=-h_1/(h_1+h_2)$。其中，h_1 和 h_2 分别是：信号条带、电源平面与地平面间的两个高度值。对于非均匀的带状线情况，必须包含额外的容性负载，以补偿平面模态和传输线模态之间的转换。然而在大多数情况下，不同层间的介电常数相差不大，模态间的转换可以忽略不计。对于共面线，需要用场求解器计算耦合因子的值。准静态求解器可以用于计算在信号线上和电源平面上电流的比值[18,19]。

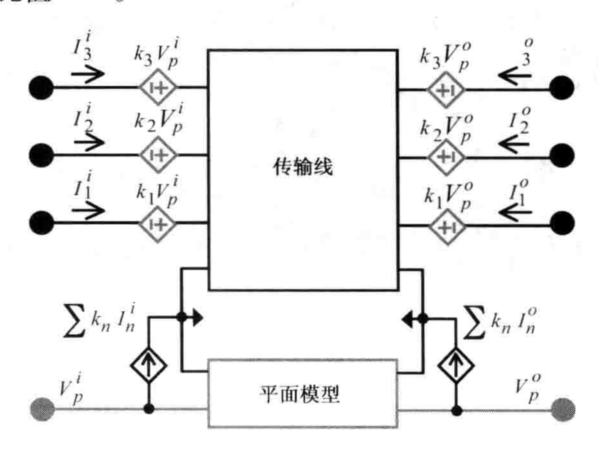


图 12.36　通用的信号和电源协同仿真模型

12.5　案例分析：民品 DDR2 SSN 分析

本节讨论对 DDR2 存储器系统进行 SSN 的分析，其中的问题包括：自生噪声以及耦合噪声。DDR2 存储器被广泛用于消费类产品及 PC 机的主存储器中。设计应用于民品的存储器系统特别具有挑战性，由于系统必须采用双面板和键合封装等低成本技术进行设计。目前 DDR2 系统的数据速率为 667 MHz 或 800 MHz。虽然这些数据率明显低于其他高速链路的数据率，由于单端信令和低成本物理设计，正是 SSN 明显地降低了这些系统中的时序容限。许多 DDR2 存储器接口，受芯片面积所限缺乏片上旁路电容，并采用高电感性的键合封装。

与 C4 倒装芯片设计相比，键合封装通常为 PDN 添加了大量的电感。这样的结果使得电源分配系统在大约 50 ~ 300 MHz 之间形成大阻抗的谐振峰值。典型的 I/O 驱动器从电源轨道获取很大的电流，这会产生大量的电源噪声。为了降低这一电源噪声的影响，对噪声灵敏的电路(例如 DLL 和 PLL)可以采用自己的专用电源轨道。然而，这需要额外的封装引脚。另一种办法是如果安装了足够的旁路电容器，可在电路板一级共享电源。然而，经键合线的耦合仍然会在这些轨道上产生噪声。放置一个电感滤波器(如铁氧体磁珠)，有助于降低经由键合耦合的噪声。

所研究的系统由两个工作于 667 Mbps 数据率的 x16 DDR2 DRAM 所构成的测验板(参见图 12.37)。图 12.38 给出地址线网和数据线网的拓扑结构。两个 DRAM 共享地址线，在板上对它们匹配端接。数据线采用点到点信令以及片上端接(ODT)匹配。DDR2 接口中有

32 条数据信号线工作数据率为 667 MHz；21 条地址和控制信号线，运行于半数据信号速率。系统实现采用 6 层 PCB 板。控制器采用键合封装。

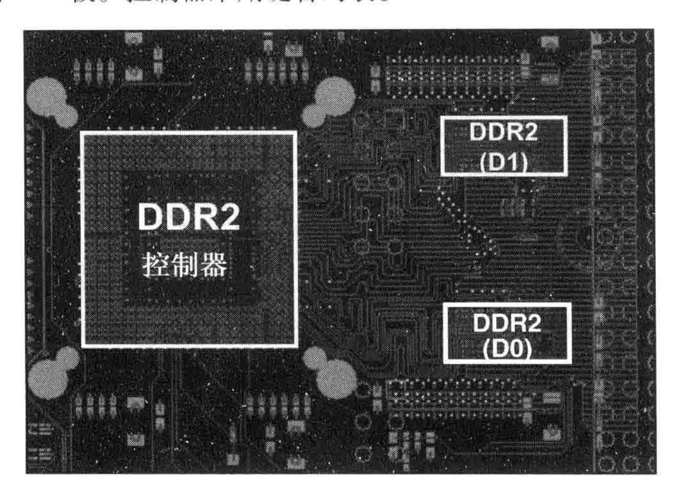


图 12.37 DDR2 测验系统板

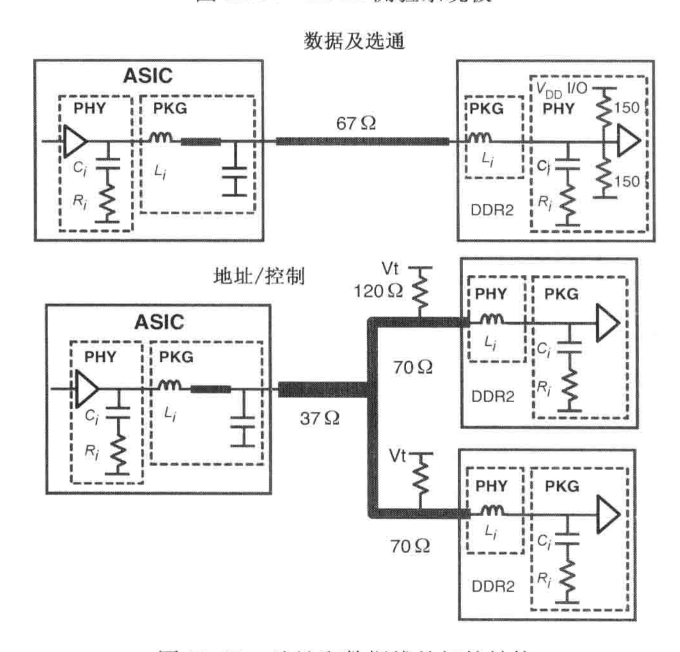


图 12.38 地址和数据线的拓扑结构

控制器芯片的接口部分采用与 ASIC 内核供电分开的电源轨道。所有的电源轨道采用单独的稳压器，以防止 PCB 板上的噪声耦合。DDR2 控制器接口中的输出驱动器采用 1.8 V 的电源轨道(V_{dd} I/O)；接口中的其他电路则采用 1.2 V 电源轨道(V_{ddr})。两个电源轨道共用一个公共地节点(V_{SS})。

键合封装为电源网络添加上主要的电感量。许多情况下，电源回路阻抗主要由封装键合电感主导。此外，键合线之间的耦合是系统中信号到电源耦合和电源到电源耦合的主要渠道。可以基于局部电感的概念，采用三维场求解器从整个封装键合部分的三维图像中提取出封装模型。该模型保有所有键合线之间的电感耦合情况。

12.5.1　自生电源噪声及最坏情况开关模板

可以利用阻抗曲线 $Z_{PDN}(f)$ 找出最坏情况数据模板。根据驱动器的输入状况不同，一个 DDR2 推挽驱动器可以有两个返回电流路径。图 12.25 显示在下拉操作时的电流路径。一个上拉操作将构建出一个经由电源走线和导线的不同电流回路。处于翻转重叠期的撬棍电流在上拉和下拉晶体管间构建一个额外的电流流动回路。撬棍电流路径流经电源走线和地走线。这里的每一种电流都与自身 PDN 曲线相关，所有这三种电流回路都对系统中的总电源噪声有贡献。为了确知系统中的最坏情况活动模板，必须分析所有这三种阻抗。

图 12.39 给出了测验系统中的阻抗曲线 $Z_{up}(f)$、$Z_{down}(f)$、$Z_{crowbar}(f)$。正如图中所示，所有这三种电源阻抗在大约 150 MHz 处有谐振峰值。对于数据信号，模板 1100…(以 667 MHz)被用于激励谐振频率附近的电流，可产生 167 MHz 的噪声。由于地址线工作在半数据率，0101…用做最坏情况模板。

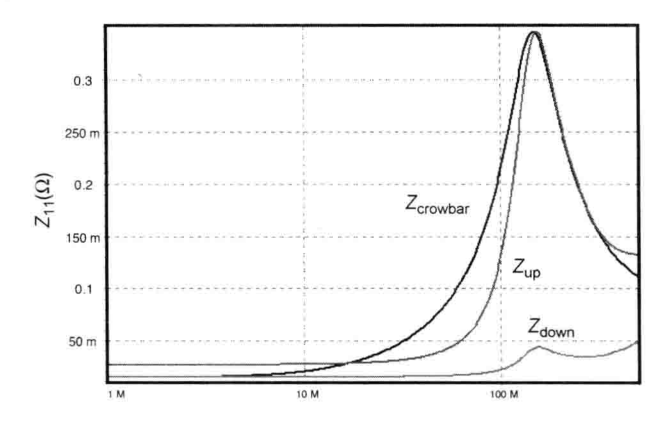


图 12.39　三种驱动器阻抗曲线

图 12.40 给出了增大片上去耦电容值对 $Z_{PDN}(f)$ 的影响。增大去耦电容值可以降低 PDN 阻抗，并将谐振频率向低频转移。然而，它的有效性最终将降低。

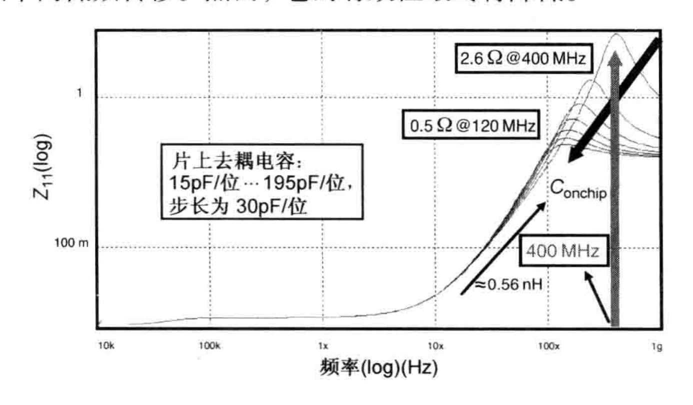


图 12.40　增大片上去耦电容的影响

12.5.2　耦合电源噪声及最坏情况开关模板

自生噪声的定义往往是明确的，PDN 的目标阻抗也是被严格控制的。然而，耦合噪声往往被忽略，这可能会导致系统意外的故障。对噪声耦合的贡献有好几种，每种贡献都需要系统中不同的最坏情况存取模板。此外，还必须考虑内部电源轨道上的自生噪声，特别是当它与输出驱动器活动有关时(例如，前置驱动器的电源可能取自内部电源轨道，而不是输出 I/O 的电源)。

为了表征耦合噪声，必须对转移阻抗进行分析。如果一个电源轨道上的当前驱动器在另一个电源轨道上产生了耦合噪声，两者之间的阻抗就称为转移阻抗。图 12.41 给出了在 V_{ddr}电源轨道上耦合出噪声的几种转移阻抗，以及在 $V_{ddr}-V_{ss}$间生成自生噪声的阻抗。

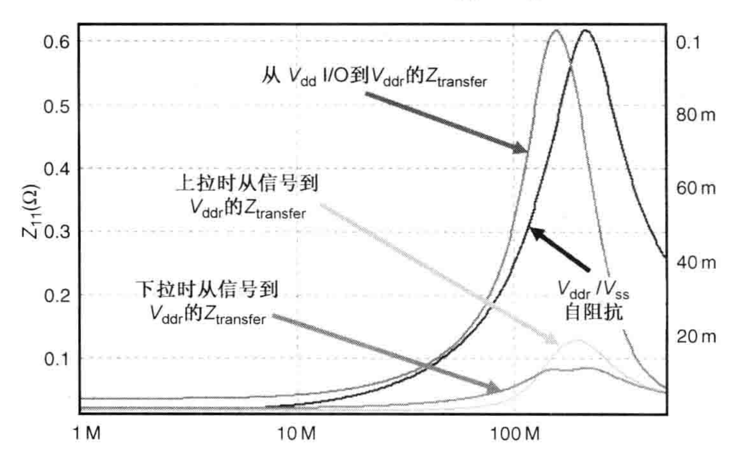


图 12.41　V_{ddr}上产生电源噪声的自阻抗和转移阻抗

由于必须考虑多个输出的情况，很难找到最坏情况开关模板。此外，由于电流回路的变化与工作状态(例如，上拉、下拉、撬棍情况等)有关，不能再单独用交流分析法去进行计算。处理这一问题的方法之一就是根据交流分析结果生成几个模板，然后进行时域仿真以验证它们。对于 SSN 分析，由于 PDN 的最坏情况模板必须与最坏情况 ISI 模板进行组合，将变得更加困难。对于一般的情况，可以采用时域数值方法，例如在第 9 章介绍的广义最大失真分析法，或反向脉冲技术[20]。

12.5.3　噪声测量与关联

由于封装电感的滤波作用，很难在封装引脚处观测到电源噪声。因此，人们经常用一种检测线，通过一条传输线将电源轨道连接到外部引脚以监测片上电源噪声。此外，还可以设计一个片上噪声监测器(如第 16 章所述)直接测量电源噪声。在设计产品(除非是测验芯片)时，不能采用这类做法。

然而，对于 SSTL 驱动器，可以在驱动器的输出端直接观测发送器的片上电源噪声和地噪声。这种方法最初是为另一种存储系统而研发的[21]。在进行这种测量时，一个驱动器可以依据电源噪声或地噪声的指标，发送一个恒定的常值(0 或 1)，而其他所有驱动器则发送相同的开关数据模板。只要驱动器发送一个常值 1，驱动器的电源轨道(V_{dd} I/O)就经由驱动

器的片上端接电阻器连接到输出信号。V_{dd} I/O 电源轨道上的任何噪声都反映为信号线上的噪声。如果知道片上驱动器的阻抗，就可以确知电源噪声。图 12.42 说明了有关电源轨道噪声的这一概念。

图 12.43 显示的是在输出驱动器数据线上测得的信号，驱动器发送一长串 0，接着是一长串 1，而其他所有的驱动器则发送最坏情况模板。测量结果就是在轨道 V_{dd} I/O 和 GND 上的电源噪声。在上拉操作时，输出连接到 V_{dd} I/O 轨道，而在下拉操作时，信号线连接到地节点。注意，在两轨道上的噪声幅度是差不多的。

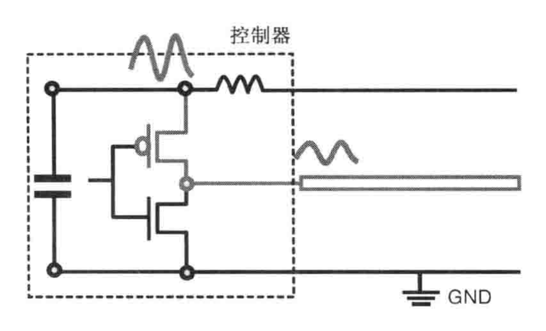


图 12.42　反映在信号线上的电源噪声

如图 12.44 所示，对一种最坏情况模板（由交流分析产生）进行的测量与仿真结果有很好的关联度。仿真与实测波形不仅在噪声的幅度上良好关联；而且噪声的特征也有合理的关联。这验证了本章所介绍建模方法学的准确性。

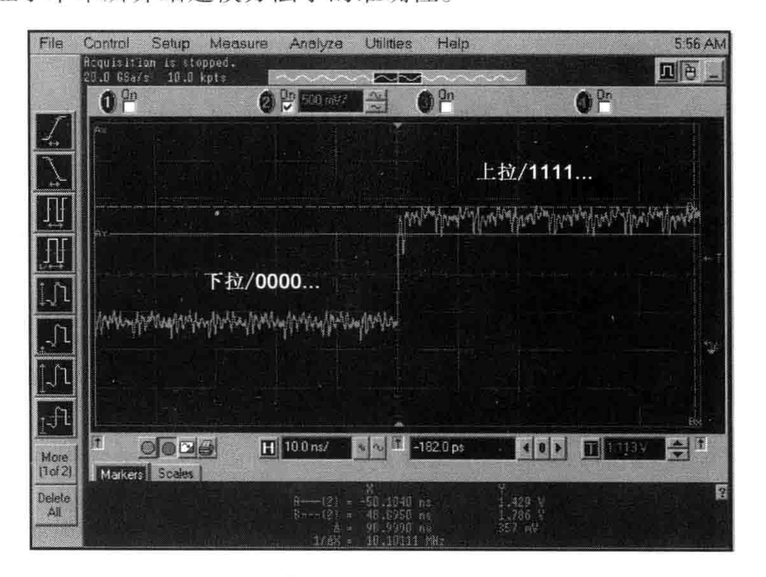


图 12.43　在信号线测量的电源噪声和地噪声

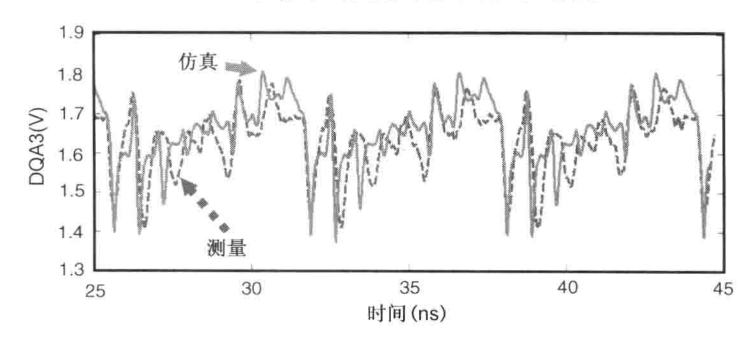


图 12.44　信号线的电源噪声测量

12.6 小结

为了进行 SSN 分析，需要对 PDN 和信号线建模。如要涵盖这些模型的所有方面那就超出了本书的范围；本章只给出了一个概述。从设计的角度看，只有进行良好的 PDN 设计才能降低芯片内核的电源噪声，这往往又增加了系统设计的成本。由于单端 I/O 接口对 SSN 非常敏感，所以它的电源噪声比差分接口的更为重要。幸运的是，数据编码是一种降低 SSN 的有效途径(参见第 13 章)。

本章中讨论的要点是：

- 为了对 SSN 建模，需要给出复杂的通道和 PDN 模型以及激励情况。
- 采用电流镜，可以在不降低准确度的情况下降低通道模型的复杂度。
- 基于简化端口的建模化简，对降低仿真的负担非常有益。
- 采用局部元件表征，需要小心又细心以避免用错。

参考文献

1. D. Oh, F. Ware, W. Kim, J.-H. Kim, J. Wilson, L. Luo, J. Kizer, R. Schmitt, C. Yuan, and J. Eble, "Pseudo-differential signaling scheme based on 4b/6b multiwire code," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2008, pp. 29-32.
2. A. Varma, M. Steer, and P. Franzon, "SSN issues with IBIS models," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2004, pp. 87-90.
3. Z. Yang, S. Hug, V. Arumugham, and I. Park, "Enhancement of IBIS modeling capability in simultaneous switching noise (SSN) and other power integrity related simulations—proposal, implementation, and validation," in *Proceedings of International Symposium on Electromagnetic Compatibility*, Aug. 2005, pp. 672-677.
4. B. Young, *Digital signal integrity: Modeling and Simulation with Interconnects and packages*, Prentice Hall, 2000.
5. R. Schmitt, J.-H. Kim, C. Yuan, J. Feng, W. Kim, and D. Oh, "Power integrity analysis of DDR2 memory systems during simultaneous switching events," presented at the IEC DesignCon, Santa Clara, CA, 2006.
6. J.-H. Kim, W. Kim, D. Oh, R. Schmitt, J. Feng, C. Yuan, L. Luo, and J. Wilson, "Performance impact of simultaneous switching output noise on graphic memory systems," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2007, pp. 197-200.
7. D. Oh, W. Kim, J.-H. Kim, J. Wilson, R. Schmitt, C. Yuan, L. Luo, J. Kizer, J. Eble, and F. Ware, "Study of signal and power integrity challenges in high-speed memory I/O designs using single-ended signaling schemes," presented at the IEC DesignCon, Santa Clara, CA, 2008.
8. R. Schmitt, J.-H. Kim, W. Kim, D. Oh, J. Feng, C. Yuan, L. Luo, and J. Wilson, "Analyzing the impact of simultaneous switching noise on system margin in gigabit singleended memory systems," presented at the IEC DesignCon, Santa Clara, CA, 2008.
9. M. Ha, J.-H. Kim, D. Oh, and M. Swaminathan, "A study of reduced-terminal models for system-level

SSO noise analysis," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2010, pp. 49-52.

10. Q. Qi, D. Quint, M. Frank, T. Michalka, and K. Bois, "Optimizing the package design with electrical modeling and simulation," in *Proceedings of Electronic Components and Technology Conference*, Orland, FL, May 2001, pp. 311-318.
11. Q. Qi, D. Quint, M. Frank, and T. Michalka, "Simulation of a coupled signal and power delivery system in an electronics package," in *Proceedings of Electronic Components and Technology Conference*, San Diego, CA, May 2002, pp. 111-117.
12. D. Oh and C. -C. Huang, "Efficient representation of multi-bit data bus structures by symmetric two-line models," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2002, pp. 141-144.
13. Z. Chen, "Crosstalk superposition of multiple aggressors in electronic package system pre-PD signal integrity simulations," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2006, pp. 115-118.
14. R. Oikawa, D. Gope, and V. Jandhyala, "Broadband SSO modeling for a weak signal return-path system based on the large-scale signal-power combined three-dimensional full-wave BEM solver model," in *Proceedings of Electronic Components and Technology Conference*, Las Vegas, NV, Jun. 2010, pp. 638-645.
15. M. Tsuk, "The use of loop inductances in signal integrity modeling," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2001, pp. 81-84.
16. M. Swaminathan and A. E. Engin, *Power Integrity Modeling and Design for Semiconductors and Systems*, Prentice Hall, 2008.
17. A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol. 29, no. 3, pp. 415-426, Aug. 2006.
18. K. (Dan) Oh, "Efficient modeling of interconnections and capacitive discontinuities in high-speed digital circuits," Ph. D. dissertation, University of Illinois at Urbana-Champaign, May 1996.
19. C. Wei, R. F. Harrington, J. R. Mautz, and T. K. Sarkar, "Multiconductor transmission lines in multilayered dielectric media," *IEEE Transactions on Microwave Theory and Techniques*, vol. 32, no. 4, pp. 439-450, Apr. 1984.
20. V. Drabkin, C. Houghton, I. Kantorovich, and M. Tsuk, "A periodic resonant excitation of microprocessor power distribution systems and the reverse pulse technique," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2002, pp. 175-178.
21. R. Schmitt, C. Yuan, and W. Kim, "Modeling and Correlation of Supply Noise for a 3.2GHz Bidirectional Differential Memory Bus," presented at the IEC DesignCon, Santa Clara, CA, 2005.

第13章　抑制SSN的编码与信令

Dan Oh

正如前面章节所讨论的，SSN是单端信令接口面临的主要瓶颈之一。SSN是由于流经PDN电感上的变化电流所引起的。由于PDN电感的主要成因是封装寄生电感，减少SSN的常规方法就是增多封装的焊球或引脚数（参见第12章关于图形显示存储器系统中引脚数走势的图12.2）。然而，由于随着引脚数的增多电感值减小得很慢，所以增多引脚数的效果有限，从而使得对物理设计的改进比较困难和昂贵。

幸运的是，我们还能用其他替代方案去减少SSN。由于是电源轨道或地轨道上电流的变化产生了SSN，人们可以按某种方式对数据进行编码以便能最大限度降低电流的变化量。常规的时域（时间序列）数据编码是为了实现直流的均衡，或者为了时钟数据恢复（CDR）电路的缘故而设法确保一定次数的开关活动。虽然用数据编码降低电源噪声的概念似乎很新，实际上它已经被用于现代高速图形显示存储器系统中（后面将会给出）。

降低SSN的最简单一类数据编码类型就是差分编码。发送每一位（0或1），需要两条线分别为：1和 -1；或者 -1和1。这使得不论所传送的数据模板如何，总线上的总电流都为一常量，导致零电源噪声（但仍有前置驱动器引起的电源噪声）。这种编码一个额外的好处是，它可以按差分方式进行发送和接收，成为真正的差分信令。除了降低SSN之外，差分信令比单端信令还有诸多其他优势。例如，它对串扰是免疫的；无须明晰的参考电压。此外，比起单端情况，这种对数据的差分接收有效地将输入电压摆幅翻倍。遗憾的是，差分信令也有缺点：它要求两倍的信号引脚数。差分接口另一个小缺点就是在差分对两导线间必须紧耦合布线，必须尽量降低差分对内部错位，以便将共模噪声抑制比最大化并尽量降低差分向共模的转换。

由于需要额外的引脚，人们往往期望差分信令比单端情况的工作速度至少快两倍。如果采用差分信令的器件能支持2x的速度且功耗合理，则认为是有道理的。如果编码的目的只是降低电源噪声，那么还有一些可供选择的更高效信令或编码方案。本章将探讨几种这一类的编码选项。13.1节首先给出用于图形显示存储器系统的数据总线反相（DBI）编码[1~5]。虽然DBI编码降低了电源噪声，它在噪声降低的有效性方面并非是最佳的。13.2节将讨论一种伪差分信令方案，可以更有效且最大限度地降低SSN。这一信令方案采用4b/6b编码使得信号可以被差分接收，但也增大了接收器的复杂度。

13.1　数据总线反相编码

设计数据总线反相（DBI）的目的是降低POD信令（参见12.3.2节对POD信令的综述）中的功耗[1]。如图12.27所示，POD信令中的通道只在电源轨道上端接，所以它仅在低电平状态时消耗直流功率，从端接到地之间汲取电流。DBI编码的主要目标是尽量降低数据总线上

低电平状态(0)的数目，以降低功耗。在 GDDR4 存储器系统中 DBI 被首次采用。GDDR4 给出了两种数据总线反相编码方案，称为 DBI-AC 和 DBI-DC。这两种方案对总线的极性加以编码；用一个额外的信号发送这一编码(反相)信息，两种方案的编码准则不同。为了避免出现一个额外的编码信号引脚，GDDR4 在 READ 操作时用 WRITE 数据掩模作为 DBI 的标志；在 WRITE 操作期间用 RDQS 作为 DBI 的标志。

DBI-AC 通过将总线值的极性反相，降低了连续状态下发生位改变的总数[1,2]。这种编码方案的正确实现需要考虑 DBI 位的状态，在总线极性反相时要将 N 位数据总线的最大状态改变数以及 DBI 的标志限制为 $N/2$。因此，这种编码方案能最大限度地降低交流功耗，但未考虑直流功耗。由于它最大限度地降低开关电流，从而降低了高频电源噪声。但是，它不能降低 PDN 谐振频率附近的中频电源噪声。在功耗方面，DBI-AC 对于未端接的通道(如 LP-DDR1/2)更有意义，由于这些通道的直流功耗为零。

DBI-DC 通过将总线值的极性加以反相，降低了总线的“权重”(或 0 或 1 状态的总数)[3]。为了正确实现这种编码方案，需要将 N 位总线的“权重”限制到 $N/2$。能被降低的符号数取决于总线的端接类型。对于 GDDR4，它采用 V_{DDQ}参考的 POD 信令。由于是 0 状态消耗静态电流，通过降低 0 状态总数可以节省功耗。表 13.1 给出了 DBI-DC 和 DBI-AC 情况下的编码示例。在典型的图形显示系统中，都是对 8 位进行编码。由于额外的 DBI 引脚需求，DBI 编码不太可能被用于总线少于 8 位的场合。

表 13.1　DBI 编码示例

未编码	DBI-AC		DBI-DC	
	数据	DBI 位	数据	DBI 位
11000···	11111···	00111···	11001···	00101···
10000···	10111···		10001···	
11111···	11000···		11110···	
11000···	11111···		11001···	
11010···	11101···		11011···	
11010···	11101···		11011···	
11000···	11111···		11001···	
11011···	11100···		11010···	

为了研究 DBI 编码在节省功耗方面的有效性，用 MATLAB 做一个简单的傅里叶分析。在构建一个能用 MATLAB 快速评估的系统时，只考虑输出信令电流，先不考虑通道效应并假设 PDN 的阻抗也是理想的。在评估 8 位 GDDR4 总线中 DBI 对信令电流聚合特性的影响时，采用 1.8 V V_{DDQ}参考端接；一个 60 Ω 上拉阻抗的驱动器；一个 40 Ω 下拉阻抗的驱动器。所关心的电流(I_{VDDQ})就是各自信令电流的总和。

图 13.1 给出傅里叶分析的结果，对比了信令速率为 4 Gb/s、有和没有 DBI 编码时 8 位总线的幅度谱[6](在 DBI 编码总线结果中包括 DBI 信号的电流)。由于信令电流的缘故，DBI-AC 编码比未编码总线时增大了频谱项和功耗。这并不奇怪，因为 DBI-AC 编码算法原本是为了减少非端接总线的开关活动，并“不知道”端接总线的静态电流消耗。

然而，DBI-DC 编码总线比未编码总线在整个频谱的信令电流都有下降。理论上，DBI-DC 算法将编码总线的最大 di/dt 减小 50%；将信令电流引起的功耗降低 18%。傅里叶分析

中比较有趣的是，DBI-DC 比未编码总线在除 DC 之外，电流 RMS(有效值)的频谱降低了 39%。表 13.2 给出了理想 8 位总线的结果对比[7]。表中对比了最坏情况直流电流、傅里叶频谱、未编码和编码情况下的平均电流消耗。

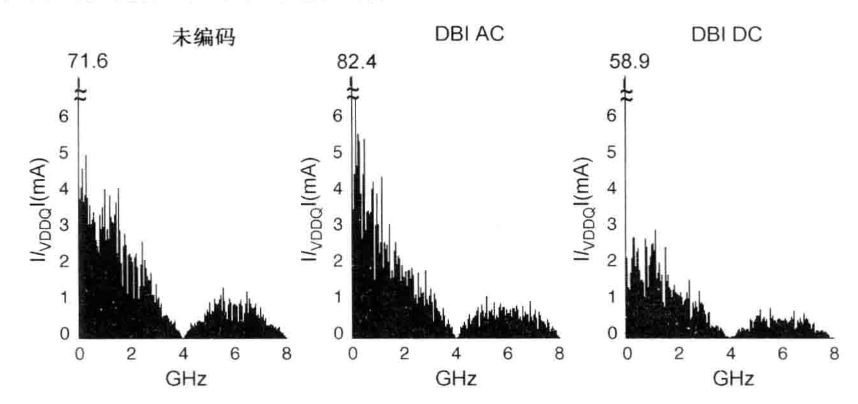


图 13.1 “理想”8 位总线聚合信令电流的频谱

表 13.2 未编码、DBI-AC 编码、DBI-DC 编码总线的电流幅值

聚合总线电流	未编码	DBI-AC	DBI-DC
最坏情况直流(相对%)	144 mA(100%)	162 mA(113%)	72 mA(50%)
仅交流项(相对%)	25.7 mA(100%)	27.1 mA(105%)	15.7 mA(61%)
平均输出(相对%)	71.6 mA(100%)	82.4 mA(115%)	58.9 mA(82%)

下一个示例是如图 13.2 所示的 GDDR5 通道。首先，对包括受害线在内所有影响串扰的 5 个驱动器建模。然后，用第 12 章中所介绍的电流镜对另外 35 个驱动器建模。用快速时域仿真(参见第 10 章)技术对眼图进行仿真。图 13.3 给出有/无 DBI-DC 编码情况下 5 Gb/s 时的眼图和浴盆曲线。将所有攻击线同时开关的最坏情况数据模板用做输入。在 $BER = 10^{-15}$ 时获得约 10% UI 的容限收益。现在，将 PRBS 数据模板而不是最坏情况数据模板作用于每条攻击线。图 13.4 给出了眼图结果。不同于以上的情况，DBI-DC 并没有对时序容限有太大的改善。最新的 GDDR5 采用了数据扰码[5]，应用了数据扰码时的 DBI 编码效果就会较差。

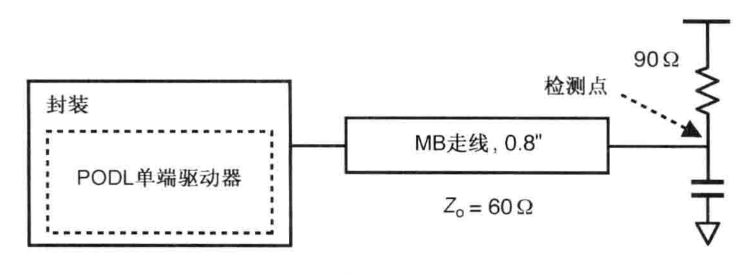


图 13.2 GDDR5 图形显示通道的 SSN 仿真设置

综上所述，虽然 DBI 对电源噪声的降低不到 40%，但仍是一种降低最坏情况电源噪声非常有效和简单的方法，并具有节省功耗的好处。最新的 GDDR5 器件将总线反相特征扩展到地址和指令线(ABI)。当 I/O 数据率继续提高时，采用 DBI 或其他编码的性能优势将更加

显著。注意，如果在编码时采用了额外的引脚，必须在计入引脚开销的前提下对整个系统的有效带宽再仔细地加以计算。

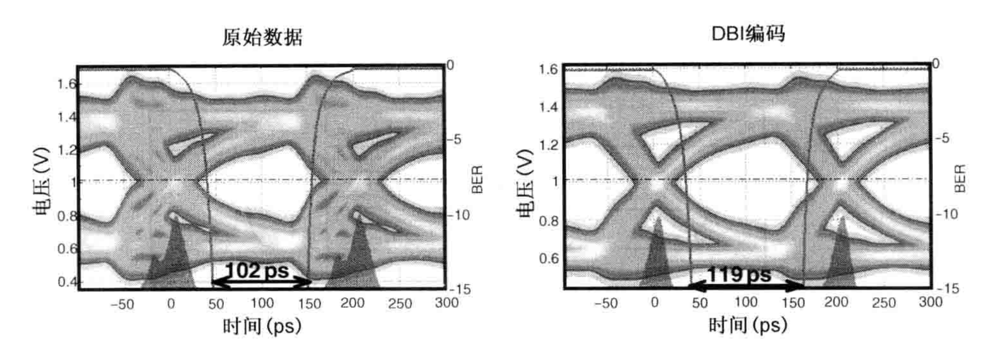


图 13.3 最坏情况数据模板的眼图，无 DBI 和有 DBI-DC

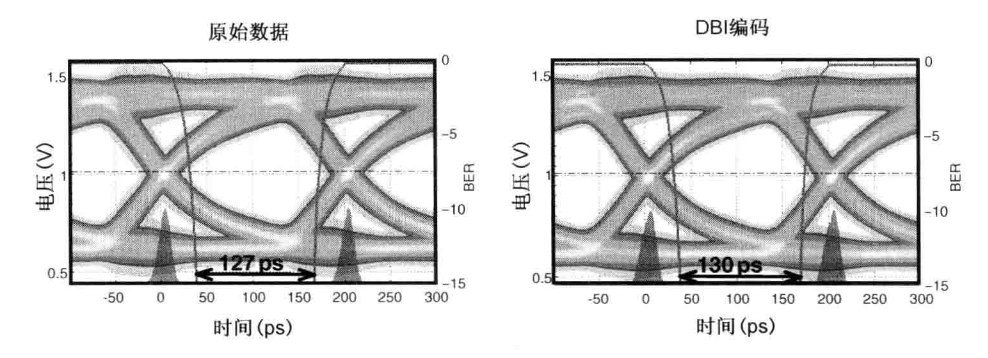


图 13.4 PRBS 数据模板的眼图，无 DBI 和有 DBI-DC

13.1.1 用 DBI 对噪声整形

DBI-DC 通过限制状态相同的驱动器个数降低了最坏情况电源噪声，而 DBI-AC 通过限制翻转驱动器的个数降低了高频开关噪声。然而，对于 PDN 谐振附近中频范围内的电源噪声峰值，两种方案都影响不到 PDN 的频率响应行为。如果我们把总线聚合信号当成一个单一信号，可以对这一信号进行整形(编码)以避开 PDN 峰值谐振频率，从而降低最坏情况的电源噪声。

一个称为 DBI-SS 的先进 DBI 编码技术，通过对总线活动进行编码，改变了聚合总线信令电流频谱的外形[7]。编码将总线信号的频谱成分整形，避开了 PDN 的谐振频率。采用类似于常规数据信号的均衡化对信号频谱整形。由于是用现有的 DBI 信号进行均衡，DBI-SS 可以很容易地在当前器件上实施。总线均衡化的最简单形式是在 PDN 谐振频率附近构建一个凹槽。让总线信号在最坏情况 PDN 阻抗处激励最低频谱成分。在编码器中用数字滤波器形成一个总的频谱形状。该滤波器可以按位率或(十进制)子位率工作。图 13.5 给出了 DBI-SS 编码技术的实现示例。编码器在传统 DBI 编码器中增加了“检测滤波器”和基于阈值的决策模块。在解码模块中不需要额外的电路。

13.1.2 用混合 DBI-SS 降低前置驱动和输出驱动噪声

一个高速 I/O 驱动器由前置驱动器和输出驱动器构成。前置驱动器通常为 CMOS 信号，并

用不同于输出驱动的单独电源。由于一个典型的时钟树与前置驱动器共享同一个电源，任何由前置驱动器产生的电源电压噪声，不仅增加了前置驱动器的抖动，也会在 CMOS 时钟缓冲器上造成额外的抖动。与输出电源噪声不同(它只有在单端信令接口中才出现)，由于前置驱动器总是单端的，即使在差分信令接口中也会产生由前置驱动器噪声引起的抖动。

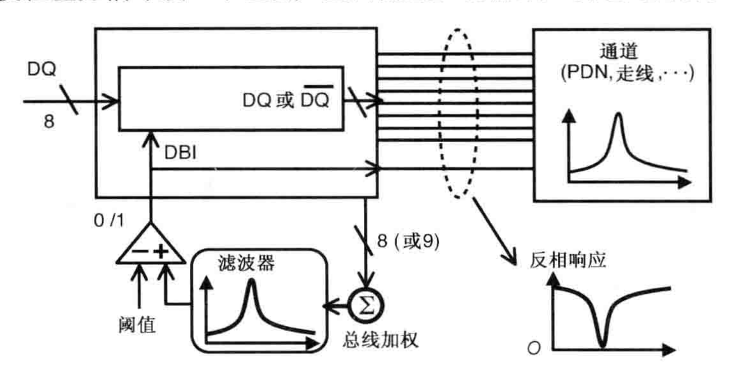


图 13.5 DBI-SS 编码器框图

图 13.6 所示为 DDR2 通道的各种波形。上面是数据信号的电压、电流波形。下面是输出电源轨道和前置驱动电源轨道的电流。如图所示，输出电源噪声电流与前置驱动器电源噪声电流明显不同。对于前置驱动器的情况，只要有逻辑翻转就有激励电流，没有一个稳态项。此外，输出的电源 PDN 也不同于前置驱动器的情况。在前置驱动器的 PDN 谐振频率处发送一组开关数据模板，将产生严重的电源噪声并开始出现错误[8]。如图 13.6 所示，前置驱动器噪声是位切换个数的一个函数，而不是总线权重的函数。所以，DBI-DC 和 DBI-SS 都不能有效地对付前置驱动器噪声。

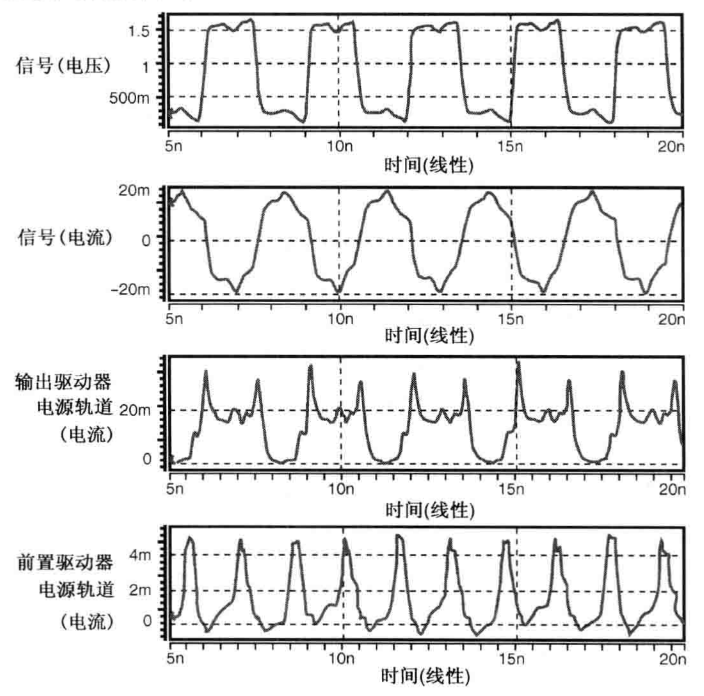


图 13.6 DDR2 前置驱动器和输出驱动器电源轨道上的电流波形

幸运的是，可以根据前置驱动器 PDN 的频率响应，轻松地改变 DBI-SS 输入信号位切换的个数，而不是改变总线的权重。

可以对 DBI-SS 方案做进一步修改以同时应对前置驱动器和输出驱动器的电源噪声。这时，要采用两个输入信号的加权平均：一个输入采用 1 的个数；另一个输入采用位切换的个数。图 13.7 说明了这种混合方案：总线编码根据电流噪声电平，自动地降低了输出驱动器或前置驱动器的电源噪声。

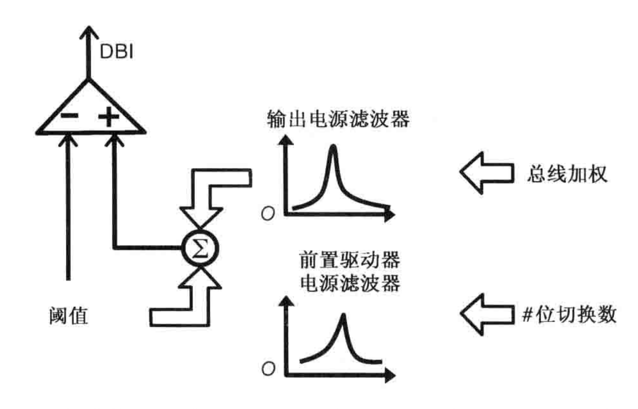


图 13.7　解决前置驱动器和输出驱动器电源噪声的 DBI-SS 混合滤波方案

13.2　基于 4b/6b 编码的伪差分信令

13.1 节的示例表明，DBI-DC 编码通过限制电流的变化幅度消除了最坏情况电源噪声。本节探讨一种新的编码方案，不仅能消除电流的变化，还能保持差分信令许多优良的性能[9]。这一编码称为矢量信令，是一种伪差分信令。从发送器的角度看，矢量信令就是编码的单端信令。接收器采用单端接收器或有额外电路的差分接收器即可。然而，得到矢量信令好处的代价是：采样器个数为单端接收器的 2.5 倍以上。因此，本节介绍另一种需要较少采样器的接收器设计[10]。对于单端存储器或者差分并行接口的应用场合，矢量信令是它们另一种信令接口的选项。

13.2.1　广义矢量信令

为矢量信令选择的编码空间，要具有零同时开关输出噪声。就是所有码字中 1 的个数（汉明权重）是固定的，以保持恒定的总电源/地电流。一般情况下，矢量信令将 n 位数据（其中 n 不一定为一整数）编码成一个 M 位的码字，经由 M 条线发送。引脚效率为 n/M（差分信令和单端信令的引脚效率分别为 0.5 和 1）。表 13.3 给出 $M=4$ 情况下码字的有效集合。当 1 的个数和 0 的个数差异最小时，编码的效率将最大化。

矢量信令还支持成对的差分采样器。这些差分采样器消除了参考电压，输入摆幅比单端信令采样器时大 2 倍。然而，与差分信令有两个信令电平（-1、1）不同，差分采样器有三个电平（-1、0、1）。基于先前的编码选择，解码器可以忽略 0 电平，这是差分接收器的一个亚稳态。换句话说，0 级的输出可以被视为“无关项”。

表 13.3　$M=4$ 时码字的有效集合

汉明权重	1	2	3
码字	0001	0011	0111
	0010	0101	1011
	0100	1001	1101
	1000	0110	1110
		1010	
		1100	
引脚效率	0.5	0.65	0.5

图 13.8 是一个 4 线的矢量信令系统。4 线系统需要 6 个差分采样器。表 13.4 是汉明权重为 2 时的解码表。由于所有的符号都有唯一的位置 −1 和 1，因此可以将 0 电平视为一个“无关项”。

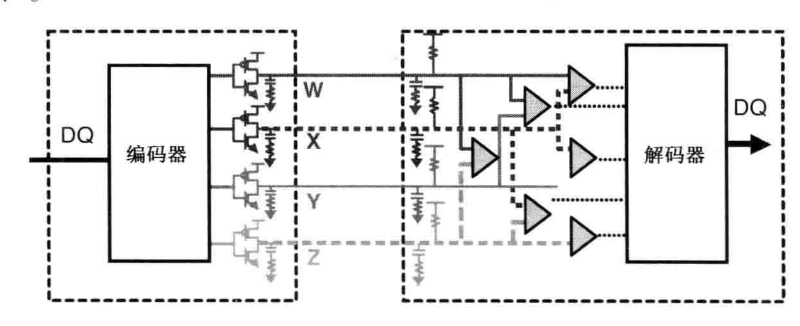


图 13.8　4 线矢量信令系统采样

表 13.4　$M=4$ 和汉明权重为 2 时的矢量信令解码表

符号	发送器	接收器					
	($w\ x\ y\ z$)	$w-x$	$w-y$	$w-z$	$x-y$	$x-z$	$y-z$
A	0011	δ	−1	−1	−1	−1	δ
B	0101	−1	δ	−1	1	δ	−1
C	1001	1	1	δ	δ	−1	−1
D	0110	−1	−1	δ	δ	1	1
E	1010	1	δ	1	−1	δ	1
F	1100	δ	1	1	1	1	δ

图 13.9 给出了两个基于拥有 15 个差分采样器的 6 线矢量信令眼图。第一个眼图给出接收信号的原始眼图。第二个眼图是滤除亚稳态之后的眼图。即使滤波后，仍然存在一些额外的频带。这些是由于亚稳态与有效电平之间的切换所引起的。幸运的是，这些频带位于内眼图的睁开度以外，不会降低最终的性能。由于大量采样器过大的容性负载，可以观测到严重的符号间干扰。

表 13.5 列出了各种 M 值下的引脚效率和所需采样器的个数。当矢量线的个数增多时引脚效率则提高，但其代价是采样器个数变多。一般，当 M 为奇数时引脚效率较差。对于 $M=6$ 的情况(6 线矢量信令)，其引脚效率和接收器设计复杂度之间有一个很好的平衡，我们在下一节将做更详细的研究。

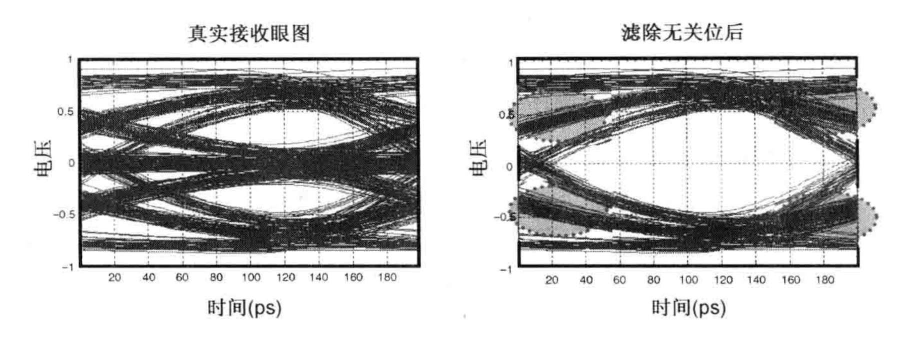


图 13.9 矢量信令差分采样器接收的原始眼图以及经滤除亚稳态输入后的有效眼图[9]（ⓒ 2008 IEEE）

表 13.5 各种编码的引脚效率以及所需采样器的个数

M	n	符号个数	效率	采样数	汉明权重
3	1	3	0.53	3	1
4	2	6	0.65	6	2
5	3	10	0.66	10	2
6	**4**	**20**	**0.72**	**15**	**3**
7	5	35	0.73	21	3
8	5	70	0.77	28	4
9	6	126	0.78	36	4
10	7	252	0.80	45	5

13.2.2 4b/6b 矢量信令

如表 13.5 所示，从引脚效率和接收器复杂度的角度看，6 线矢量信令（将 4 位数据映射为 6 位码字）似乎是最实用的。图 13.10 给出了一个 6 线矢量信令系统。如图所示，由于信号布线的走线长度必须良好匹配，因此 15 个采样器的设计变得相当复杂。它还为通道增添了大量的容性负载（每条线连到 5 个采样器）。如图 13.9 所示，由于大量容性负载造成的符号间干扰，眼图将严重闭合。为了缓解这一问题，人们可以采用前置放大器或线性均衡器，屏蔽掉由多个采样器形成的额外电容。表 13.6 给出的是编码表和解码表。

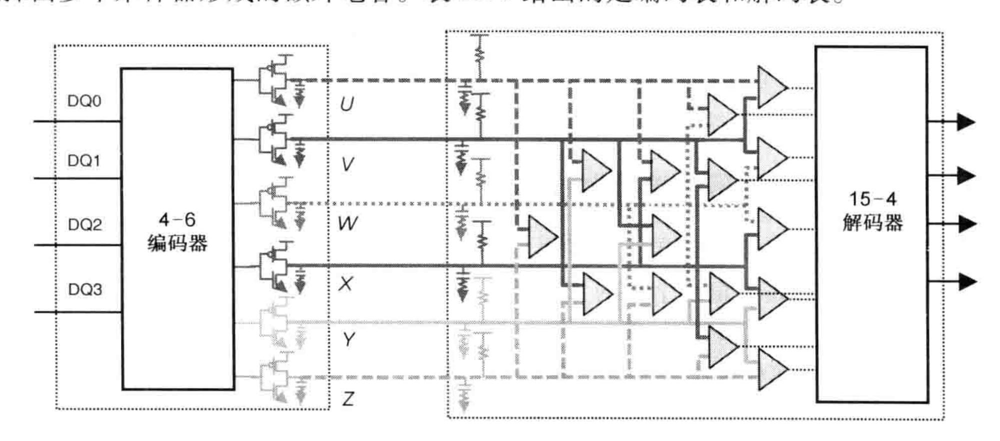


图 13.10 6 线矢量信令系统采样

表 13.6 的情况类似于 4 线时的解码表：观测所有的符号都具有单独的位置 –1 和 1，仍然可以将 0 电平认为是“无关项”。此外，注意所有的矢量信令编码都有一个对称的解码模板。虽然有 20 个码字(符号)，只需要用 16 个符号映射 4 位信息。其余 4 个符号可用于其他目的，例如错误检测或数据屏蔽等。

表 13.6　6 线矢量信令的编码表和解码表

符号	发送器						接收器														
	1	2	3	4	5	6	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	U	*V*	*W*	*X*	*Y*	*Z*	*U-V*	*U-W*	*U-X*	*U-Y*	*U-Z*	*V-W*	*V-X*	*V-Y*	*V-Z*	*W-X*	*W-Y*	*W-Z*	*X-Y*	*X-Z*	*Y-Z*
A	1	1	1	0	0	0	δ	δ	1	1	1	δ	1	1	1	1	1	1	δ	δ	δ
B	1	1	0	1	0	0	δ	1	δ	1	1	1	δ	1	1	–1	δ	δ	1	1	δ
C	1	1	0	0	1	0	δ	1	1	δ	1	1	1	δ	1	δ	–1	δ	–1	δ	1
D	1	1	0	0	0	1	δ	1	1	1	δ	1	1	1	δ	δ	δ	–1	δ	–1	–1
E	1	0	1	1	0	0	1	δ	δ	1	1	–1	–1	δ	δ	δ	1	1	1	1	δ
F	1	0	1	0	1	0	1	δ	1	δ	1	–1	δ	–1	δ	1	δ	1	–1	δ	1
G	1	0	1	0	0	1	1	δ	1	1	δ	–1	δ	δ	–1	1	1	δ	δ	–1	–1
H	1	0	0	1	1	0	1	1	δ	δ	1	δ	–1	–1	δ	–1	–1	δ	δ	1	1
I	1	0	0	1	0	1	1	1	δ	1	δ	δ	–1	δ	–1	–1	δ	–1	1	δ	–1
J	1	0	0	0	1	1	1	1	1	δ	δ	δ	δ	–1	–1	δ	–1	–1	–1	–1	δ
K	0	1	1	1	0	0	–1	–1	–1	δ	δ	δ	δ	1	1	δ	1	1	1	1	δ
L	0	1	1	0	1	0	–1	–1	δ	–1	δ	δ	1	δ	1	1	δ	1	–1	δ	1
M	0	1	1	0	0	1	–1	–1	δ	δ	–1	δ	1	1	δ	1	1	δ	δ	–1	–1
N	0	1	0	1	1	0	–1	δ	–1	–1	δ	1	δ	δ	1	–1	–1	δ	δ	1	1
O	0	1	0	1	0	1	–1	δ	–1	δ	–1	1	δ	1	δ	–1	δ	–1	1	δ	–1
P	0	1	0	0	1	1	–1	δ	δ	–1	–1	1	1	δ	δ	δ	–1	–1	–1	–1	δ
Q	0	0	1	1	1	0	δ	–1	–1	–1	0	–1	–1	–1	δ	δ	δ	1	δ	1	1
R	0	0	1	1	0	1	δ	–1	–1	δ	–1	–1	–1	δ	–1	δ	1	δ	1	δ	–1
S	0	0	1	0	1	1	δ	–1	δ	–1	–1	–1	δ	–1	–1	1	δ	δ	–1	–1	δ
T	0	0	0	1	1	1	δ	δ	–1	–1	–1	δ	–1	–1	–1	–1	–1	–1	δ	δ	δ

实现 6 线矢量信令的主要挑战是对去往 15 个采样器的走线进行布线。与 4 线的情况一样，所有走线的长度必须匹配。因为任何不匹配都可能在差分采样器上引起噪声。对于 DRAM 工艺的情况，由于金属层的数量有限，要做到这一点是很难的。

13.2.3　采样器较少的另类接收器设计

上述 6 线矢量信令的实现需要大量的采样器，极大地增加了接收器设计的复杂度。事实上，所需采样器的个数是矢量线个数的二次函数。本节给出一种简单的实现，用的采样器个数较少并允许对走线进行更轻松的布线[10]。

可以采用如下的方案构建出一种新的解码表。首先，将矢量线分为两个小组：{*U*, *V*, *W*} 和 {*X*, *Y*, *Z*}。然后，对比每个小组内的矢量线。这显然不能产生足够的信息以区分开所有的符号。为了帮助解码，再引入一个 6 端的比较器。表 13.7 给出了完全解码的信息。注意：在此实现中符号 *A* 和 *T* 不是有效的码字，在表中将其划掉。与前面的情况类似，新的解码表

确保了 -1 和 1 的唯一位置，并具有对称的解码模板。图 13.11 说明了 6 线矢量信令的这一特殊实现。限制这一方案性能的主要因素是 6 端比较器的设计。

表 13.7 6 线矢量信令的编解码以及化简的接收器设计

符号	发送器						接收器						
	1	2	3	4	5	6	1	2	3	4	5	6	7
	U	*V*	*W*	*X*	*Y*	*Z*	*U-V*	*U-W*	*W-U*	*X-Y*	*Y-Z*	*Z-X*	(*U*+*V*+*W*) - (*X*+*Y*+*Z*)
~~A~~	~~1~~	~~1~~	~~1~~	~~0~~	~~0~~	~~0~~	~~δ~~	~~δ~~	~~1~~	~~1~~	~~1~~	~~δ~~	~~1~~
B	1	1	0	1	0	0	δ	1	δ	1	1	1	1
C	1	1	0	0	1	0	δ	1	1	δ	1	1	1
D	1	1	0	0	0	1	δ	1	1	1	δ	1	1
E	1	0	1	1	0	0	1	δ	δ	1	1	-1	1
F	1	0	1	0	1	0	1	δ	1	δ	1	-1	1
G	1	0	1	0	0	1	1	δ	1	1	δ	-1	1
H	1	0	0	1	1	0	1	1	δ	δ	1	δ	-1
I	1	0	0	1	0	1	1	1	δ	1	δ	δ	-1
J	1	0	0	0	1	1	1	1	1	δ	δ	δ	-1
K	0	1	1	1	0	0	-1	-1	-1	δ	δ	δ	1
L	0	1	1	0	1	0	-1	-1	δ	-1	δ	δ	1
M	0	1	1	0	0	1	-1	-1	δ	δ	-1	δ	1
N	0	1	0	1	1	0	-1	δ	-1	-1	δ	1	-1
O	0	1	0	1	0	1	-1	δ	-1	δ	-1	1	-1
P	0	1	0	0	1	1	-1	δ	δ	-1	-1	1	-1
Q	0	0	1	1	1	0	δ	-1	-1	-1	0	-1	-1
R	0	0	1	1	0	1	δ	-1	-1	δ	-1	-1	-1
S	0	0	1	0	1	1	δ	-1	δ	-1	-1	-1	-1
~~T~~	~~0~~	~~0~~	~~0~~	~~1~~	~~1~~	~~1~~	~~δ~~	~~δ~~	~~1~~	~~1~~	~~1~~	~~δ~~	~~-1~~

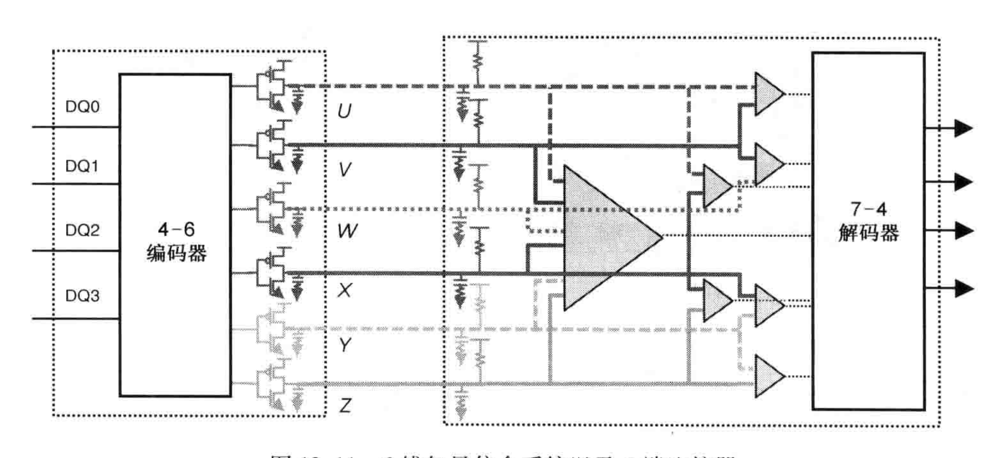


图 13.11 6 线矢量信令系统以及 6 端比较器

下面，给出对大量矢量线的一个更一般性陈述。将总的 *M* 条矢量线分为 *P* 个小组，其大小为 $\{N_1, N_2, \cdots, N_P\}$。*P* 必须是偶数，所有小组的大小必须是奇数。每个小组被视为一个独立的矢量信令系统，从而可以降低接收器设计的复杂度。假设在每个小组中 1 的个数和 0 的个数间差异最小，这就是说，根据小组的不同情况，一个小组内所有符号中将多出一个 0

或多出一个1。这时，将每个小组的符号反相，可以得出额外的 P 个符号。由于假设 P 是一个偶数，矢量信令可以被进一步地应用于这些额外的信号。

在6矢量线系统中，P 为2，N_1 和 N_2 为3，每个组的码字数为3。我们将两组反相信号强置为正负号相反，以便采用6端差分比较器。因此，最终可用的码字数为 $3 \times 3 \times 2 = 18$。

13.2.4 性能对比

本节对矢量信令系统的性能进行评价。这里，将 GDDR 图形显示存储器通道作为一个测试平台。图13.12所示为通道设置。这是一种高端图形显示卡系统的设置，采用4层的 DRAM 封装，用带状线布线以尽量降低串扰的影响(前面几节中给出的仿真曲线采用了相同的设置)。

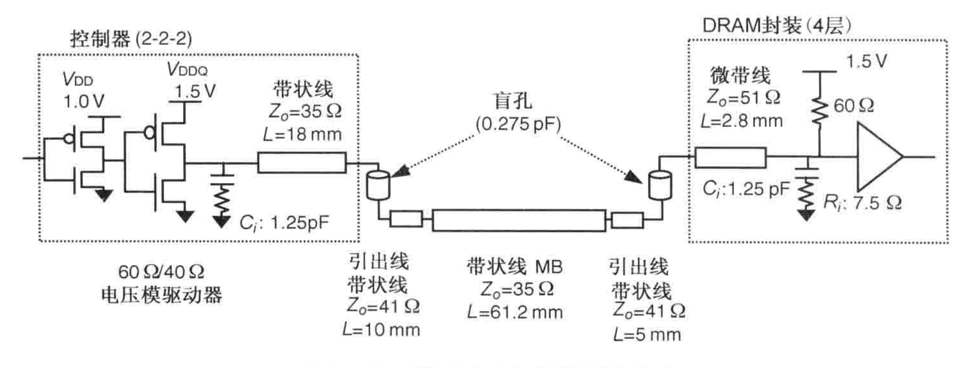


图13.12 图形显示存储器通道设置

图13.13比较了单端眼图与有15个采样器的6线矢量信令系统眼图。注意在图13.13中的两个曲线幅度间的差异。在这一示例中，由矢量信令对眼图睁开度的改善几乎是大了一倍。

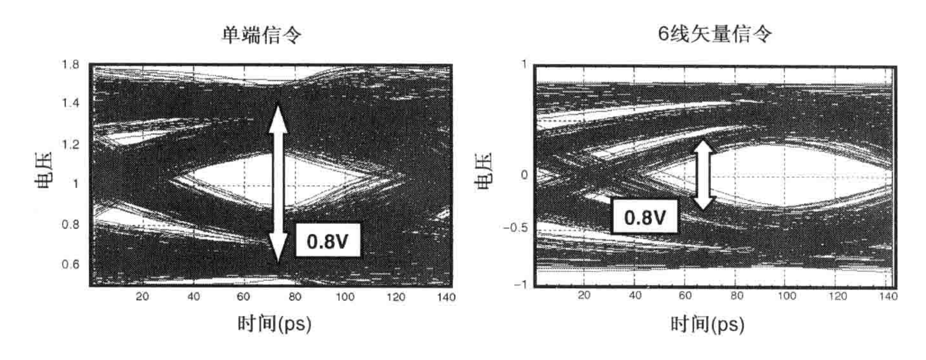


图13.13 单端信令和6线矢量信令在7 Gb/s时的眼图对比

虽然矢量信令明显扩大了眼图的睁开度，眼图也表明由于多个采样器额外的容性负载引起了严重的符号间干扰。图13.14给出了不同 C_i 值和不同均衡选项下的眼图。第一种是额外电容的情况，由于9 Gb/s时的符号间干扰导致眼图闭合。第二种是没有额外电容的情况，有一个还说过得去的眼图睁开度。第三种是采用上限频率为10 GHz的前置放大器情况，其性能类似于第二种情况。因此，前置放大器可以非常有效地屏蔽采样器的电容。应用在4 GHz时具有3 dB增益的线性均衡器，可以进一步改善眼图。所产生的眼图显示在第四幅图中。

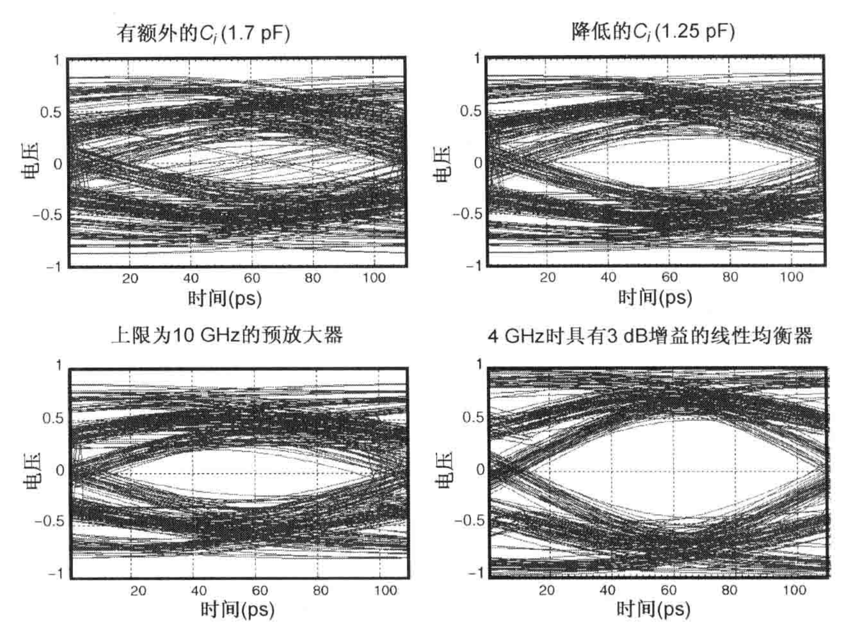


图 13.14　9 Gb/s 时的 6 线矢量信令眼图：15 个采样器形成的额外电容；无额外电容；有上限频率为10 GHz的前置放大器；在4 GHz时有3 dB增益的线性均衡器[9]（ⓒ 2008IEEE）

本节的其余部分对比了各种系统配置下的性能。如图 13.2 所示的单端图形显示系统是一个采用 4 层 DRAM 封装的高端图形显示系统。将这一系统的性能作为评估时的基线（HE 基线）。这一系统的低成本版本，其主板走线采用的是微带线而不是带状线；使用两层 DRAM 封装而不是 4 层，代表是一种低成本系统。对具有 DBI、矢量信令、差分信令的高端系统，也一起加以评估。

在进行这种对比分析时，采用眼高为 100 mV、眼宽为 1/2 UI 的眼图掩模，求解出一个目标数据率。采用类似于第 7 章中所介绍的实验设计（DoE）去厘清潜在的制造波动。在把每种配置下的性能与高端基线系统的性能对比之后，给出了图 13.15 所示的结果。在这一对比中没有考虑另外的引脚开销。

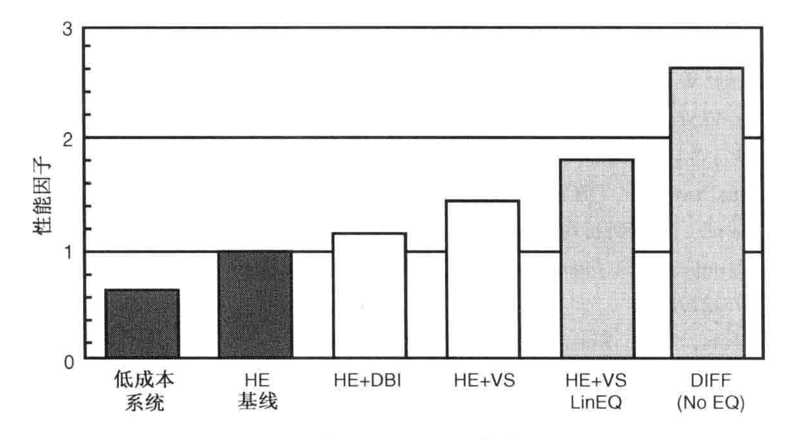


图 13.15　各种单端技术与差分信令的性能对比

相比于基线情况，低成本系统的性能由于串扰而明显变差。DBI 和矢量信令都给出了合理的性能改善。然而，如果编码导致另外的引脚开销，这两种情况都不会给出任何明显的性能改善。DBI 的每个字节需采用一个额外的引脚，而矢量信令的每个字节则需要额外的 4 个引脚。即使在有额外引脚开销的情况下，具有线性均衡器的矢量信令以及差分信令都提供了出色的性能改善。

最后，矢量信令的潜在缺点是对串扰的灵敏度，以及在大量的矢量线间需要严格的长度匹配。虽然矢量信令的性能并不如差分信令的优秀，它仍然是差分信令之外一个有趣的变通选项。对于低速的 DRAM 工艺情况尤其如此，因为差分信令的高数据率将需要大量功耗和面积的支持。

13.3 小结

本章讨论了两种用于降低电源噪声的总线编码。第一种编码采用了数据总线反相(DBI)信号以降低最坏情况电源噪声。本章还讨论了这一方案的高级版本，它可以“均衡”总线的活动。第二种编码采用一种平衡编码“完全”地消除了 SSN。这种方案导致了伪差分信令。

除了降低 SSN 之外，这两种编码还提供了其他方面的收益。例如，由于伪差分信令的特点给出了低功耗或更好的信号质量。基于减少总线上 1 和 0 个数间的差异或固定总线权重，人们也可以推导出其他降噪的编码。然而，它们除了能降低噪声之外给不出任何其他的好处。事实上，将现有的 8b/10b 编码用于引脚域而不是时间域中，可以最小化电源噪声[11]。在降低电源噪声方面，这是一个非常高效的编码。

参考文献

1. R. J. Fletcher, “Integrated circuit having outputs configured for reduced state changes,” United States Patent 4667337, 1987.
2. M. R. Stan and W. P Burleson, “Bus-invert coding for low-power I/O,” *IEEE Transactions on VLSI Systems*, vol. 3, No. 1, pp. 49-58, Mar. 1995.
3. M. R. Stan and W. P Burleson, “Coding a terminated bus for low-power,” in *Proceedings of Great Lakes Symposium on VLSI*, Mar. 1995, pp. 70-73.
4. S. Bae, et al., “An 80 nm 4Gb/s/pin 32 bit 512 Mb GDDR4 Graphics DRAM With Low Power and Low Noise Data Bus Inversion,” *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 121-131, January 2008.
5. S.-J. Bae, et al., “A 60nm 6Gb/s/pin GDDR5 graphics DRAM with multifaceted clocking and ISI/SSN-reduction techniques,” in *International Solid-State Circuits Conference Digest of Technical Papers*, Feb. 2008, pp. 278-279.
6. D. Oh, W. Kim, J.-H. Kim, J. Wilson, R. Schmitt, C. Yuan, L. Luo, J. Kizer, J. Eble, and F. Ware, “Study of signal and power integrity challenges in high-speed memory I/O designs using single-ended signaling schemes,” presented at the IEC DesignCon, Santa Clara, CA, 2008.
7. J. Wilson, A. Abbasfar, T. Greer, L. Luo, J.-H. Kim, D. Oh, C. Werner, J. Ren, J. Kizer and J. Eble, “Equalization of mid-frequency power supply noise via a spectrum-shaping encoder for parallel

buses," in *Proceedings of Electronic Components and Technology Conference*, San Diego, CA, May 2009, pp. 1122-1126.

8. H. Lui, H. Shi, X. Jiang, and Z. Li, "Pre-driver PDN SSN, OPD, data encoding, and their impact on SSJ," in *Proceedings of Electronic Components and Technology Conference*, San Diego, CA, May 2009, pp. 1127-1131.
9. D. Oh, F. Ware, W. Kim, J.-H. Kim, J. Wilson, L. Luo, J. Kizer, R. Schmitt, C. Yuan, and J. Eble, "Pseudo-differential signaling scheme based on 4b/6b multiwire code," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2008, pp. 29-32.
10. A. Abbafar, "Generalized differential vector signaling," *IEEE International Conference on Communications*, Jun. 2009, pp. 1-5.
11. A. X. Widmer and P. A. Franaszek, "A DC-balanced, partitioned-block, 8b/10b transmission code," *IBM Journal of Research and Development*, vol. 27, no. 5, pp. 440-451, Sep. 1983.

第 14 章　电源噪声与抖动表征

蓝海，Ralf Schmitt

今天工作于数 Gb/s 数据率的高速 I/O 接口，给设计提出了前所未有的挑战[1]。在所有这些挑战中，实现非常低的抖动以满足日趋严格的时序预算是最困难的任务之一。时序抖动可以归结为几个不同的误差源。时序抖动最重要的渠道就是电源噪声。人们对电源完整性工程投入了相当大的努力，为的是提交出一个稳定的 PDN 以最大限度地降低电源噪声。然而由于封装在高速系统中表现出更突出的电感性，几乎不可能在设计 PDN 时对高速接口中的电源噪声做到忽略不计。电源噪声直接贡献为系统内部时序源的抖动，如压控振荡器（VCO）、锁相环（PLL）、时延锁定环（DLL）电路等。它也会影响到时钟分配网络和输出驱动器等其他电路的时序。此外，不同的电路构件表现出对电源噪声不同的抖动灵敏度或响应。因此，在高速 I/O 接口的设计和优化中，设法对电源噪声引起抖动（PSIJ）做出一个全面的表征至关重要。我们的目标是创建一种方法学，可以把电源噪声对系统时序抖动的影响进行建模和验证。为此，必须首先解决以下几个问题：

- 怎样对电源噪声进行建模与仿真？
- 为了表征抖动对电源噪声的响应，什么指标是最好的？
- 如何分析和预估电源噪声对抖动的影响？
- 如何将测量结果与仿真数据进行关联？

本章侧重于介绍深入分析 PSIJ 的系统性方案。14.1 节将概述表征电源噪声及其相关抖动的重要意义。14.2 节对电源噪声引起抖动的建模方法学加以综述。14.3 节首先讨论了建模中的仿真技术（包括布图前和布图后的电源噪声仿真技术），然后讨论了采用常规和快速工具提取抖动灵敏度的方法学。14.4 节给出了几个高速 I/O 接口示例中仿真和测量之间的关联度。

14.1　电源噪声引起抖动的重要性

高速接口要求非常低的随机抖动和确定性抖动，以满足日益缩窄的时序预算。由于数据率的提高，允许由电源失真引起的时序损失变小。一般情况下，以下两种方式可用于减少时序抖动：降低电路对电源噪声的灵敏度；或者降低电源噪声本身的幅度。

解决这一问题的常见办法就是缩减系统中各电源轨道的噪声预算，将它们做成与系统的数据率成反比。假定电路对电源噪声的灵敏度是恒定不变的，以这样缩减电源噪声的方式可以确保 PSIJ 相对于总位时宽（单位间隔）而言的相对贡献保持不变。然而，这种方法使得电源分配系统的设计更加困难。对于 Gb/s 的 I/O 系统，按照数据率去纯粹线性地缩减电源噪声预算，将很快导致不切实际的电源预算，使得系统用合理的封装和去耦资源而无法实现。

为了解决高速接口的这一问题，可以分别引入几个独立的电源轨道，为每一个轨道给出不同的噪声预算。将首先把有十分严格噪声预算的单独电源轨道，用于为那些控制内部接口时序的电路（如 PLL 和 DLL）供电。由于被供电路的模拟属性，这一独立的电源轨道通常被称为模拟电源（V_{DDA}）。严格的噪声预算反映出这些电路抖动对电源噪声的灵敏度比较高。其次，再用另一个电源轨道（V_{DD} I/O）为输出驱动器和信令总线的片上端接供电。通常情况下，需要用这个为输出电路提供较高电压的电源去驱动外部通道。这样做有助于缓解系统中的电源噪声问题。由于输出驱动器抖动对电源噪声的灵敏度一般都比较小，对此电源轨道电源噪声的要求通常比对 V_{DDA} 的要求会放松一些。最后，用具有比较温和电源噪声预算的第三个电源轨道（V_{DD}）为剩下的接口电路供电。

将接口电路分成不同的组并采用单独电源供电的主要优点有两个：第一，人们可以对于个别噪声预算比较严格的电源轨道，重点关注其电源分配系统的资源。例如，较大数量的片上去耦电容器可以指配给电源 V_{DDA}，以使该轨道上的电源噪声实现低电平。第二，这样的分隔可以将敏感电路与其他噪声源相隔离。例如，输出驱动器通常激励出明显的电源噪声，因此，为 PLL 或时钟缓冲器分配单独的电源轨道是比较好的。

过去，许多研究工作都集中在为了做到预定义的电源噪声预算，如何推导出对电源配送网络的设计需求[2,3]。这些努力使得人们深入地了解了产生电源噪声的机理以及电源配送系统的频域优化技术。然而，这些分析主要集中于系统中的电源噪声，而不是由电源噪声产生的抖动上。目前，有关推导电源噪声预算确切过程的资料较少。在许多设计中，是由电路设计团队与负责电源配送网络的系统设计师通过谈判推导出电源噪声预算的。所定义出的电源噪声电平，用合理的系统资源是可以实现的；作为电路设计和优化的基础是可以接受的。第 11 章系统性地介绍了电源预算的定义过程。

对于 Gb/s 的 I/O 系统，必须知道对 PSIJ 的技术需求，这就需要对系统中抖动的产生有更详细的理解。PSIJ 是两个单独、相当独立的参数相互作用的结果：每个电源轨道上产生出电源噪声频谱；受这些电源轨道供电的电路在频域对噪声的灵敏度。总之，这两个参数定义了由电源噪声造成的抖动最终对系统的影响如何。只有对这两个参数各自和组合情况有了深入的理解，才会有足够的能力去对系统抖动的性能进行优化设计。

对比不同轨道电源噪声所构成抖动的总影响，有助于确定哪些电源轨道给出了最多的系统抖动；哪些电源配送网络是需要进一步优化的对象。低噪声灵敏度、但电源噪声电平较高的电源轨道；与高噪声灵敏度、但电源噪声电平很低的电源轨道相比，可能为系统贡献出同样多或同样少的抖动。研究分析噪声灵敏度曲线以及电源噪声频谱，可以深入理解这两个参数间的相互作用，并指导对这些参数的优化设计以实现系统性能的优化。例如，电源配送系统的设计可以在噪声灵敏度较大的某些频率范围内对噪声给出更高的衰减；或者可以通过优化电路设计降低某些频率电源噪声较高处的灵敏度。

14.2　PSIJ 建模方法学综述

正如上一节中所提到的，有两个因素决定了电源噪声引入抖动的总影响。第一个因素是电源噪声本身的特点；第二个因素是系统时序抖动对电源轨道上电源噪声的响应。

根据电路实现、工作模态、数据活动模板、电源配送网络的不同，电源噪声可能表现出不同的时域波形曲线以及不同的频域频谱成分。

第二个因素完全取决于电路实现和选用的时令架构，它与数据活动或工作模态无关。从系统的角度看，这一过程可以建模为一个线性时不变系统对输入激励的响应。当然，表征这样一个系统的最便捷形式是在频域对输入激励和系统传递函数建模。为了研究能全面而系统分析电源噪声对抖动影响的方法学，需要将电源噪声的频谱与抖动灵敏度的频域曲线结合在一起开发。

图 14.1 给出了对电源噪声引起抖动（PSIJ）建模的整体概念。目标是建立一种系统性的方法预估电源噪声对抖动的影响。电源噪声谱 $V(f)$ 取决于电路和数据活动的情况。抖动灵敏度曲线 $S(f)$ 则只取决于电路，而与数据无关。这两个因素很大程度上是去耦的，可以单独加以表征。将噪声频谱和抖动灵敏度曲线相结合，可以计算出抖动频谱，即图中的 $J(f)$。采用傅里叶逆变换，可以从抖动频谱中重建出抖动的时域波形序列。

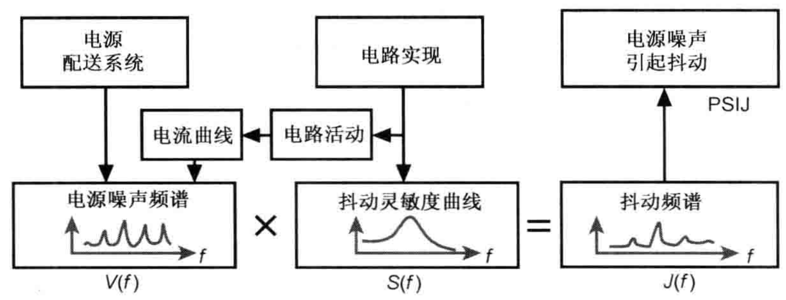


图 14.1 电源噪声引起抖动（PSIJ）的建模方法学

这种方法学有两个基本假设：第一，电源噪声要足够小，确保电路可以正常工作。第二，系统抖动响应是电源噪声的一个线性函数。一般来说很难证明第二个假设，只能通过仿真加以验证。虽然线性假设不一定总是对的，但在做定性分析或一阶分析时仍然是有用的。

系统电源轨道上的噪声是电源网络上电流频谱 $I(f)$ 与阻抗 $Z_{PDN}(f)$ 的乘积：

$$V(f) = Z_{PDN}(f) \cdot I(f) \tag{14.1}$$

仿真的电流曲线以及电源阻抗曲线（对应于测验系统的 PDN 模型）如图 14.2 所示。可以想象，电源噪声频谱将会与原始的电流频谱具有相同的频谱峰值特性，而电源噪声频谱的背景电平则会与电源阻抗 $Z_{PDN}(f)$ 曲线相一致。这实际上是突出了中频段噪声的贡献，这是因为此时由封装芯片并联谐振形成的电源阻抗 $Z_{PDN}(f)$ 具有很大的幅度。

图 14.3 是通过仿真对线性假设进行验证。人们另外给出的两个观察测量示例也为线性假设提供了支持[4,5]。首先，单频电源噪声的激励在相同的频率处产生单频的抖动。其次，当系统正常工作下电路工作于线性区时，抖动幅度是噪声幅度的线性函数。根据这些观测，可以将抖动灵敏度参数定义为：在频率 f 时，产生的抖动与 1 mVpp 电源噪声干扰的比值：

$$S(f) = \frac{J(f)}{V(f)} [\text{ps, pp/mV, pp}] \tag{14.2}$$

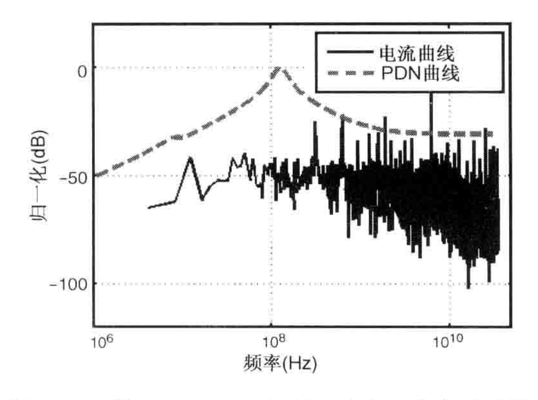


图 14.2　数 Gb/s I/O 系统的电流和阻抗曲线采样

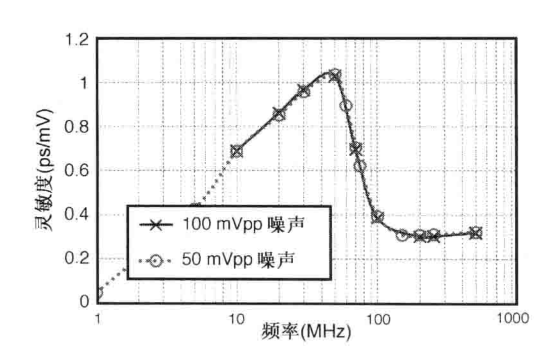


图 14.3　抖动灵敏度概念线性度的仿真验证

式(14.2)中所表示的抖动频谱 $J(f)$ 是表征电源噪声对抖动影响的一个关键参数。可以用于从许多角度去理解电源噪声引起抖动的问题。首先，频谱曲线给出抖动频谱的频率成分，它们与系统工作状态(例如，参考时钟频率、数据速率、工作模态、数据模板变化等)有何关系。其次，由于频谱曲线包含有幅度和相位信息，可用于推导出对应于时域的抖动波形。最坏峰-峰值抖动 J_{pp} 的推导如下：

$$J_{pp} = 2 \times \int_0^{\infty} J(f) \cdot df \tag{14.3}$$

通常情况下，利用累积抖动百分比可以帮助确定出抖动在频域的最大贡献分量。累积抖动百分比的定义如下：

$$\eta = \frac{\int_0^{f} J(f) \cdot df}{\int_0^{\infty} J(f) \cdot df} \tag{14.4}$$

对 $J(f)$ 进行傅里叶逆变换，可以重建出抖动的时域波形序列($J(f)$)：

$$J(t) = \int_0^{\infty} J(f) e^{j2\pi f} df \tag{14.5}$$

14.3　噪声与抖动仿真方法学

如前所述，为了预估电源噪声引起抖动，要有电源噪声频谱以及抖动灵敏度曲线。本节将讨论如何仿真电源噪声以及如何提取抖动灵敏度。

14.3.1　仿真电源噪声

仿真片上电源噪声，需要对三个构件分量进行建模与提取：片外电源配送网络构件分量、片上电源配送网络构件分量、电源电流曲线分量。通常情况下，在布图前噪声分析阶段采用集总模型求解前期电源噪声和总电感，并给出去耦电容器的预算。在布图后噪声验证阶段，采用分布式片上电源网格模型和分布式时域电流曲线。

图 14.4 是一个典型的布图前电源噪声仿真设置，用的是集总 PDN 分量以及电流曲线分量。通常情况下，片外 PDN 模型采用无源 RLC 元件，包括稳压器、PCB、封装寄生参数、低

频和中频去耦电容。片上 PDN 要表征从裸芯片焊盘到芯片各处的物理电源网格，包括 RC 寄生参数，以及非常重要的片上去耦电容器(在提取寄生参数方面有不少行之有效的方法可用)。第三个就是电流曲线分量，用做对完整 PDN 的激励。

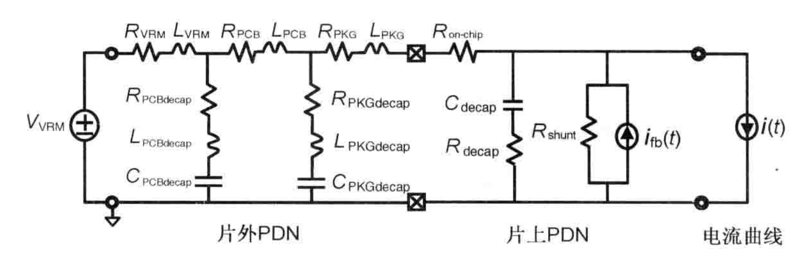


图 14.4 布图前时的电源噪声仿真

PDN 设计的一个主要目标就是以最大的配送效率和最小的退化/噪声，将片外电源配送给片上的电源网格。一个完整的 PDN 包括片外 PDN 和片上 PDN，在建模时需要用不同的方案。通常情况下，片外 PDN 包括：VRM、PCB，以及用电阻和电感建模的封装寄生参数。PCB 和封装上的去耦电容(ESC)，用于过滤低频和中频电源噪声。ESC 的寄生参数用 ESR 和 ESL 建模。图 14.4 给出了一个典型的片外 PDN。

对片上 PDN 的建模有两种方案：集总建模或分布式建模。集总建模适合于对布图前的电源噪声进行估计。这里，假定片上电源与空间的相关度微不足道。当电路裸芯片的尺寸较小时，集总方案可以在很大程度上提取出电源噪声的总体特性。图 14.4 的中间部分是简化的集总片上模型。片上的电源网格简化为集总的 $R_{on\text{-}chip}$，可以用静态 IR 压降技术规范和标称直流电源电流加以估计。所有片上的去耦电容器集总为 C_{decap}，代表总的容性去耦效果，包括故意去耦电容器(MOS 或 MIN 电容)、寄生电容(由数字电路中的非开关门形成)、互连寄生电容等。在用 R_{decap} 表示与 C_{decap} 相关的损耗时，它与制造工艺确定的松弛时间常数 $\tau_{process}$ 之间有如下关系式：

$$R_{decap} = \tau_{process} / C_{decap} \tag{14.6}$$

为了对电源电压塌陷的影响进行一阶建模，在片上集总模型中引入了两个额外的元件 R_{shunt} 和 $I_{feedrack}$ 如下：

$$R_{shunt} = \frac{V_{nom}}{\alpha \cdot I_{DC}} \tag{14.7}$$

$$I_{feedback} = \alpha \cdot I_{DC} \tag{14.8}$$

其中，α 是一个经验因子，表示应从理想直流电流中扣除多大的电流，旨在表示对 PDN 所供总电流的有效下降程度。实际应用中的 α 值取决于电路类型，一般从 0.05 至 0.3 不等。α 值越小，电压塌陷的影响就越小。

在电源噪声仿真的环境中，用全提取的片上 PDN 模型对整个电路进行仿真，通常是很昂贵的。因此，首先要对理想电源环境下的电路进行仿真以提取出瞬变电源电流。然后，用提取出的电流曲线取代有源器件，用以等价地表示由于电路活动引起的电流消耗。所有电源域顶层集总电流曲线的提取往往比较简单，通常只需要测量从该电压源供出电流的大小。电流曲线的类型适合布图前仿真的需求。如果电流在各负载节点间的配送差不多，它也可以用在布图后仿真中。

虽然电流曲线是电源噪声的根源，但要注意电源电压噪声是由电流曲线和阻抗曲线共同确定的。图 14.2 将一个典型的归一化阻抗曲线，与一个工作于 6.4 Gb/s 的 I/O 测验系统典型的电流曲线叠放在一起[4]。为了尽量降低所形成电源电压的动态范围，在设计时要竭力避免阻抗谐振频率与电流曲线的任何较强分量相重叠。

虽然集总片上模型具有易用性以及准确性可接受的优点，但是在对电源噪声进行布图后仿真时最好还是采用分布式片上模型。图 14.5 给出了布图后电源噪声仿真的流程。在这一阶段，从全芯片电源网格中提取并生成详细的分布式二维 RC 模型。对片上去耦电容的分布情况也要进行正确识别并准确估计。对连接电路模块或晶体管引出端的电流接入节点必须进行反标注，并将它们与供电电流曲线连在一起。为了更好地做到布图后仿真的准确性，需要提取出子模块电路级、甚至细化到器件级的详细电流曲线。为此，首先从电路网表中找出所有连接电源或地的节点并在该处生成电流探针头。然后，将这些节点放进电路仿真中。再把得出的电流曲线与反标注的片上 PDN 在相应物理位置处连在一起。

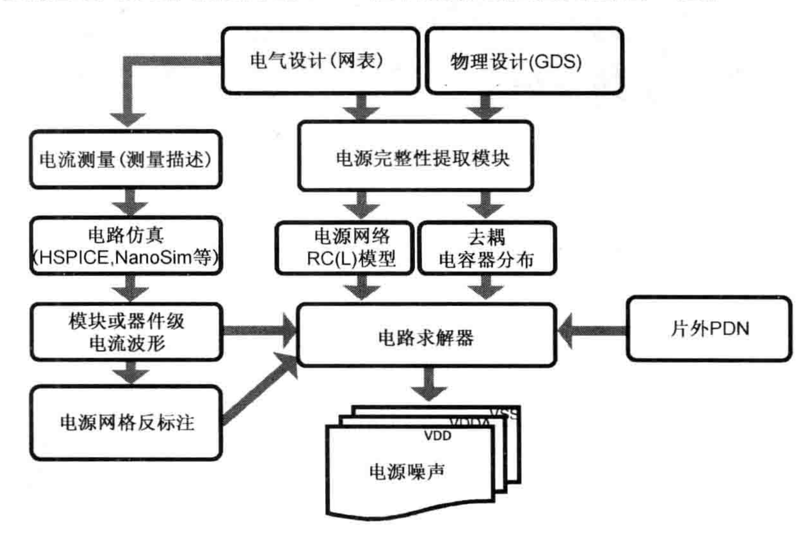


图 14.5　布图后的电源噪声仿真流程

14.3.2　提取抖动灵敏度

一个求解抖动灵敏度曲线的常规途径，就是用任何一种标准的电路仿真器(如 HSPICE)，进行蛮力式的瞬态仿真。由于我们分析时所关心的是抖动灵敏度，最好采用布图后的 SPICE 网表，其中整合了寄生的 RC 参数和分布式 RLC 模型(当数 GHz 的时钟线较长时)。通常情况下，在电源节点处将一个幅度虽低但已足够的单一频率正弦信号作为激励注入。当电路仿真稳定后，通过观测输出时钟的 TIE(时间间隔误差)可以记录下所产生的抖动瞬变。

图 14.6 所示是在单一频率 50 MHz 处提取抖动灵敏度的测验示例。图中所示的是当 PLL 趋稳后，在 V_{DD}供电处加上 50 MHz、50 mVpp 的噪声激励情况。由于这一噪声的干扰，在时钟上可以看到一个电源噪声引起的 50 MHz 抖动。图 14.7 给出了电源噪声及其引起抖动的频谱。电源噪声频谱为 $V(t)=25\ \text{mV}\cdot\cos(2\pi\cdot5\cdot10^{7}\cdot t-90°)$。抖动频谱为 $J(t)=10.96\ \text{ps}\cdot\cos(2\pi\cdot5\cdot10^{7}\cdot t-57°)$。因此，可以从上述信息中给出在 50 MHz 处抖动的幅度和相位灵敏度。在这一示例中，它们分别为 $|S(50\ \text{MHz})|=10.96\ \text{ps}/25\ \text{mV}=0.44\ \text{ps/mV}$

和 $\varphi|S(50\text{ MHz})| = -57° - (-90°) = 33°$。为了获得抖动灵敏度的频率曲线，可以在多个频率点重复同样的步骤。

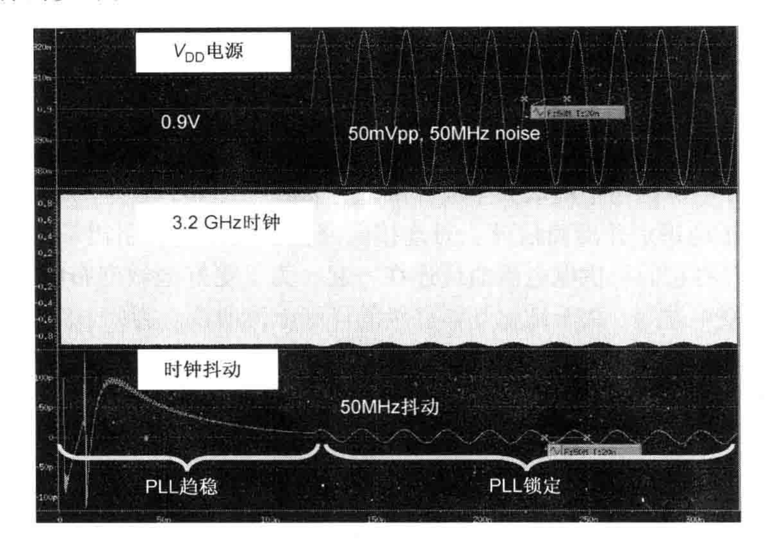


图 14.6　用单一频率测验提取出电源噪声引起抖动的灵敏度

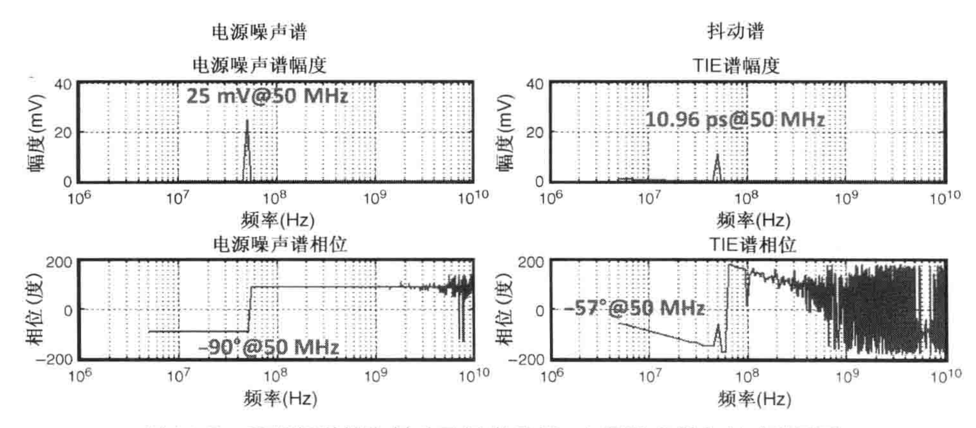


图 14.7　采用频谱提取抖动灵敏度示例；电源噪声谱和抖动谱图示

然而，还有一种更快的变通方案。在电压域，PLL 和 DLL 一类的电路是非线性的，但在其他域（如相位/时延）本质上却是线性的。将电压变量与线性域变量做一双向可逆映射，就可以用线性分析而不是瞬态仿真技术对电路进行表征。最近。人们研发出了一种提取抖动灵敏度曲线的有效方案，利用变量域变换将困难的非线性电压域问题映射为较为容易的线性相位域问题[7]。图 14.8 给出了在 PLL 表征中应用的相位变换。

为了应用这一方案去仿真抖动灵敏度，采用 Verilog-A 开发出两个变量域间的翻译变换模块[7]。一个是相位-电压的变换；另一个是电压-相位的变换。相位域仿真采用 Spectre-RF 中的周期性稳态（PSS）和周期性 AC（PAC）特性。用 PSS 进行大信号分析以计算电路在特定基频的周期性稳态响应。PAC 分析在其 PSS 响应范围内将电路线性化。采用线性分析方法求得小扰动的影响，可以实现更加快速的仿真。图 14.9 给出了采用 PSS/PAC 方法仿真出的一个抖动灵敏度曲线。PSS 在大约 1 小时后收敛，再运行几分钟的 PAC，扫描所需的频率范围，将最终获取灵敏度曲线。

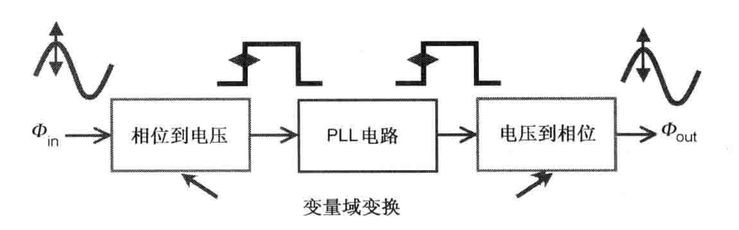


图 14.8　PLL 的相位域变换

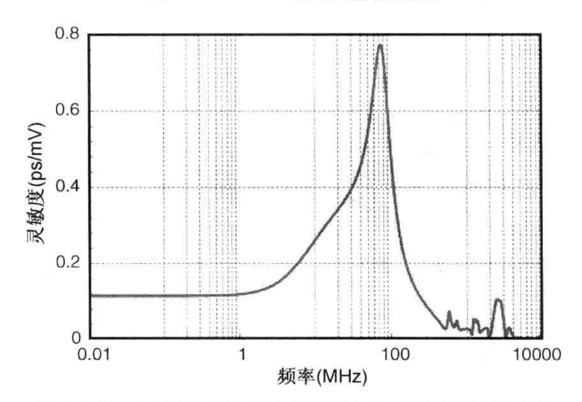


图 14.9　用 PSS/PAC 法进行抖动灵敏度仿真示例

瞬态仿真方案的设置和仿真都比较简单。在大多数情况下，它给出了最佳的准确度并被当做参照点。然而，瞬态分析的耗时很严重，尤其是在相对较低的约 10 MHz 频率下仿真抖动灵敏度时的耗时变得更加严重。基于 PSS/PAC 方案不是直接解决时域问题，而其本质上是在周期域的意义上解决了"直流"工作点附近的"小信号"问题。因此，它只需要在扫频范围内一个简单的仿真，即可获得抖动灵敏度曲线。PSS/PAC 从原则上给出了一个更快的解决方案。但是，其面临的主要挑战是 PSS 的收敛。有时，即使是经验丰富的工程师都很难让 PSS 收敛。对一个典型的 PLL 设计提取出抖动灵敏度曲线，图 14.10 对比了这两种方案。在峰值频率位置和尖峰方面，两者间具有良好的关联度。

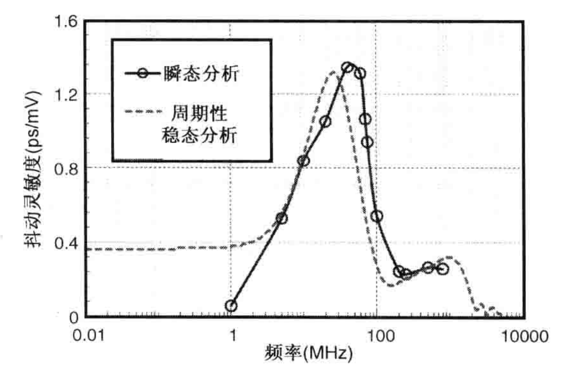


图 14.10　两种提取抖动灵敏度方法的对比

14.3.3　预估电源噪声引起抖动

电源噪声引起的抖动可以通过下式进行预估：

$$J(t) = \mathrm{IFFT}(J(f)) = \mathrm{IFFT}(V(f) \times S(f)) \tag{14.9}$$

这里，我们给出预估电源噪声引起抖动的示例。所研究的系统是一个工作于 6.4 Gb/s 的高速 I/O 接口。采用如图 14.4 所示的仿真设置，得到 V_{DD} 的电源噪声如图 14.11 所示。V_{DD} 噪声如图中所示约为 19 mVpp。为了估计由 V_{DD} 噪声引起的抖动，必须先提取出抖动灵敏度曲线。采用基于瞬态仿真的单一频率测验，可以提取出总的抖动灵敏度曲线。图 14.12 是对 PSIJ 预估结果

的总结归纳。图 14.12(a)为 PSIJ 灵敏度曲线，包括幅度和相位信息。它表现为一个带通特性。将 V_{DD}噪声频谱与 PSIJ 灵敏度联立，得到的 PSIJ 频谱如图 14.12(b)所示。从抖动频谱中可以清楚地找出主要的抖动分量。在这一特例中，主要的抖动分量与系统参考时钟和数据率子谐波有关。应用式(14.9)，可以计算出时域的抖动序列如图 14.12(c)所示。这是 V_{DD}电源噪声对时序抖动影响的一个全面表征。在这种情况下，电源 V_{DD}上峰-峰值18.9 mV的噪声，最终将引起峰-峰值约 4.2 ps 的抖动。图 14.12(d)所示的抖动直方图，可以根据抖动序列求出。

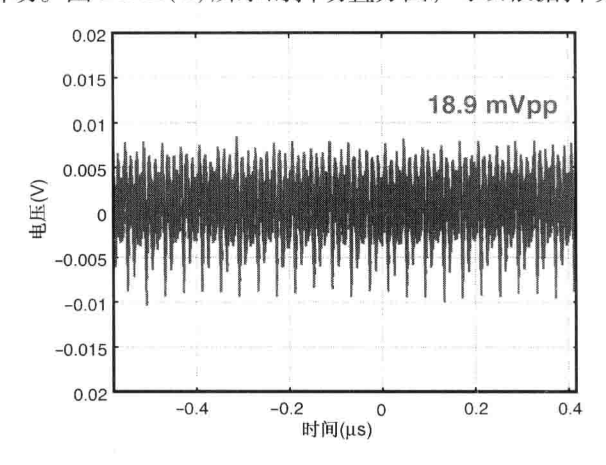


图 14.11　6.4 Gb/s I/O 接口中 V_{DD}电源噪声的仿真示例

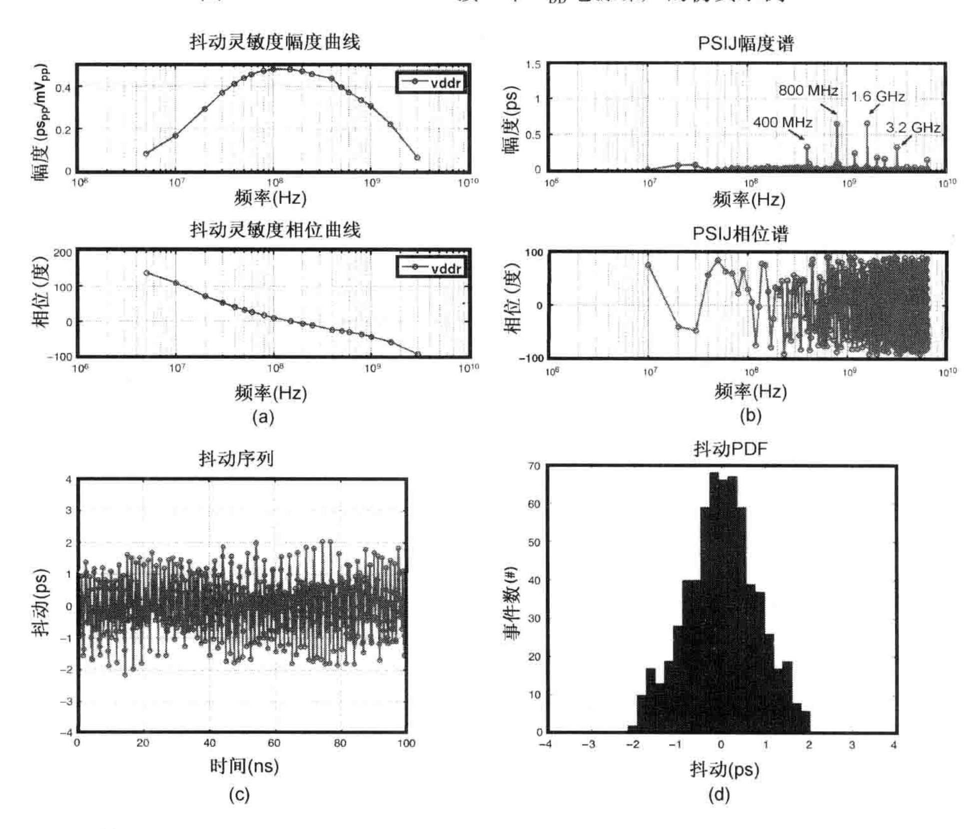


图 14.12　计算 PSIJ 示例。(a) PSIJ 灵敏度曲线；(b) PSIJ 谱；(c) PSIJ 时域序列；(d) PSIJ 直方图

14.4　案例分析

本节将用两个案例讨论如何分析电源噪声及其对高速 I/O 接口中抖动的影响。第一个案例讨论高速 SerDes 系统中的电源噪声分析和抖动灵敏度分析，并将仿真结果与测量数据加以对比[8]。第二个案例侧重于讨论工作于 6.4 Gbps 的高速存储控制器接口中，有关 PSIJ 净影响的预估值与实测数据值之间的关联度。

14.4.1　高速 SerDes 系统的电源噪声

本节采用如图 14.13 所示的测验系统，给出对片上电源噪声特性的一个分析。该接口是系统背板上一个宽带点到点的串-串收发器互连，传送的数据率高达 6.4 Gb/s。它集成了 8 个双向串行链路，每一个的数据率都高达 6.4 Gb/s。此外，系统中还有数据路由逻辑(DRL)电路控制各链路间的数据流量；控制逻辑(CL)电路产生链路初始化的一般逻辑以及用于表征的逻辑(如模板发生器)。片上测验系统对内部不同的电路模块采用了四个单独的电源域。敏感时序控制电路(如 PLL)的电源是 V_{DDA}。8 个链路片内所有电路的电源为 V_{DD}；通道端接电阻器的电源为 V_{TT}。本案例的研究重点是 V_{DD} 和 V_{DDA}，因为它们是系统抖动的主要根源。评测关联度用的片上电源噪声测量电路已经集成到接口测验芯片中。第 16 章涵盖了这些电路的细节。

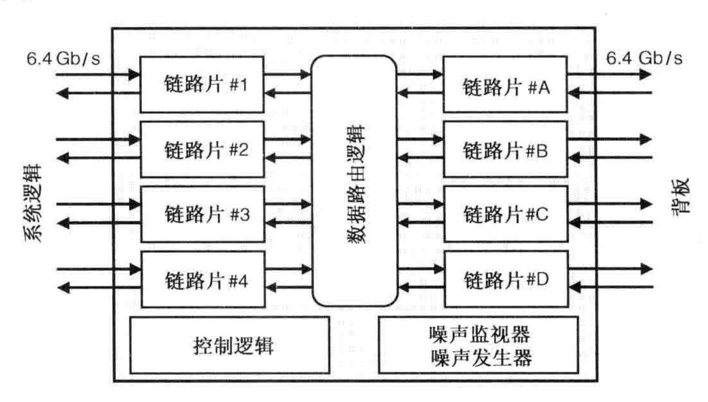


图 14.13　数 Gb/s 的 SerDes 系统案例

将前面介绍的布图前和布图后仿真方法用于 I/O 接口测验系统的每一片链路中，预估在 V_{DD} 和 V_{DDA} 域的片上电源噪声。被测验链路片的配置是传输数据模板为 PRBS7 的 6.4 Gb/s 连续位流，参考时钟是 640 MHz 的 PLL。然后，在实验室的测验系统中采用同样的条件。片上电源噪声测量监测器，以实时采样示波器模式提取出 V_{DD} 和 V_{DDA} 电源噪声的瞬变波形；以自相关模式提取出频谱。采用电磁场仿真提取出片外 PDN 模型。基于设计知识、工艺信息、静态 IR 压降目标，求出布图前仿真所需的片上 PDN 集总模型。用现成的商业化软件工具提取出布图后仿真用的分布式片上电源网格和去耦电容器[6]。在全芯片晶体管级电路仿真中，通过检测顶层电源电流提取出电流曲线。对刚才给出的 PDN 模型和电流曲线，采用 HSPICE 进行布图前仿真，采用参考文献[6]中给出的工具进行布图后仿真。图 14.14 给出了所有最

终的布图后仿真结果：第一个图详细显示了器件级的电流分布；第二个图是片上去耦电容器的分布；第三个图是电源噪声的映射图。

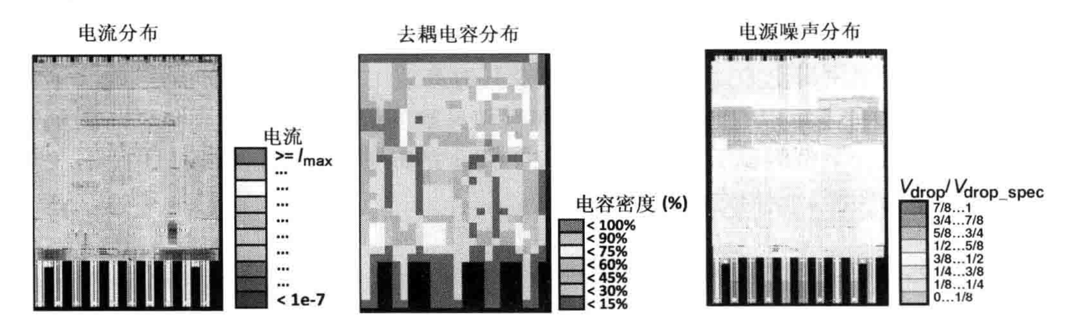


图 14.14 一个高速 SerDes 测验系统的电流分布、去耦电容器分布、电源噪声分布布图后仿真结果

图 14.15 和图 14.16 分别比较了布图前和布图后 V_{DD}和 V_{DDA}的仿真和测量数据结果。如图 14.15 所示，从布图前仿真、布图后仿真、测量所得的时域 V_{DD}电源噪声峰-峰值分别为 42 mVpp、37 mVpp、45 mVpp。两种仿真的结果与实测结果保持一致。通过观察频谱可以得到更深入的理解。所有噪声谱表明，V_{DD}在数据率的频率及其子谐波上拥有很强的频率分量。此外，还反映出这样一个事实，即 V_{DD}电流曲线形状受制于 V_{DD}的 PDN 阻抗曲线，100 ~ 300 MHz的 PDN 谐振频带成为被重点强调的区域。图 14.16 表明，从两个仿真方法和测量得到的时域 V_{DDA}峰-峰值噪声，是彼此一致的(分别为 12 mV、16 mV、18 mV)。再将频谱加以对比，测量数据清楚地表明在 640 MHz 有一尖峰。布图前仿真也在这一频率上有较强的表现。然而，布图后仿真在 640 MHz 左右却给出一个凹陷的结果。

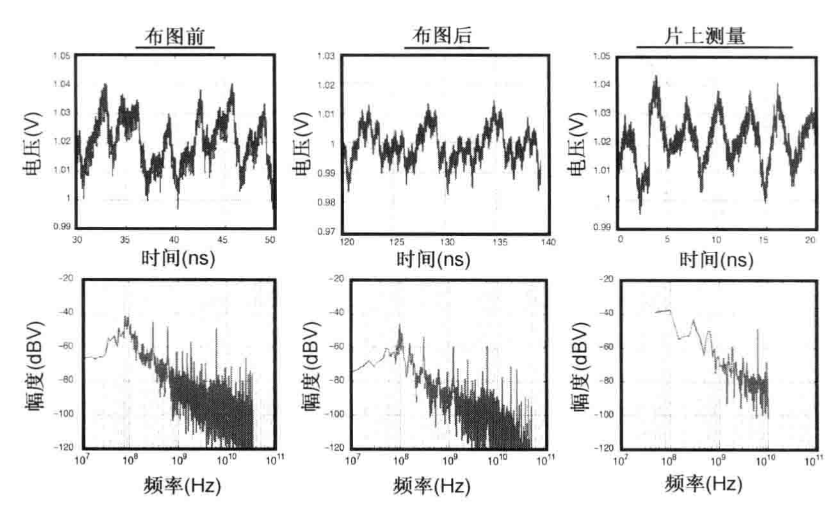


图 14.15 在 6.4 Gb/s 的 SerDes 测验系统的 V_{DD}电源噪声：
布图前仿真结果；布图后仿真结果；片上测量结果

本案例研究分析了一个工作于 6.4 Gb/s 时高速串行链路 I/O 系统的片上电源噪声仿真和测量。采用集总片上电源网格模型对电源噪声进行仿真，有助于对布图前设计的验证和优化。布图后仿真更适合于签发(sign off)时所要求的准确性。将提取出的分布式电源网格网络与从外部提取出的电流曲线相结合，给出了进一步的空间分辨率和最佳准确度。所仿

真的电源噪声在时域和频域都与测量结果保持一致。在有代表性的数据模板传输环境下，被测验 I/O 接口给出的结果是：V_{DD}的动态下降为 37 ~ 45 mVpp；V_{DDA}的则约为 20 mV。强噪声分量与参考时钟和数据率有关。

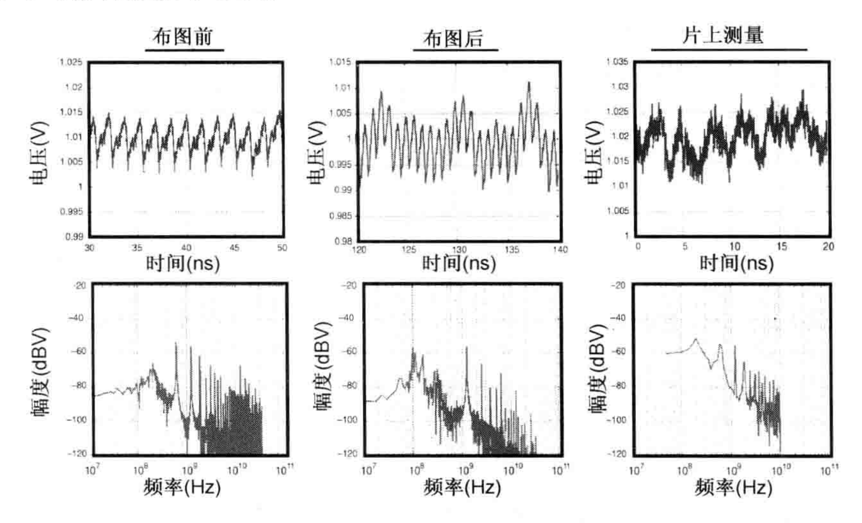


图 14.16　在 6.4 Gb/s 的 SerDes 测验系统的 V_{DDA}电源噪声：
布图前仿真结果；布图后仿真结果；片上测量结果

14.4.2　高速存储控制器 PHY 的抖动灵敏度

下一个研究案例是工作于 6.4 ~ 12.8 Gb/s 的高性能存储控制器 PHY（物理层）接口测验系统。将测量数据与基于蛮力瞬态仿真的抖动曲线进行对比。图 14.17 是测验系统中测量和仿真抖动曲线之间的最终对比。测量数据点与仿真曲线之间大致是匹配的。存在几个离群值也可以名正言顺地加以去除。这几个离群值，主要是由于噪声监测器中高于预期的背景噪声电平引起的。在一般情况下，两个曲线反映了电源抖动灵敏度的带通特性。最敏感的频带集中于 50 ~ 60 MHz 附近。在低频和高频的灵敏度都较低。这种带通滤波器的特性是符合预期的，由于它与测验系统中 PLL 回路的带宽配置密切相关。较好的关联度进一步验证了仿真方法学可以非常合理地预估出系统抖动的性能。

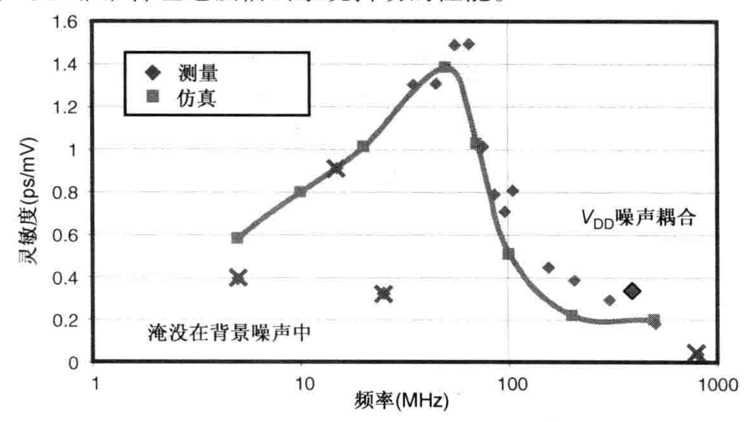


图 14.17　V_{DDA}抖动灵敏度的测量与仿真结果

14.4.3　预估高速存储控制器 PHY 的 PSIJ

最后这个案例中，在对高速存储控制器 PHY I/O 接口的 PSIJ 进行预估和实测时，所有 32 个数据链路都采用 PRBS7 数据模板工作于 6.4 Gb/s。每个电源轨道上的噪声都对引起的抖动有贡献。图 14.18 给出最终的 PSIJ(电源噪声引起的抖动)结果。总的 PSIJ 预估为 5.8 ps 左右，总的 PSIJ 实测约为 7.2 ps。在抖动频谱成分方面，PSIJ 预估的频谱大量地捕获到了在 6.4 GHz、3.2 GHz、800 MHz 的主要抖动分量，已经被实测的数据所证实。

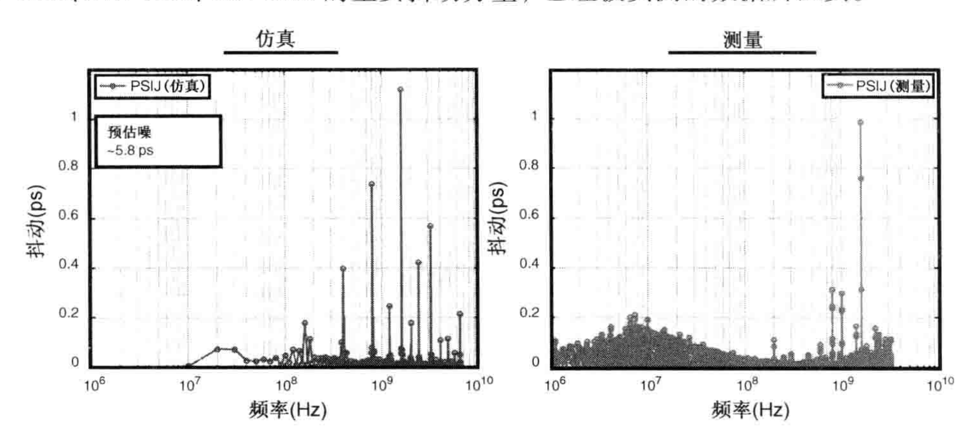


图 14.18　对测验系统整体 PSIJ 频谱的预估和实测

14.5　小结

在进行高速接口预算、设计和分析时，把电源噪声及其对系统时序抖动的影响加以表征，是一项最重要的任务。本章给出了解决这一设计挑战的一种系统性方案，其中包括建模方法学和仿真技术(第 16 章将介绍用于表征电源噪声、电源分配网络阻抗、抖动灵敏度的先进片上测量技术)。

在仿真电源噪声及其频谱时，需要用到片外 PDN 模型、片上 PDN 模型、片上电源电流曲线。采用何种模型与当前所处的设计阶段有关。在布图前设计分析时，将集总片上 PDN 模型与集总电源电流组合使用是比较恰当的。通常情况下，在设计初期采用布图前仿真可以提取出整体电源噪声的大部分特征。然而，用于签发的分析则需要采用布图后仿真。在布图后仿真时，我们提取出分布式电源网格网络，并将电路模块级或器件级的电流曲线加以提取和反标注。PSIJ 灵敏度是一个重要参数，它以频域函数的形式表述了系统抖动对电源噪声的响应。将电源噪声频谱和 PSIJ 灵敏度曲线联立，可以求得抖动的频谱。所产生的抖动频谱揭示出有些频率分量很大，这正是电源噪声对抖动退化贡献最大的地方。它还可以用于求解出时域的抖动序列和统计域的抖动特性。

参考文献

1. K. Chang, H. Lee, J. Chun, T. Wu, T. J. Chin, K. Kaviani, J. Shen, X. Shi, W. Beyene, Y. Frans, B. Leibowitz, N. Nguyen, F. Quan, J. Zerbe, R. Perego, and F. Assaderaghi, "A 16 Gb/s/link,

64GB/s bidirectional asymmetric memory interface cell," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 18-20, 2008, pp. 126-127.

2. O. Mandhana, "Optimizing the output impedance of a power delivery network for microprocessor systems," in *Proceedings of Electronic Components and Technology Conference*, Jun. 2004, Las Vegas, NV, pp 1975-1982.
3. S. R. Nassif and J. N. Kozhaya, "Fast power grid simulation," in *Proceedings of Design Automation Conference*, Jun. 2000, pp. 156-161.
4. R. Schmitt, H. Lan, C. Madden, and C. Yuan, "Analysis of supply noise induced jitter in Gigabit I/O interfaces," presented at the IEC DesignCon, Santa Clara, CA, 2007.
5. R. Schmitt, H. Lan, C. Madden, and C. Yuan, "Investigating the impact of supply noise on the jitter in gigabit I/O interfaces," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 28-31, 2007, pp. 189-192.
6. *RedHawk*, Apache Design Solutions, Inc. , San Jose, CA.
7. J. Kim, K. Jones, and M. Horowitz, "Variable domain transformation for linear PAC analysis of mixed-signal systems," in *Proceedings of International Conference on Computer-Aided Design*, Nov. 2007, pp. 887-894.
8. H. Lan, R. Schmitt, and C. Yuan, "Simulation and measurement of on-chip supply noise in multi-gigabit I/O interfaces," in *Proceedings of International Symposium on Quality Electronic Design Conference*, Mar. 2009, 660-675.

第 15 章　衬底噪声引起的抖动

蓝海

目前已经广泛地认识到，片上系统(SoC)中的衬底耦合噪声正是人们无法成功地将敏感的模拟/射频电路与嘈杂的数字模块顺利集成在一起的瓶颈[1]。当把嘈杂的数字电路与敏感电路集成在一起共享一个共同衬底时，主要是由于数字电路的开关活动，导致衬底噪声不可避免。其注入的噪声在整个衬底上传播。根据衬底类型、掺杂分布、背面环氧树脂的选择、版图实现的不同，这种噪声的衰减也不同，但它终将会到达敏感的电路模块。在一个三维硅通孔(TSV)的环境中，TSV 结构也会把噪声耦合到衬底上[2]。衬底噪声影响敏感电路的性能：干扰器件整块的端接电压；(经由与衬底的连接)将噪声耦合到电源网格；或者直接耦合到信号线去破坏信号等。

近些年，在高速 I/O 接口设计领域，人们开始关注衬底噪声对系统时序抖动的影响。在高速 I/O 接口中，数字内核(ASIC 内核或存储器内核)的开关活动可以产生很强的衬底噪声。这一噪声影响 I/O 接口内的敏感电路，降低时序电路[例如，压控振荡器(VCO)、锁相环(PLL)、锁延环(DLL)、时钟分配网络等]的抖动性能。人们认识到抖动性能的退化相对而言日益严重，成为限制现代高速 I/O 接口数据率的最关键问题之一。第 14 章指出，在时序误差分量中占主导的一种就是电源噪声引起的抖动(PSIJ)[3,4]。当 I/O 接口向更高数据率和更低功耗推进时，衬底噪声对抖动性能的影响变得更加突出。因此，对于高速 I/O 设计师而言，理解衬底噪声的特性及其对时序抖动的影响非常必要。一个全面表征衬底噪声引起的抖动(SNIJ)的方案，对于高速 I/O 接口的设计和优化正变得越发关键。

本章站在建模和测量的角度，涵盖了衬底噪声及其影响等内容。建模的目的是为了要回答下列问题：

- 什么是衬底噪声的基本特征?
- 如何有效地对衬底耦合网络建模?
- 如何量化衬底噪声? 在高速 I/O 接口中是否要采用一种片上测量结构?
- 哪些是 I/O 接口中由衬底噪声引起的净抖动影响?

15.1 节给出衬底噪声耦合的概述。15.2 节讨论针对不同频率范围的衬底建模技术(包括适用于低频到中频情况的一个通用可缩放宏模型；以及适用于高频情况的一个面向 CAD 的频率相关等效电路模型)。15.3 节定义了片上的噪声测量需求，并介绍了所提出的噪声监测器和发生器电路(第 16 章将介绍用于片上电源噪声测量的电路技术；以及当用于衬底噪声测量时所需要做的修改)。15.4 节给出了一个分析案例，测量结果是在一个低功耗存储控制器 PHY(物理层)接口测验芯片环境下，由已实现的片上噪声测量结构给出的。此外，本章还讨论了所测衬底噪声对链路抖动性能的影响，并相应地引入了抖动灵敏度的概念。

15.1　简介

图 15.1 画出了包括嘈杂数字内核和敏感高速 I/O PHY 的 SoC 环境下衬底噪声耦合现象的概貌(包括衬底噪声的产生、传播和耦合过程)。三个主要的噪声产生机理如下：

- 由于热电子效应的碰撞电离。
- 经由反向偏置源/漏体结电容、阱电容、沟道电容等耦合的电容性噪声。
- 经由衬底和阱连接注入的电源噪声。

随着工艺尺寸的进一步缩窄，相比其他两个噪声源而言，碰撞电离变得微不足道[1]。源极/漏极结的容性耦合比碰撞电离更严重，但它没有通过衬底电源/地接触直接把电源噪声注入衬底上的情况严重。因此，最主导的噪声源是电源噪声。图 15.2 是这两种衬底噪声源的代表性波形。该图表明，衬底噪声是大部分周期性平稳的(或者说，统计性质是周期性重复的)。

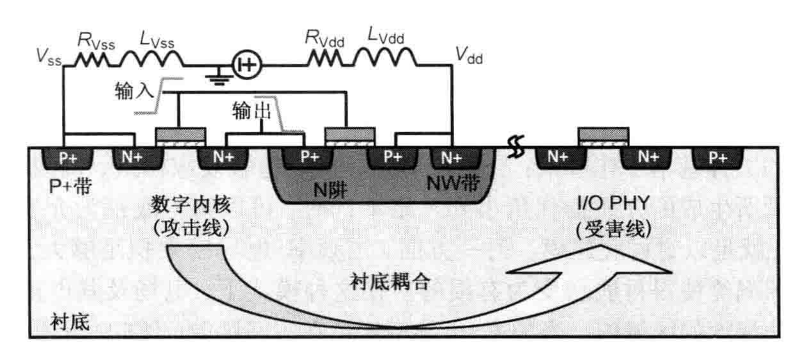


图 15.1　衬底噪声耦合及其对 I/O 接口的影响

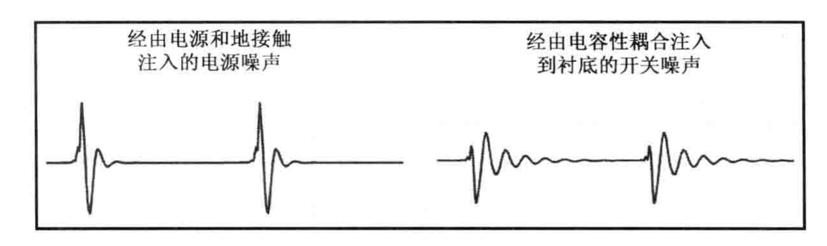


图 15.2　主要衬底噪声源的代表性波形：经由电源和地接触注入衬底的电源噪声；经由电容性耦合注入衬底的开关噪声

衬底噪声总是寻找具有最小阻抗的传播路径，一旦注入衬底便在它上面传播。根据衬底类型、掺杂分布、感兴趣频率的不同情况，噪声主要将衬底看成电阻性(有时是阻性加容性)的介质。在混合信号设计过程中，准确地对包括衬底噪声耦合效应在内的衬底建模是至关重要的。

人们已经在衬底的表征与建模方面开展了大量的研究工作。目前，这项研究已经演变成衬底建模方法学的两大学派：基于网的数值法和基于宏的紧凑建模法。

基于网的数值法，依靠优良的三维网格方案将衬底介质与接触隔离，以求解具有适当边

界条件的泊松和连续方程、准静态拉普拉斯方程、全波麦克斯韦方程等。已经提出了采用有限差分法(FDM)、有限元法(FEM)、边界元法(BEM)等许多基于网的数值提取方法[1,5~9]。这些方法是准确的,但它们计算成本昂贵,且通常仅限于简单设置的情况。

基于宏的紧凑建模法寻求研发一种可缩放的紧凑型宏模型。它具有快速生成模型的优势,给出衬底提取中大规模问题的实用高效途径。该建模法首先被应用到重掺杂衬底的情况[10~12]。但是,获取轻掺杂衬底的紧凑宏建模也是非常重要的。因此,人们提出了基于表面势的模型为分层轻掺杂衬底建模[13]。然而,这一模型需要将矩形接触离散化为圆形网格,再把与几何结构部分相关的经验参数加以拟合。一种更具吸引力无须衬底三维网格的宏建模方案是真正可缩放的,在其版图结构描述中包括有限个根据工艺拟合出的系数。为此,我们极力创制研发出一种建模方法学,以便有效地生成用于噪声分析的衬底网络,并使其版图结构具有可缩放性。这一方法学将提供有见地的信息,使得人们可以减少再布图的必要并促成噪声预知的版图综合。下一节将介绍解决上述建模挑战的综合紧凑建模(SCM)方案[14]。

15.2 建模技术

对衬底的高效建模取决于衬底的材料性质、掺杂分布和感兴趣的频率。图 15.3 定性地说明了硅衬底的三种基本工作模式:介电准静态模式、趋肤效应模式、慢波模式。当频率-电导率乘积较低所生成的介质损耗角小到忽略不计时,可以将衬底视为介质。在这种模式下,准静态表征就足以对衬底建模。另一方面,当频率-电导率乘积足够大,在硅衬底上由穿透磁场产生的涡流使得衬底层变为有损的。在这种模式下,电场及其电流的行进线往往拥挤在衬底集肤深度的区域内。当频率-电导率停留在中间区域(例如,当频率不太高、硅衬底的电导率也适中)时,由于介质色散和衬底界面强极化导致能量在界面间转移,使得传播速度变慢。其结果就是以慢波模式传播。当硅衬底工作于三种中任一模式时,电导与电容之间的关系由介电松弛时间常数确定:$C_{si}/G_{si}=\varepsilon_{si}/\sigma_{si}$。

典型用于数字设计的硅衬底为重掺杂工艺,当频率低于约 2 GHz 时硅衬底被视为纯电阻性的媒质。典型用于模拟、射频和混合信号设计的为轻掺杂工艺,当频率低于约 10 GHz 时将硅衬底建模为纯电阻性的媒质。当频率高于这一范围时,衬底表现为电阻性与电容性的特性[15]。一般而言衬底噪声具有宽带频谱的成分,但是通常的主要频率成分则位于上述频率范围内。因此,对于低频和中频应用,将衬底建模为电阻性网络已经足矣。此时的准确度有一点损失,但模型的复杂度得到明显的降低。15.2.1 节将讨论电阻性衬底建模技术,重点是综合紧凑建模(SCM)方案。对于高频应用,衬底开始表现出明显的频率相关特性。因此,有必要将衬底建模为电阻性和电容性网络。15.2.2 节采用严格的

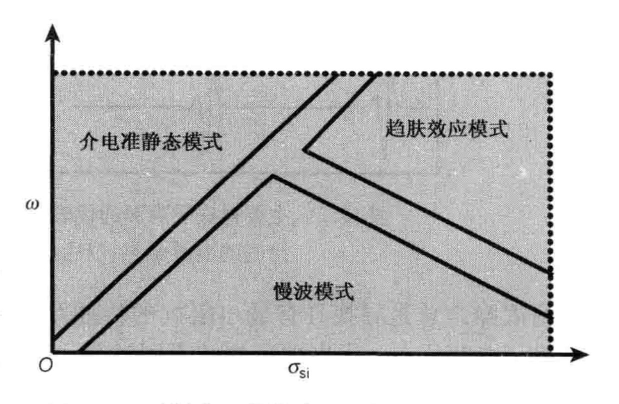


图 15.3 硅衬底工作模式下的频率-电导率曲线图

三维器件仿真量化出衬底何时开始显现为电容性的特性，并介绍一种适合于高频应用、面向 CAD 的等效电路建模方案。

15.2.1　低频至中频衬底建模

图 15.4 给出了重掺杂衬底之上一个轻掺杂外延层的横截剖面图。这种厚体硅型的衬底具有非常低的电阻率(为 0.10 ~ 0.01 Ω · cm)；薄外延层则具有高电阻率(为 10 ~ 100 Ω · cm)。这种类型衬底通常用于数字电路设计，由于其较低的体电阻率可以有效地防止闩锁。整个体衬底可以视为一个单一的集总节点。通常人们将体衬底的背板接地，对于所有衬底耦合的端口而言，背板就是它们公共的地节点。

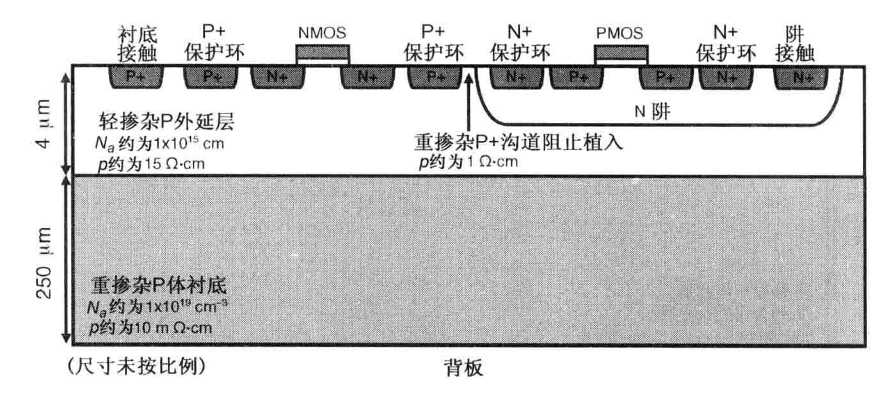


图 15.4　重掺杂衬底上的轻掺杂外延层

对于多个衬底接触的配置，衬底耦合网络可以表征为如下的 **Z** 矩阵：

$$\boldsymbol{Z} = \begin{bmatrix} Z_{11} & \cdots & Z_{1N} \\ \vdots & \ddots & \vdots \\ Z_{N1} & \cdots & Z_{NN} \end{bmatrix} \tag{15.1}$$

采用最初由 Ozis、Fiez、Mayaram 研发[12]，后面又经蓝海等人对近场耦合建模准确度改进的算法[14]，所有的自阻抗和互阻抗项都可以建模为结构相关的解析表达式。自阻抗 Z_{ii} 的表达式如下：

$$Z_{ii} = \frac{1}{k_1 \cdot \text{面积} + k_2 \cdot \text{周长} + k_3} \tag{15.2}$$

其中，k_1、k_2、k_3 是只与工艺相关的拟合系数。采用下面的解析表达式可以求得互阻抗 Z_{ij}：

$$Z_{ij} = \begin{cases} Z_0 e^{-\beta x}, \text{远场} \\ Z_{01} e^{-\gamma_1 x_1} + Z_{02} e^{-\gamma_1 x_2}, \text{近场} \end{cases} \tag{15.3}$$

其中，β、γ_1 和 γ_2 是工艺相关的拟合系数，Z_0、Z_{01}、Z_{02} 可以采用自阻抗式(15.2)导出。

图 15.5 给出了一个广泛用于模拟、射频和混合信号电路的轻掺杂衬底横截面，轻掺杂衬底的涡流较小且有更好的噪声隔离度。这种体硅衬底具有大约 10 Ω · cm 的较高电阻率。这种体衬底的高电阻性，不允许将其建模为一个单一的集总节点。不同于重掺杂工艺示例，这里所有衬底耦合的端口没有公共的地。因此，人们用基于电阻的公式为轻掺杂

衬底工艺研发出 SCM 模型。在近场区衬底的噪声衰减特性几乎是指数型的。当间距增加使之进入远场区时，相互间的耦合并不会一直衰减到零。相反，它往往接近于某一饱和电平。在下面的闭合形式表达式中已经考虑了这一特性，可用于计算两个衬底接触之间的耦合电阻：

$$R_{ij} = \beta \cdot [\ln(d_{ij} + 1)^{\alpha_1} \cdot (s_i + s_j)^{\alpha_2} \cdot (p_i + p_j)^{\alpha_3}] \tag{15.4}$$

其中，d_{ij}是两个接触结构间的几何平均间距(GMD)；s_i和s_j是接触 i 和 j 的面积；p_i和p_j是接触 i 和 j 的周长。参数项β、α_1、α_2、α_3是拟合系数，分别刻画出衬底耦合电阻与衬底掺杂分布、两个接触的间距、接触尺寸和接触周长的相关度。这四个系数与版图结构无关，只与工艺有关。

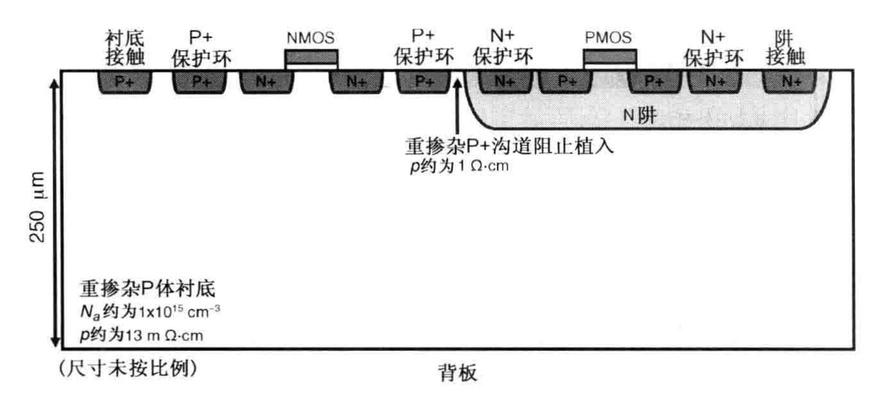


图 15.5　一个轻掺杂衬底示例

通过三维器件仿真得到这些模型参数，然后再对测验用芯片进行实验室测试加以校正[14]。首先，要设计出一组测验用的基准衬底结构。它们通常包括有不同大小和不同间距的衬底接触。其次，通过详细的半导体器件仿真对这些测验结构加以表征。将硅衬底掺杂分布配置得当，在仿真的设置中是最难也是最重要的。由于近场的衬底耦合效应的缘故，建议采用三维器件仿真器(例如，Davinci，达芬奇)，以便准确地提取出近场区域的强耦合。然后，提取出衬底耦合电阻并将其结果用于模型系数的拟合。最后，采用测验芯片对系数以及上述基准测验结构加以校正。由于很难获取某工艺的准确衬底掺杂分布，这最后一步虽是可选的，但强烈建议去做一下。

图 15.6 是各种接触结构下 SCM 模型仿真结果与测量数据的对比。前面两个图显示出相似的衬底耦合特性随间距而变的趋势：当间距较小时，耦合的增长超过线性或指数型；当间距较大时，将继续以较低斜率的线性方式增长。这证实了近场和远场效应。后面两个图显示出两个任意大小及不同偏移量接触间的耦合电阻值。

在版图设计中，保护环是一种最常用的降低衬底噪声技术。本节探讨保护环的有效性及其对版图结构的灵敏度。图 15.7 给出了 SCM 的仿真结果和实测数据。第一幅图说明了保护环宽度对噪声隔离的灵敏度。正如图中所示，电压噪声隔离度与保护环的宽度大约是成正比的。在这一特例中，保护环的宽度每增加 2 μm，将给出有约 2 dB 的噪声隔离增益。第二幅图给出了保护环内的噪声受害线位置是如何影响噪声隔离的。如图所示，当受害线从位置 1(靠近保护环的临界处，远离攻击线)向位置 4(保护环内的中心处)移动时，噪声隔离度降低。由于主要因素在于受害线和攻击线之间距离的减少，所以这一特征是符合预期的。

更值得注意的是，当受害线继续从位置 4 移动到位置 7(靠近保护环的临界处，也靠近攻击线)时，噪声隔离度获得 2 dB 的增强。在这一过程中，存在两个相互竞争的因素：受害线和攻击线之间距离的减小；受害线和保护环壁之间距离的减小。这一观测在确定保护环内敏感电路的布局时，给出一个权衡折中的设计启示。

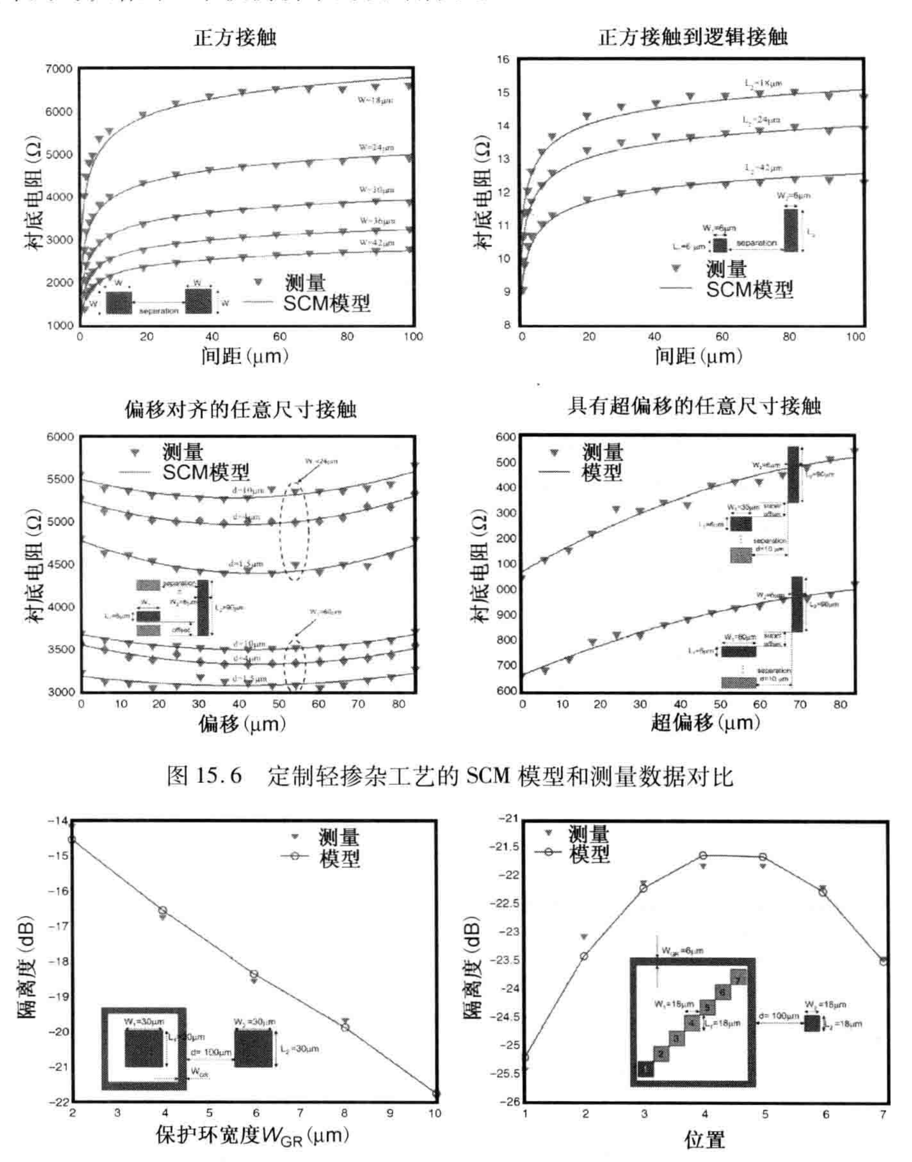


图 15.6　定制轻掺杂工艺的 SCM 模型和测量数据对比

图 15.7　保护环宽度和保护环内受害线位置对噪声隔离的灵敏度

图 15.8 给出了 0.18 μm BiCMOS 轻掺杂工艺下有代表性的 SCM 仿真和实测衬底电阻结果。结果验证了在轻掺杂工艺下观测到的衬底耦合衰减趋势：当受害线和攻击线间距较小时，衰减增大得比较急剧；当间距较大时，衰减的增大开始放缓。SCM 仿真与测量数据的结果一致。其平均误差为 10% 左右，最大误差为 15% 。

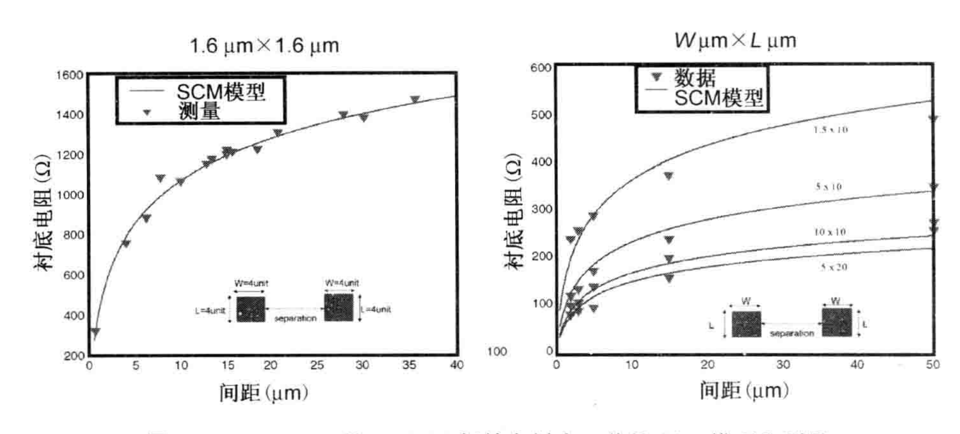


图 15.8　0.18 μm 的 BiCMOS 轻掺杂衬底工艺的 SCM 模型和测量数据对比：1.6 μm × 1.6 μm和W μm × L μm的接触孔

15.2.2　高频衬底建模

基于 Y 参数的宏模型被用于研发高频的行为模型。该模型根据频率相关的 Y 参数构建有理关系式，可以综合出理想的集总 RC 元件等效电路模型。仿真研究表明，用一个二阶多项式近似构建出的硅衬底模型其频率响应可达 100 GHz[15]。图 15.9 所示是用 Y 参数综合出的等效电路模型。本节描述的两个案例证明了这一方法学的有效性：一个用于重掺杂衬底；一个用于轻掺杂衬底。

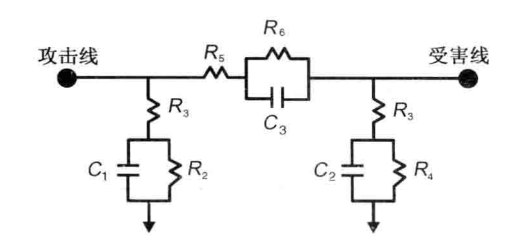


图 15.9　用 Y 参数综合得到的等效电路模型

如图 15.10(a)所给出的重掺杂衬底案例中，有一个攻击线、一个受害线、一个偏置接触。图 15.10(b)所示为三维器件仿真器仿真出的自/互电导和自/互电容。注意，在 10 GHz 频率以下电导和电容保持恒定不变；然后从 10 GHz 往上出现了明显的频率相关性。图 15.10(c)及图 15.10(d)分别给出根据 Y_{11} 和 Y_{12} 所建等效电路的仿真结果与对器件仿真数据的对比。电路模型及器件仿真数据之间存在着良好的匹配。与器件仿真相比，综合电路模型给出了非常准确的频率相关行为表征，而计算成本却非常低。据观测，纯电阻性的衬底模型在 1 ~ 2 GHz 左右是有效的，在此频率之上 Y 参数虚部的分量变得与实部相当。

图 15.11(a)是一个轻掺杂衬底的示例，有一条攻击线、一条受害线、一个偏置接触。图 15.11(b)所示为三维器件仿真器仿真出的自/互电导和自/互电容。由于轻掺杂衬底的低损耗特性，在一个很宽的频率范围内电导和电容保持恒定不变。在大约 90 GHz 频率以上，可以观测到轻微的频率相关性。图 15.11(c)和图 15.11(d)分别给出根据 Y_{11} 和 Y_{12} 所建等效电路的仿真结果与对器件进行仿真数据的对比。电路模型及器件仿真数据之间存在着良好的匹配。纯电阻性的衬底模型在 10 GHz 以下是有效的，在此频率之上 Y 参数的虚部变得与实部越发可以媲美。

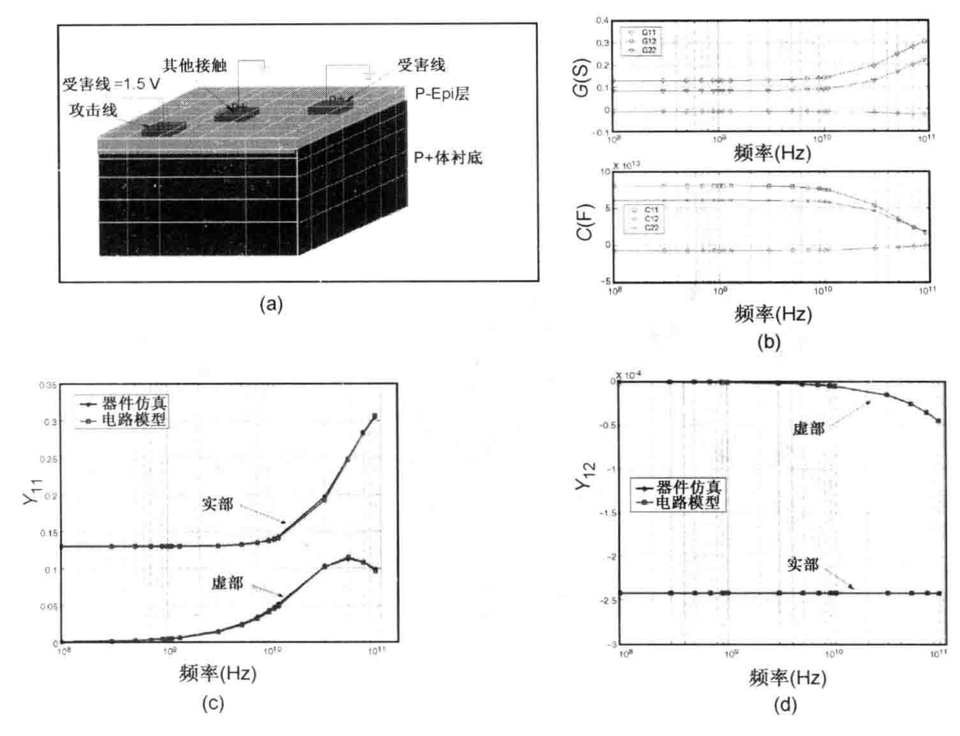


图 15.10　高频衬底建模示例。(a) 重掺杂衬底及轻掺杂外延层；(b) 三维器件频率相关行为仿真；(c) Y_{11} 电路建模与器件仿真；(d) Y_{12}

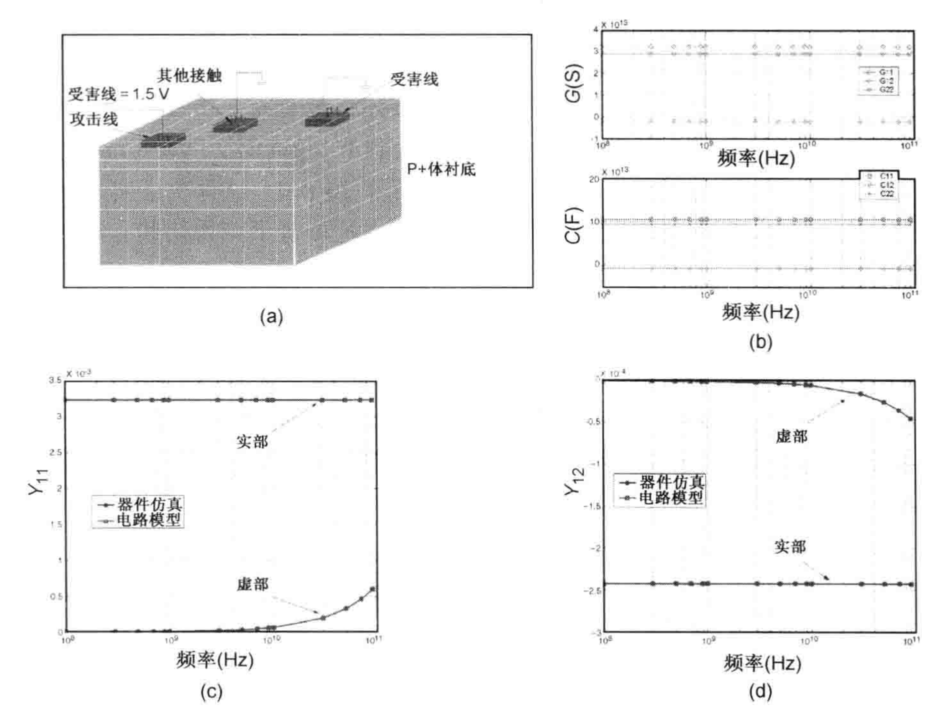


图 15.11　高频衬底建模示例。(a) 轻掺杂衬底结构；(b) 宽频带范围自/互电导/电容几乎恒定的三维器件仿真结果；(c) Y_{11} 等效电路建模结果与三维器件仿真对比；(d) Y_{12}

15.2.3 SCM 模型验证示例

为了验证 SCM 模型，用轻掺杂的体硅在 0.13 μm CMOS 工艺下制作了一个测验电路。图 15.12 所示是测验电路的版图，包括一个 P + 接触(衬底噪声注入器)，四个与噪声注入器具有不同距离的衬底噪声传感器(范围从 25 ~ 165 μm)。衬底传感器采用由 Iorga、Lu、Dutton 所提出只有 PMOS 的宽带差分传感器[16]。

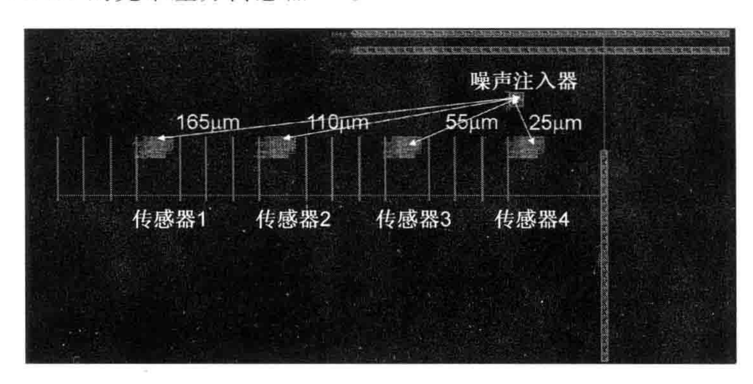


图 15.12 0.13 μm CMOS 工艺下测量衬底噪声传播和验证 SCM 模型的测验电路

为了进行测量，2 MHz、600 mV 的脉冲波经由噪声注入器加入。噪声经由衬底传播，并在不同地点由噪声传感器检测。进行仿真时要将噪声源、SCM 建模法生成的衬底耦合网络、传感器电路都包括在内。图 15.13 比较了测量数据与仿真结果。除了距离为 165 μm 时噪声低于传感器分辨率的情况之外，仿真结果与实测数据普遍一致。在这种轻掺杂工艺下，噪声的传播和衰减行为比较有趣。在范围从 0 μm 到 25 μm 时噪声迅速降低，印证了 15.2.1 节讨论的近场效应。在它传播到远场区间距的过程中，噪声持续衰减。仿真数据表明，随着间距的增长噪声衰减的趋势减弱。当间距从 110 μm 增大到 165 μm 时，只有 3 mV 的噪声电平下降；而当间距从 25 μm 增大到 55 μm 时，噪声则降低了 20 mV。这再次证实了衬底噪声随着传播距离的增加，并非严格地按照线性方式衰减。它在近场区下降得快些；而在远场区则逐渐接近饱和电平。

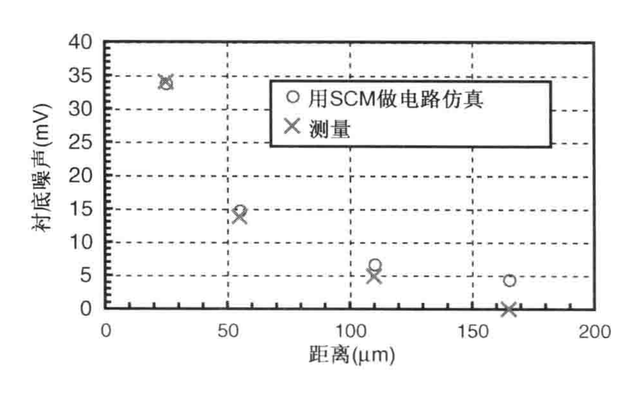


图 15.13 衬底噪声实测值与用 SCM 模型噪声仿真结果间的关联度

15.3 测量技术

测量衬底噪声对了解噪声特征、传播特性及其对敏感模拟电路的影响起着至关重要的作用。由于衬底噪声的空间相关性，必须设计和安排紧凑型的测量模块以允许对衬底噪声进行原地表征。本节首先介绍测量衬底噪声的一般要求，然后讨论一个包括噪声发生器和噪声监测器在内的专用片上衬底噪声测量结构。

15.3.1 衬底噪声的特性及对测量的要求

为了研发噪声测量技术，需要理解衬底噪声性能。第一，由于数字开关活动的随机性，从严格意义上讲衬底噪声是一个随机过程。然而，在大多数情况下，系统参考时钟同步了所有的开关活动。衬底噪声通常在时域表现出强烈的周期特性；在频域中包含有参考时钟的尖峰及其谐波。因此，可以用自相关和功率谱密度表征衬底噪声。第二，衬底噪声通常没有电源噪声那么严重。由于在衬底的固有衰减以及遍布在芯片中的偏置接触，噪声峰-峰值的范围从几十毫伏（非常嘈杂的环境下）降到譬如低功耗 PHY 接口中低嘈杂设计下几百微伏的电平。第三，衬底噪声遍布于从攻击线源头直到受害线目的地的各处，因此它是版图相关而且是平面布局相关的。

衬底噪声测量模块必须满足几个关键的设计要求：它的分辨率必须比亚毫伏电压更精细；为了提取主要的衬底噪声动态情况，测量带宽至少要覆盖系统参考时钟的三次谐波。由于衬底噪声的版图相关和位置相关性，原地测量是非常可取的。因此模块必须足够紧凑，以至于可以放置在任何位置去检测噪声；还要做到对附近电路没有干扰或者干扰很小。最好的测量是完全在片上进行，且支撑片上测量所需的引脚数和封装资源都降到最低。后面几节将探讨这些设计挑战，讨论所提出的测量技术和电路实现。

15.3.2 衬底噪声监测器电路

图 15.14 是一个衬底噪声监测器的方框图[17]。这一噪声监测器以 16.4.1 节介绍的电源噪声监测器为基础。只对电源噪声监测器的传感器前端进行了些许修改，人们就可以用它去测量近地衬底噪声。传感器前端包括：一个 P+衬底探针接触、一个采样保持电路（S/H）、一个电平转移器（L/S）。在 P+衬底接触后采用 S/H，就可以提取出所要位置上的瞬时衬底噪声。由于采样衬底噪声通常是参考地电压附近的大约几十毫伏，因此采用一个基于 PMOS 源极跟随器的电平转移器 L/S，以便给出一定的增益并加上适当的直流偏置。其余电路与第 16 章将介绍的电源噪声测量电路相同。

15.3.3 噪声发生器电路

图 15.15 是一个衬底噪声发生器的简化原理图[17]。正如图中所示，外部时钟（NCLK）驱动具有 MOSCAP（MOS 电容）负载的分级缓冲器。MOSCAP 的源极/漏极端直接连接到 P+衬底接触。与 NCLK 边沿的跳变相一致，产生了开关电流。然后，这些电流直接注入芯片的衬底。人们可以利用下述因素确定激励衬底电压噪声幅度：驱动器输出阻抗、MOSCAP 电容、NCLK 频率、时钟边沿的有效陡峭度、输入阻抗（从噪声注入接触向整个衬底网络看过去）。在实际实现中，还包括一个二进制加权的噪声源阵列以调整噪声发生的幅度。

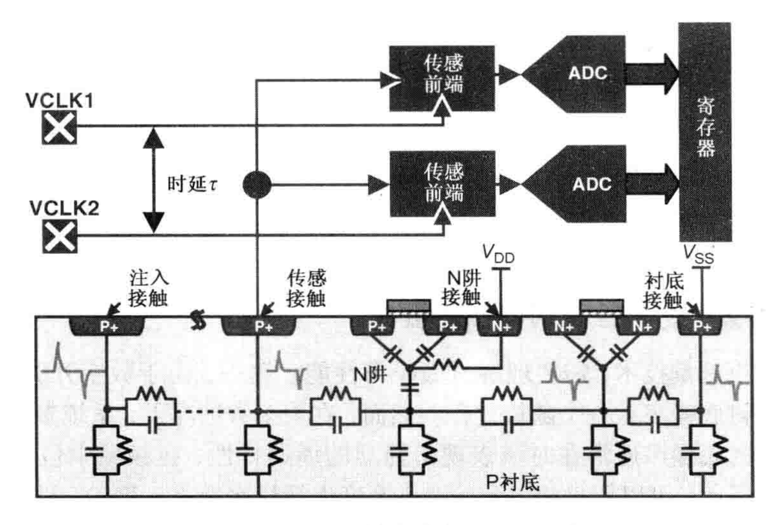


图 15.14　片上衬底噪声监测器电路

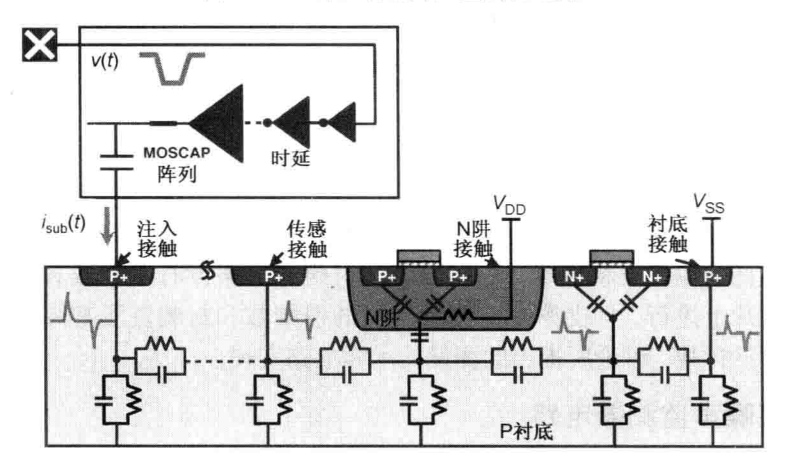


图 15.15　片上衬底噪声发生器电路

15.4　案例分析

本节以高速、低功耗的存储控制器接口设计为例，采用上述 15.3 节中讨论的片上测量结构，分析衬底噪声及其对抖动的影响。

15.4.1　测验系统综述

为了进行分析，本节采用 15.3.2 节中所述的片上衬底噪声监测器电路。电路的制造采用 40 nm 低功耗 CMOS 工艺。测验芯片的主体是一个低功耗的存储控制器 PHY 接口(类似于 Palmer 等人所介绍的[18])，采用具有先进电源管理功能的低摆幅差分信令，其数据率可以达到 3.2 ~4.3 Gb/s。图 15.16(a)是衬底噪声测量结构的版图；图 15.16(b)是在整个 PHY 接口中的布局。整个测量结构由位于上面的两个噪声监测器和位于下面的噪声发生器组成。在这一特别的工艺下，整个测量结构大约为 40 μm ×250 μm。噪声模块不放在 PHY 的内部，

也不是特别靠近任何一个接口链路。为噪声模块选择这样的位置，是因为这一初样实现的工作重心是要考核自有噪声测量模块的可行性、功能和性能，并未故意要在很敏感部位（如 PLL 和时钟分配电路）摆放噪声探针。

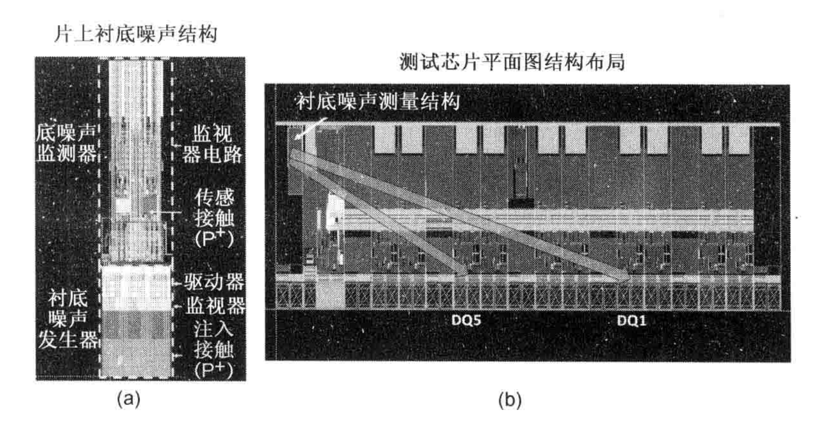


图 15.16　低功耗存储控制器 PHY 测验芯片以及片上衬底噪声测量电路

15.4.2　直流校正结果

测量过程中的第一步就是进行直流校正。在这一步中，要将加在 P + 衬底接触这一传感前端的直流电压扫过一定的范围，这一范围一般为 ±100 mV。对于每个给定的直流电压，从两个噪声监测器都获取了多个采样，并记录下相应数据后处理的计数器值。如前所述，通过将多个值进行平均可以有效地滤掉源于 VCO 器件内部噪声源的高频随机噪声。在 VCO 的锁定范围内，用线性拟合近似足以表示从测得的电压到数字计数的映射过程。图 15.17 给出了对两个噪声监测器的直流校正结果。它们的斜率相似，但其 y 截距不同。这种差异是由于器件的不匹配和工艺波动。斜率参数值是 VCO 增益和转换时间的函数。它反映出量化误差的大小，从而给出了电压分辨率的上限。如图中所示，两个监测器的电压分辨率分别是 142 μV/LSB 和 138 μV/LSB。这一性能超过了分辨率为亚毫伏的要求。

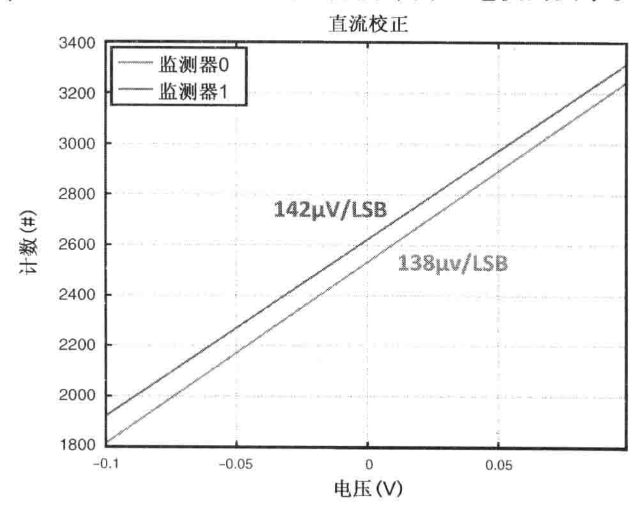


图 15.17　衬底噪声监测器直流校正装置

15.4.3 交流测量结果

两个监测器同时提取出瞬态衬底噪声，但由外部时钟源设备精确控制它们在时间上具有相对的时延(τ)。衬底噪声可以用其自相关加以表征：

$$R(\tau) = E[V_{\text{sub}}(t)V_{\text{sub}}(t+\tau)] \tag{15.5}$$

或采用其自协方差表征：

$$R(\tau) = E\left\{[V_{\text{sub}}(t) - \overline{V}_{\text{sub}}(t)][V_{\text{sub}}(t+\tau) - \overline{V}_{\text{sub}}(t+\tau)]\right\} \tag{15.6}$$

衬底噪声的频域特性可以用其功率谱密度(PSD)表示：

$$S_{V\text{sub}}(f) = \int_{-\infty}^{+\infty} K(\tau)\mathrm{e}^{-\mathrm{j}2\pi f\tau}\,\mathrm{d}\tau \tag{15.7}$$

最大的可实现时延($\tau_{\max}$)确定了频率分辨率。最小的可实现时延步长(τ_{step})确定了测量的带宽。

图 15.18 给出所测衬底噪声的幅度谱，包括静态以及噪声发生器开启的情况。在静态情况下，没有数据变化的活动，PLL 也处于待机状态。测量的本底噪声约为 -15 dBmV。寄存器的存取和系统初始化都要用到逻辑时钟，图中的小尖峰就是由逻辑时钟开关造成的。当噪声发生器由 700 MHz 的外部时钟 NCLK 开启时，可以清楚地看到故意噪声的峰值为 700 MHz，以及其主要的谐波分量。

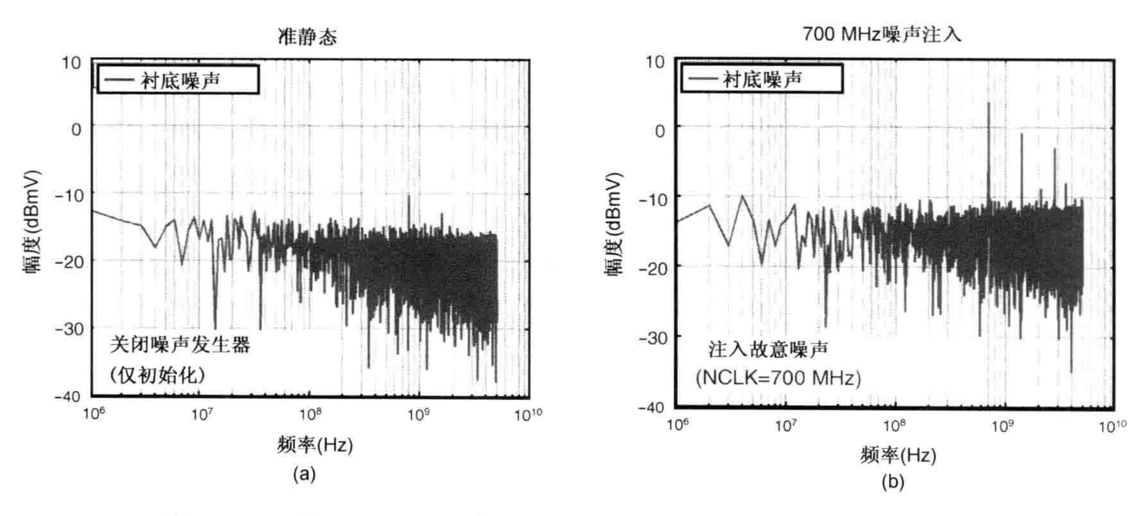


图 15.18 只有 PHY 初始化及加入 700 MHz 调频故意噪声的实测衬底噪声频谱

图 15.19 所示为由于 PHY 自身激活状态造成的衬底噪声测量结果。在这种模式下，PLL 的参考时钟为 400 MHz，所有的数据链路都以每个链路 3.2 Gb/s 的速率连续传送某种数据模板。衬底噪声的产生有多种源头，包括：数据路径上的数据变化；差分输出驱动器活动；PLL 时钟的产生、缓冲和分配等。第一幅图给出当所有数据链路都传送 0xAAAA 数据模板时测得的衬底噪声谱。位于 800 MHz 处的主要噪声尖峰约为 660 μV。第二幅图给出当所有数据链路都传送相同 PRBS(伪随机二进制序列)数据模板时的衬底噪声频谱。频谱显示这一随机数据模板使得能量聚集在 800 MHz 附近。由于测验芯片要的是采用低摆幅差分信令实现

低功耗，看到衬底噪声分量的峰值都低于 1 mV 也就不奇怪了。此外，这一测验芯片也仅包括低功耗的存储控制器 PHY。当与存储器或 ASIC 内核进行集成时，由于存储器内核工作所造成的强烈开关活动，可以预期衬底噪声将变得更为糟糕。根据数字电路的规模、活动力度、开关场景、衬底接触布局等因素，衬底噪声的范围为 10 ~ 30 mV。

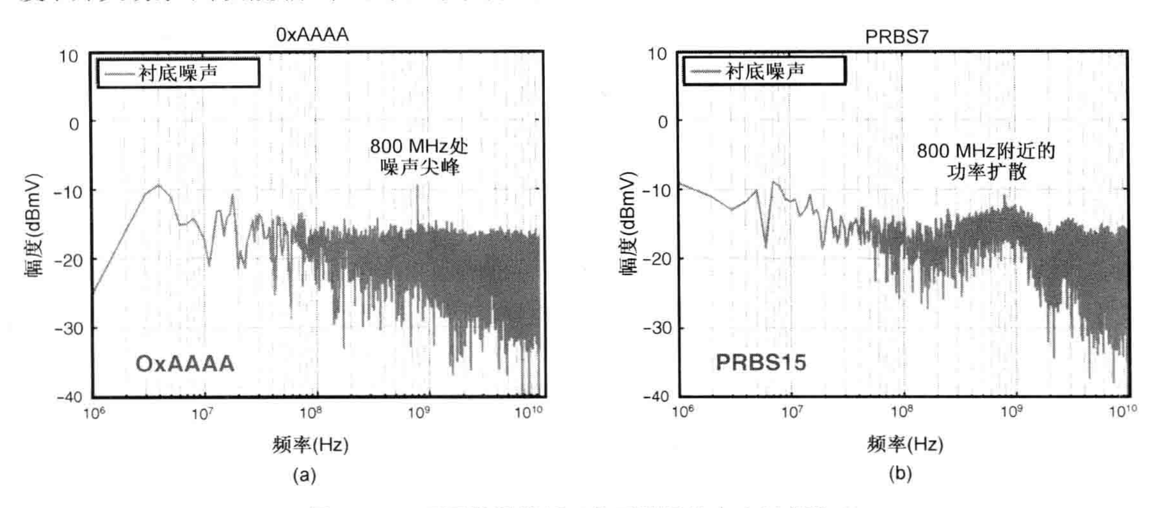


图 15.19　不同数据模板工作下测量的自生衬底噪声

15.4.4　对衬底噪声引起抖动的测量

在分析高速链路系统时，首先要紧的是能够识别出主要噪声源。例如，电源噪声和衬底噪声。如果能够明确噪声对链路抖动性能有多么重大的影响，那将是更为重要的内容。在下面的研究中，我们将利用片上测量结构探究衬底噪声引起抖动(SNIJ)的情况。作为一个示例，图 15.20 给出了在与衬底噪声发生器有不同距离的两个数据链路中测得的衬底噪声对 PHY 抖动性能的影响。该图给出了在有/无 1 GHz 故意衬底噪声注入时所测得的抖动频谱。

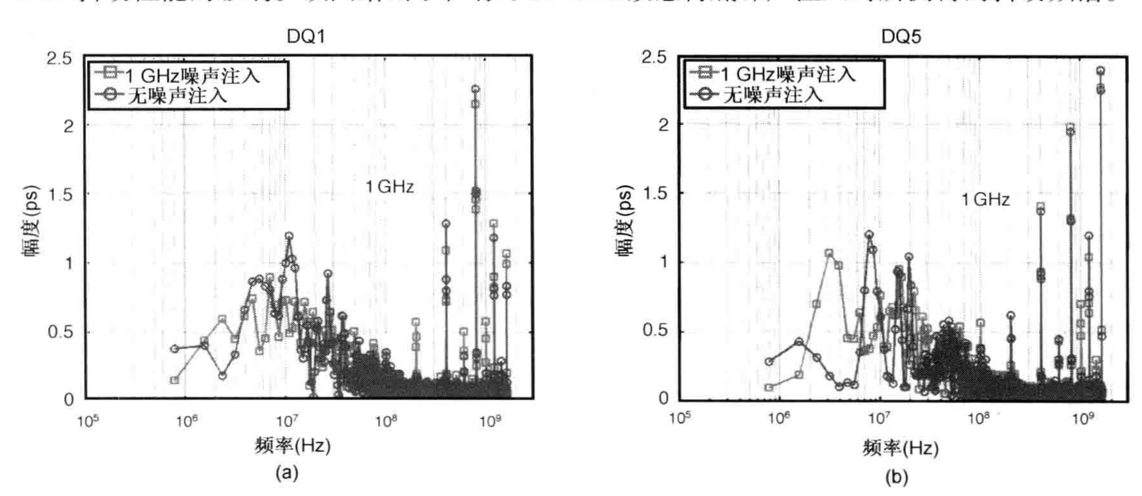


图 15.20　实测的抖动频谱表明衬底噪声对 DQ1 和 DQ5 情况下 PHY 抖动性能的影响

我们可以在这里做一些考察。首先，单频衬底噪声通常激励出相同频率的抖动分量。在这一示例中，1 GHz 的衬底噪声主要激励出 1 GHz 的抖动分量。在图 15.20 中可以清楚地

看到由于1 GHz 噪声的注入使得抖动幅度明显增大。其次，我们看到衬底噪声到达不同地点出现了不同程度的衰减。如图 15.16(b)所示，在本示例中的 DQ5 比 DQ1 更接近衬底噪声发生器。因此，DQ5 比起 DQ1 遭遇到了更大的衬底噪声。如图 15.20 所示，DQ5 在 1 GHz 下看到有 1.1 ps 的峰-峰值抖动增大，而 DQ1 在 1 GHz 下看到了 0.8 ps 的峰-峰值抖动退化。

基于上述考察，这里给出一个称为 SNIJ 灵敏度的参数，记为 $S(f)$，其定义如下：

$$S(f) = \frac{\mathrm{SNIJ}(f)}{V_{\mathrm{sub}}(f)}[\mathrm{ps,pp/mV,pp}] \tag{15.8}$$

类似于(第 14 章中讨论过的)PSIJ 灵敏度概念，SNIJ 灵敏度也与系统特征相关的，它描述了影响受害线的衬底噪声与输出时钟或数据线上抖动间的关系。SNIJ 灵敏度取决于所选择的系统架构和电路实现，包括时令方案、数据路径、信令等。它独立于电路的工作状态及其在平面布局中的位置。在低功耗 PHY 接口这一示例中，相同的链路切片架构被用于示例所有的数据链路。根据与噪声源的距离不同，人们可以预估这些链路将会看到不同量级的衬底噪声。然而，它们却应该具有相同或相似的 SNIJ 灵敏度。

图 15.21 给出对 DQ1 和 DQ5 的 SNIJ 灵敏度测量结果。虽然不完全相同，但两个 DQ 链路都表现出大致相似的灵敏度特性。它们都在与 400 MHz PLL 参考时钟相关的频率上表现出很强的灵敏度(高达 1 ~ 2 ps/mV)。在其基频、谐波和次谐波处可以看到有明显的尖峰。这些频率就是衬底噪声这一干扰影响到系统时钟的最敏感处。在 PLL 参考时钟上的单频衬底噪声，对 PLL 的动态性能影响最大，因此对输出时钟抖动的影响就最为明显。其尖峰的幅度也大致与上述现象相符。这进一步证实了对 SNIJ 灵敏度概念的基本假设。当控制器 PHY 与 ASIC 集成在一起时，衬底噪声预估将在 10 mV 的量级，这比由于 PHY 数字内核强开关活动而自生的噪声要大得多。引起的抖动大约在 10 ps 的量级，占据了 3.2 Gb/s 链路高达 3% 的单位间隔。

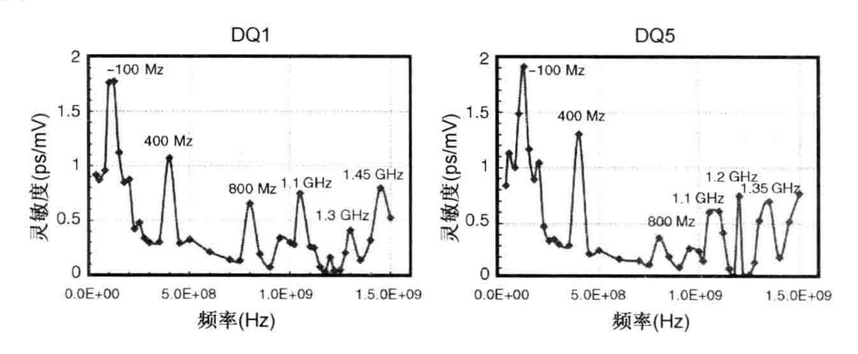


图 15.21　实测 DQ1 和 DQ5 下的 SNIJ 灵敏度曲线

15.5　小结

在预算、设计、分析高速接口时，衬底噪声是跟在电源噪声之后的下一个挑战。本章讨论了高速 I/O 接口中的衬底噪声及其对抖动的影响。

本章首先讨论了衬底的建模方法学，包括直流和高频方案。本章还介绍了对片上衬底噪声的测量结构(噪声监测器)，并研发了低功耗存储控制器 PHY 接口的原型样机。基于自

相关的测量方法学，大大降低了对带宽的要求。否则，如果直接采用时域测量技术，将面临这一挑战。噪声监测器的电压分辨率达到 150 μV 以上；测量带宽大于 10 GHz。在这一独立的低功耗 PHY 测验芯片环境中，测得的 PHY 自生衬底噪声部分并不显得特别突出。此外，（借助于所研制的衬底噪声发生器）对 SNIJ 灵敏度进行了表征，并在测验芯片中观测到两个 DQ 链路具有一致的灵敏度。显然，片上测量结构在探究衬底噪声及其影响时是有用的。这种自备的紧凑型工具，在今后深入研究高速低功耗 I/O 接口中衬底噪声对抖动的影响时，将会成为一个重要的工具。

参考文献

1. R. Gharpurey and R. Gray, "Modeling and analysis of substrate coupling in integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, pp. 344-353, Mar. 1996.
2. J. Cho, J. Shim, E. Song, J. Pak, J. Lee, H. Lee, K. Park, and J. Kim, "Active circuit to through silicon via (TSV) noise coupling," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct. 2009, pp. 97-100.
3. R. Schmitt, H. Lan, C. Madden, and C. Yuan, "Analysis of supply noise induced jitter in Gigabit I/O interfaces," presented at the IEC DesignCon, Santa Clara, CA, 2007.
4. H. Lan, R. Schmitt, and C. Yuan, "Prediction and measurement of supply noise induced jitter in high-speed I/O interfaces," presented at the IEC DesignCon, Santa Clara, CA, 2009.
5. M. Badaroglu, P. Wambacq, G. Van der Plas, S. Donnay, G. Gielen, and H. De Man, "Impact of technology scaling on substrate noise generation mechanisms," in *Proceedings of IEEE Custom Integrated Circuits Conference*, San Jose, CA, Sep. 2004, pp. 501-504.
6. N. Verghese and D. Allstot, "Computer-aided design consideration for mixed-signal coupling in RF integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 3, pp. 314-323, Mar. 1998.
7. E. Charbon, R. Gharpurey, R. Gray, and A. Sangiovanni-Vincentelli, "Substrate optimization based on semi-analytical techniques," *IEEE Transaction on Computer-Aided Design*, vol. 18, no. 2, pp. 172-190, Feb. 1999.
8. M. van Heijningen, J. Compiet, P. Wambacq, S. Donnay, M. Engels, and I. Bolsens, "Analysis and experimental verification of digital substrate noise generation for epi-type substrates," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, pp. 1002-1008, Jul. 2000.
9. M. Badaroglu, M. van Heijningen, V. Gravot, J. Compiet, S. Donnay, M. Engels, and H. De Man, "Methodology and experimental verification for substrate noise reduction in CMOS mixed-signal ICs with synchronous," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 11, pp. 1383-1395, Nov. 2002.
10. E. Schrik and N. van der Meijs, "Combined BEM/FEM substrate resistance modeling," in *Proceedings of Design Automation Conference*, New Orleans, LA, Jun. 2002, pp. 771-776.
11. A. Samavedam, A. Sadate, K. Mayaram, and T. Fiez, "A scalable substrate noise coupling model for design of mixed-signal ICs," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 6, pp. 895-904, Jun. 2000.
12. D. Ozis, T. Fiez, and K. Mayaram, "A comprehensive geometry-dependent macro model for substrate noise coupling in heavily doped CMOS processes," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Orlando, FL, Sep. 2002, pp. 497-500.
13. S. Kristiansson, F. Ingvarson, S. Kagganti, and K. Jeppson, "A surface potential model for predicting

substrate noise coupling in integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 9, pp. 1797-1803, Sep. 2005.

14. H. Lan, T. Chen, C. Chui, P. Nikaeen, J. Kim, and R. Dutton, "Synthesized compact models and experimental verifications for substrate noise coupling in mixed-signal ICs," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 8, pp. 1817-1829, Aug. 2006.
15. H. Lan, Z. Yu, and R. Dutton, "A CAD-oriented modeling approach of frequencydependent behavior of substrate noise coupling for mixed-signal IC design," in *Proceedings of International Symposium on Quality Electronic Design Conference*, Mar. 2003, San Jose, CA, pp. 195-200.
16. C. Iorga, Y.-C. Lu, and R. Dutton, "A built-in technique for measuring substrate and power supply digital switching noise using PMOS-based differential sensors and a waveform sampler in system-on-chip applications," *IEEE Transactions on Instrumentation and Measurement*, vol. 56, no. 6, pp. 2330-2337, Dec. 2007.
17. H. Lan, M. Aleksic, R. Schmitt, N. Nguyen, and C. Yuan, "Investigating substrate coupling noise impact on low-power memory controller PHY interface using on-chip measurement structure," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2010, Austin, TX, pp. 137-140.
18. R. Palmer, J. Poulton, B. Leibowitz, Y. Frans, S. Li, A. Fuller, J. Eyles, J. Wilson, M. Aleksic, T. Greer, M. Bucher, and N. Nguyen, "A 4.3GB/s mobile memory interface with power-efficient bandwidth scaling," in *Symposium on VLSI Circuits Digest of Technical Papers*, Kyoto, Japan, Jun. 16-18, 2009, pp. 136-137.

第Ⅳ篇

高 级 专 题

第 16 章　片上链路的测量技术

第 17 章　信号调理

第 18 章　应用

第16章　片上链路的测量技术

Dan Oh，蓝海，Ralf Schmitt，Elad Alon

高速数字设计不仅取决于前面章节中所介绍的准确建模；还取决于必要的测试和测量，借以验证这些模型的准确性。

无源互连可以在时域采用时域反射计(TDR)；或在频域采用矢量网络分析仪(VNA)加以表征。另一方面，有源器件(如发送器和接收器)可以采用实时示波器、数字采样示波器、误码测试仪(BERT)等进行测试。这些测量工具是高速设计中强大和不可分割的一部分，但它们也有以下的局限性。

第一，上述测量是在构件级进行的，因此它们可能会错过通道中各构件之间复杂的相互作用。例如，考虑一种大的反射强置发送器进入过饱和的情况，它将无法产生所需的电压摆幅，进而造成接收器出现故障。

第二，由于反射使得观测波形呈现出失真，它可能并不代表在发送器或接收器的实际波形。例如，图16.1给出了两个信号眼图：一个在接收器焊球处；另一个在接收器焊盘处。在焊球处的信号由于反射呈现明显的失真；而在焊盘处的信号则有一个非常干净的眼图。

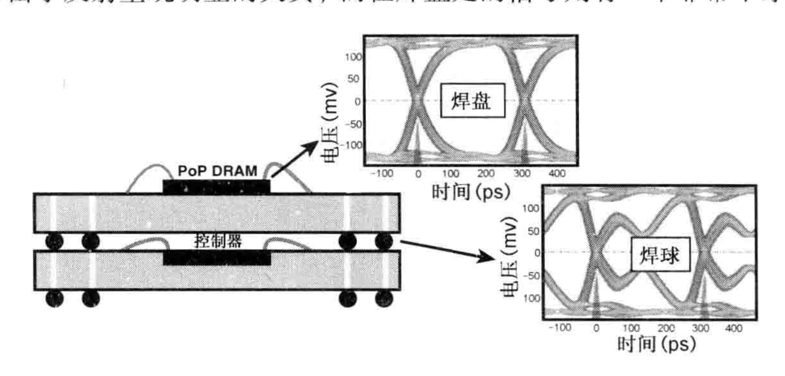


图16.1　工作于3.2 Gb/s的PoP差分存储系统的焊球和焊盘处实测的数据信号

第三，某些通道的行为，譬如抖动跟踪(如第10章中所述)，由于噪声的抵消是出现在系统一级，从而无法在构件级进行测量。高频电源噪声是另一个示例，由于封装的滤波特性，在封装引脚或焊球处测得的噪声明显不同于片上器件处的噪声。

最后，三维封装技术，如封装中封装(PoP)、系统级封装(SiP)、多芯片封装(MCP)等，使得人们更难在构件级测量信号的质量。在构件级测量每个器件的传统方法无法提取出三维集成中复杂的相互作用。例如，由于面积所限无法给出足够的电源配送网络，使得电源噪声和抖动成为三维封装系统中两个最主导的电压和时序误差分量。如图16.1上部所示的DRAM器件就是这样，它的电源路径上有一个较大的电感。这一电感造成严重的电源电压噪声。

克服这些局限的方法之一就是进行准确和可靠的片上链路性能测量。本章将介绍几种片上(或原地)测量技术。采用少量的、通用的片上电路对几类关键电气参数(如电压和时序容限、浴盆曲线图、BER 眼图、信号波形等)进行测量[1,2]。本章演示一种提取波形的细节，对在接收器前端有准确模拟放大或均衡的整个通道建模特别有用。原地测得的电压和时序容限，可用于产能提升期间的系统质量认证。器件内的环回路径可以用于在构件级对器件进行测试。最后，还设计了一个简单的噪声监测电路用于测量电源噪声[3,5]。此外，这种噪声监测电路可以与另外的噪声发生器一起用于求得系统 PDN 的阻抗，以及电源噪声引起抖动的灵敏度。

片上测量不仅能够准确和方便地表征高速系统，它们还成就了低成本的测试，它不需要昂贵的测试设备(如高频 BERT，或数字采样示波器等)。在生产环境中，片上测量也非常强大和实用。16.1 节讨论用于 Shmoo 和 BER 眼图的测试电路和技术。16.2 节将这些技术扩展到用于提取信号波形。16.3 节给出硬件测量数据(采用一个基于 PoP 封装的低功耗差分存储器系统[2,6,7])，以及与第 9 章介绍的统计链路仿真进行对比的关联度数据。16.4 节介绍了噪声监测器和发生器电路，以及时域和统计域的片上噪声测量技术。16.5 节进一步介绍了对电源分配网络(PDN)阻抗、抖动灵敏度、链路容限灵敏度等的测量。

16.1　Shmoo 与 BER 眼图测量

Shmoo 制图刻画了一种映射的过程，它将随时间或电压而变的参数映射到合格和不合格两个区域中。假设在给定的电压和时序设置下，发送器经由通道将模板(通常是 PRBS)发送到接收器去。接收器将接收到的模板按照位对位地与已知模板进行比对。如果没有发现错误，接收报告“合格”；如果发现一个错误，则报告“不合格”。在整个电压和时序值的范围内重复这一过程。通常情况下，时序是在一个位时宽内变化的，电压是在发送器允许的电压摆幅范围内变化的。进行 Shmoo 测试时对硬件的需求是：误码检测器和一个改变所关注参数的手段。

首先，让我们考虑一个时序 Shmoo。可以将发送器的数据信号或时钟加以错位，或者将接收器的时钟加以错位从而得到时序 Shmoo，进而测试链路时序的容限。对于存储器接口设计的情况，也可以在控制器中进行读、写操作时序的调整，从而 DRAM 的接口部分得以简化。

当今的高速接口中，通常用时序调整电路解决引脚到引脚的时序波动，时序调整已成为高速系统设计的一部分，而不是 Shmoo 测试的一个特定功能。无论时序调整电路源自何处，这里将用它表征链路的电压和时序容限。

对于电压 Shmoo，有几种可用的方案。对于单端信令，参考电压或发送器的共模电压都可以调整。对于差分信令，可以调整发送器或接收器的共模电压。注意，由于发送器电压净空余量问题以及接收器的信号摆幅明显衰减，最好是调整接收器。

然而，另一种方法是采用一种自适应采样器以同时调整电压和时序[1]。这一方案允许对实时流通数据进行测量。但是，它明显增大了硬件设计的成本。在低功耗 I/O 接口设计的测试装置中[2]，接收器采样器中的偏移校正电路用于调整共模电压。低功耗 I/O 接口设计采用低摆幅信令，这就需要一个更灵敏的采样器设计[6]。非常需要一个接收器偏移校正电

路，以提高采样器的灵敏度。通常情况下，这种方法的缺点是，偏移抵消只是针对有限的电压范围设计的。大多数情况下，都不可能对全摆幅加以表征。当发送器具有半摆幅模式时，可以在进行测量时与偏移校正一起使用。

图 16.2 中的第一幅曲线图是一个 Shmoo 眼图。眼图的绿色睁开区是合格区域。眼图周围的灰色区域是不合格区域（如果某处有一个单独的误码，该处就“不合格”）。眼图的水平和垂直睁开度分别给出了时序和电压容限。如果有一个误码计数器，根据现有的 Shmoo 特性，就可以生成 BER 曲线。根据误码计数的情况可以给出误码率，这就不再是一个简单的合格、不合格，而是图 16.2 的第二幅二维 BER 眼图。BER 眼图的水平剖面表示的是时序浴盆曲线，而其垂直剖面则表示电压浴盆曲线。电压浴盆曲线的一个单边图称为瀑布曲线。

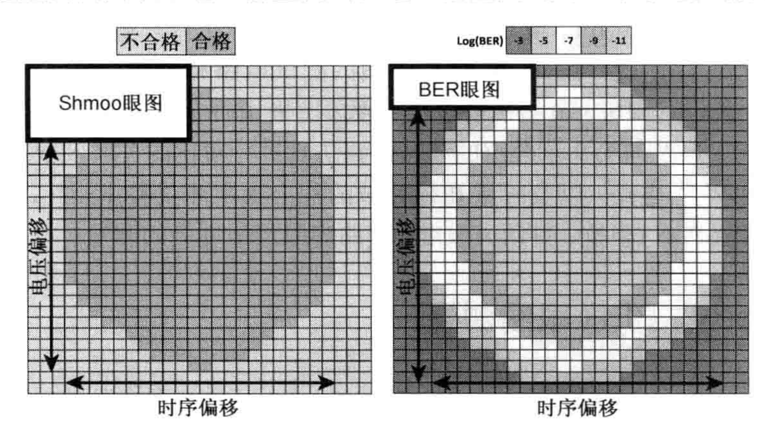


图 16.2　二维 Shmoo 眼图和 BER 眼图

总之，需要以下硬件以产生 BER 眼图曲线：

- 模板发生器，用于发送已知的数据模板。
- 误码检测电路和计数器。
- 电压 Shmoo 功能（基于发送器摆幅调整，参考电压调整或接收器偏移调整）。
- 时序 Shmoo 功能（基于发送器数据或时钟相位调整或接收器端时钟相位调整）。

16.2 获取信号波形

采用片上测量电路提取出信号的波形是具有挑战性的，因为它需要用高带宽采样器进行亚采样[8~11]。现代的 I/O 设计往往利用晶体管最大带宽发送数据，所以设计一个亚采样电路将会有更多的电源和芯片面积开销。因此，亚采样技术可以在测试装置中实现，但它们不适于量产的芯片。基于一个额外自适应采样器的简化版亚采样电路被用在串行链路设计中[1,12]；在存储器接口中实现的是同一个版本（但无自适应采样器）[2]。

在参考文献[2]中，通过测量 BER 间接地提取出波形，其中采用了类似于上一节中所介绍的技术。唯一需要增加的一个硬件就是掩模功能模块，用于筛选在特定位出现的误码。我们用一个简单的阶跃作为输入说明其中的基本原理。首先，重复发送…000111…这样的输入模板。然后，测量每个位的二维 BER 映射。图 16.3 分别演示出跳变前几位和跳变后几位的二维误码映射。在这一示例中，通过将接收到的数据与 1 加以对比给出误

码的位置映射。通过对错误概率为 0.5 的位置跟踪，可以追溯出信号的波形。正如上一节所述，通过找到错误率 0.5 的位置，就可以 Shmoo 到电压的偏移。由于是考虑 0.5 的错误率，就没有必要知道该位的正确值。在实际的实现中，可以优化 Shmoo 过程使其只跟踪 0.5 位误码概率附近的线，而不需要扫描整个的电压范围。为了滤除由于随机噪声引起的抖动，可以采用一个求平均的方案，或者用平滑的函数去拟合所测量的曲线。整个过程总结于图 16.4 中。

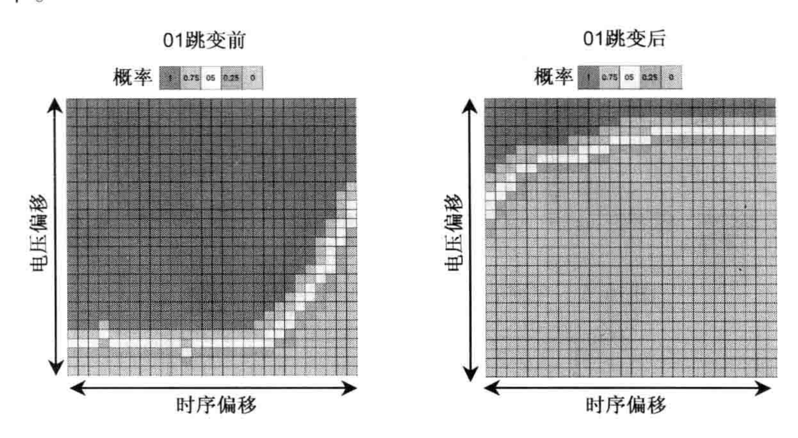


图 16.3　阶跃响应的 BER 曲线图：跳变前和跳变后

在 SerDes 应用中，时钟数据恢复（CDR）需要一个边沿跳变。在图 16.5 的示例中，给出了放置在跳变之前和之后的开关翻转位，之所以要保持足够的间距是为了尽量降低它们的影响。这种基于位错误的方法并不只能用于简单的数据模板，也可以用于任意的模板。其前提就是它们可以被重复发送，而这点对于同步 I/O 接口的情况是不成问题的。

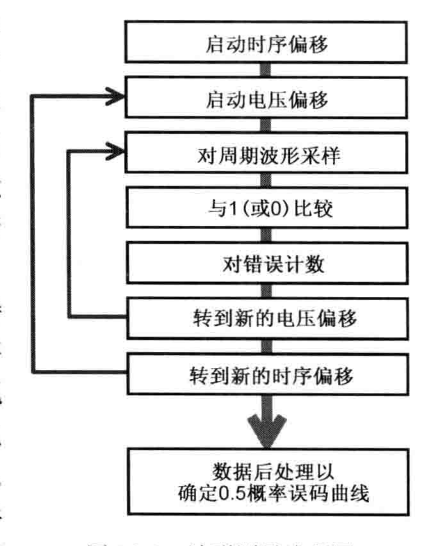


图 16.4　波形测量流程图

由于这一测量是基于片上时序和电压的 Shmoo 特性，调整后的电压和时序值可以包含非线性误差。大多数片上电压和相位的调整都偏离了理想的设置；这种现象被称为非线性误差。非线性误差，对于过高或过低电压值，以及八进制边界附近的时序值都要更严重一些。幸运的是，非线性误差可以采用片外测量进行表征，并用测量的结果去校正所测的片上波形。通过将测量数据与给出的静态值进行对比，可以进行线性测量。有关的技术细节与具体实现有关，这些都已超出本书的范围。

图 16.6 给出了基于 SerDes 应用的测量结果[1]。第一个图给出了所测得的原始阶跃响应。第二个图给出了基于线性测量的校正曲线。最后一图说明校正后的最终阶跃响应（注意非线性相对较小）。另一方面，图 16.7 给出了对 PoP 通道的阶跃测量，给出了原始和校正后的响应。在这种情况下，可以看出有明显的非线性。这是因为在低功耗的通道应用中，放宽了混相器和电压绞扭器（voltage twister）的设计容差以降低功耗。



图 16.5　用单位阶跃响应构建 CDR 边沿跳变

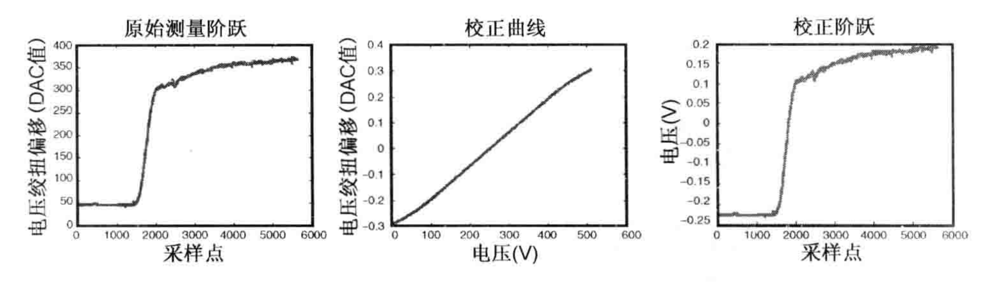


图 16.6　实测的响应、校正曲线、校正后的响应

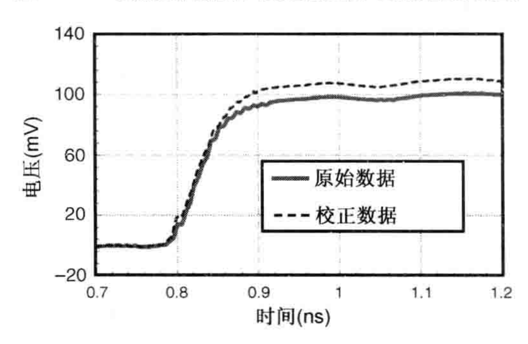


图 16.7　PoP 测试装置实测以及经非线性校正的阶跃响应

16.3　链路性能的测量与关联

尽管采用这些片上测量技术可以提取任何数据模板，但它们主要是在提取单位或阶跃响应时显得特别有用。这些响应给出了一个完整的通道模型，其中包括驱动器和接收器的模拟效应(如驱动器的压摆率、接收器带宽、芯片寄生参数、接收器的任一时间连续的线性均衡器或者前置放大器等)。当得到单位或阶跃响应后，可进而生成 ISI 的分布以便如第 9 章所述用于进行容限预估和 BER 计算。图 16.8 说明了计算 BER 的整个过程。采用输入阶跃响应，通过快速时域仿真可以生成 ISI 的直方图。然后，可以将这一 ISI 直方图与其他噪声或必要时的抖动分布进行卷积。将由此产生的概率密度函数(PDF)积分计算出累积分布函数(CDF)，用于生成一个 BER 眼图。最终系统误码率(BER)的计算就是采用某一接收器采样分布下的条件 PDF。通过扫描接收器的采样分布，最终求得链路的浴盆曲线。

采用这一快速统计仿真法，基于测得的阶跃响应可以求得 BER 眼图。然后，可以根据 16.1 节中所介绍的 BER 眼图测量特征参数，将这一仿真眼图与测量眼图加以对比。在仿真中，添加上从其他测量获得的 1.2 ps 随机抖动。图 16.9 给出了两个眼图。尽管这一图形在眼图睁开度方面呈现出轻微的不匹配，但总体而言，两图之间的匹配还相当不错。有时，用

半摆幅模式去提取误码眼图是很有效的。图 16.10 是对发送器绞扭器全摆幅和半摆幅模式下的 BER 眼图测量。

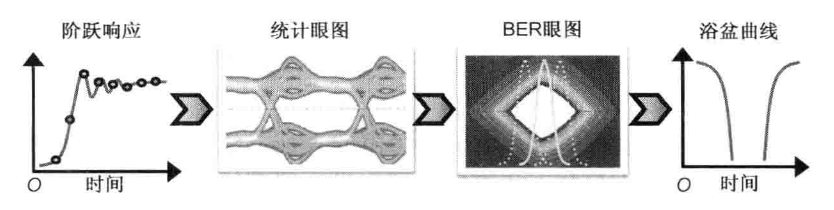


图 16.8　基于阶跃响应的快速时域统计仿真流程

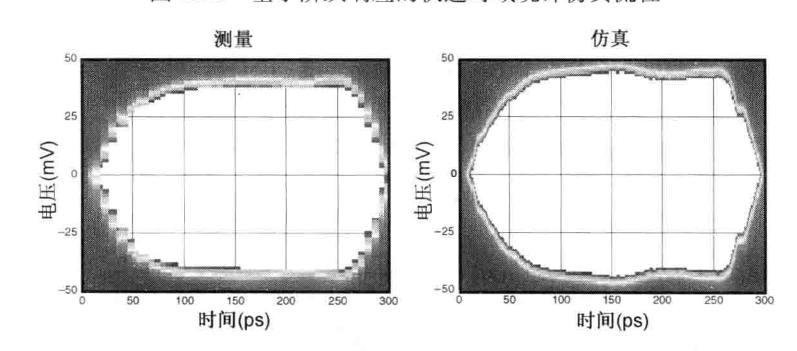


图 16.9　基于仿真和测量的 BER 眼图

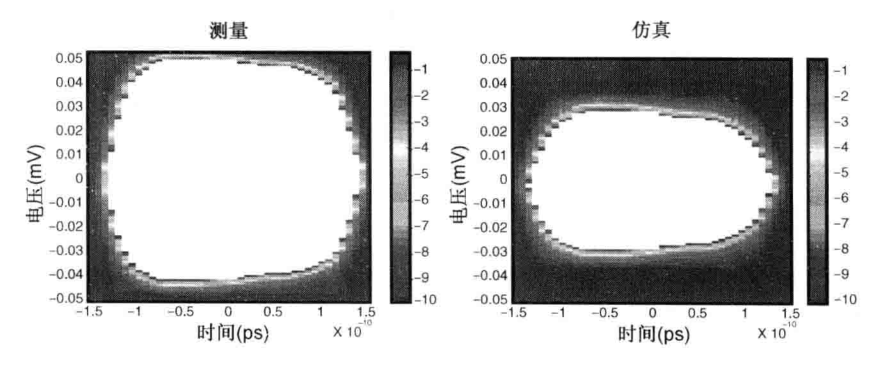


图 16.10　基于发送器摆幅绞扭器全摆幅和半摆幅模式的 BER 眼图

16.4　片上电源噪声的测量技术

电源噪声是制约现代高速链路设计性能的主要因素之一。电源噪声是实现通道鲁棒性和可靠性的关键特性。然而如前所述，在片外准确地测量高频电源噪声非常困难。因此，已经开发出各种片上电源噪声的测量技术以观察在给定时间窗之内的过冲或下冲事件[13]；或再现亚采样示波器模式下的重复性噪声[10]。遗憾的是，虽然这些技术在测量电源噪声的某种特性时有用，但却无法提取出数 GHz I/O 接口的高频噪声。在测量高速设计中的噪声时，这些技术的电压分辨率是不够的。

理想情况下，人们希望能测得在内部电源轨道上频率高达最快翻转频率数倍以上的电源噪声。对于一个数据率高达 6.4 Gb/s 的系统（其最大数据翻转率为 3.2 GHz），电源噪声的频率可能高达 10 GHz 以上。测量一个内部电源轨道上如此高频率的电源噪声是一项艰巨

的任务，需要有特殊的噪声监测电路。为了能对仿真结果加以校正关联，需要具有在频域测量电源噪声频谱和在时域测量电源噪声波形的能力。因此，必须具有超过 10 GHz 频率这样足够高带宽的噪声监测器。这种监测器不仅可以提供频域噪声频谱的测量结果，也可以用于构建时域噪声波形。所以，要求测量技术具有数吉赫兹的带宽、毫伏级以上精细的电压分辨率是非常合理的。

为了满足这一要求，本节将回顾片上电源噪声的表征方法并介绍在参考文献[3]和[4]中给出的测量电路。图 16.11 是片上噪声监测器和发生器模块的框图。其中包括：一个由两个时延可控的采样时钟（VCLK1 和 VCLK2）驱动的噪声监测器模块；一个具有调制时钟（NCLK）的噪声发生器模块。监测器模块对模拟电源电压进行采样并将其转换为数字编码。通过求它们的自相关（参见 16.4.2 节）以及功率谱密度（PSD），可以重构出对电源噪声的完整表征。噪声发生器模块可以在电源网格上创建出所需频率处电平可控的故意噪声。然后，这一噪声可以用于表征各类系统响应（例如，时序容限和电源噪声抖动灵敏度等）。

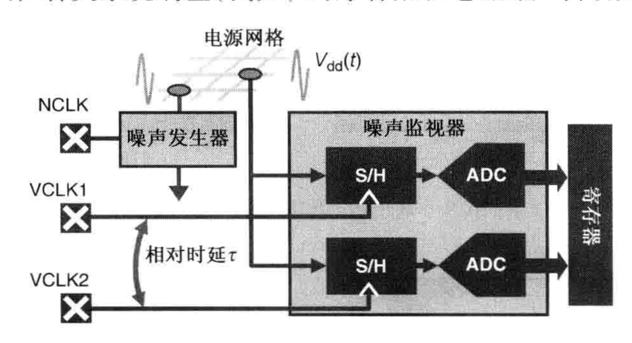


图 16.11　片上电源噪声监测器及发生器

16.4.1　噪声监测电路

图 16.12 是噪声监测器电路的原理图。它包括一对相同的电源噪声监测电路。每个监测器的前端传感器是一个采样-保持电路（S/H）；用一个环型 VCO 作为电压-频率转换器；用数字计数器作为 A/D 转换器。两个工作在相同频率和相对时延准确控制的时钟为两个噪声监测器提供采样时钟。在采样时钟的跳变边沿对电源轨道上的瞬时电压进行采样，并在随后过程中加以保持。采样电路采用 PMOS 开关实现，使得测量电源电压更容易。此外，一个简单的 PMOS 开关可以做到非常高的带宽，这一点是用监测电路提取最高数据翻转率高次谐波的电源噪声动态行为时所必需的。在保持模式下，所缓存的采样电压作为 VCO 的压控电压用于建立其输出振荡的频率。

选择环形 VCO 以应对具有宽调谐范围的高频测量，由于它可以很容易地实现数倍于 FO4 周期时间的更好调谐范围。VCO 的输出作为一个 16 位计数器的输入。在保持模式下计数器被启动，VCO 提供一个具有稳定频率的输出时钟。然后将计数器的输出存储在寄存器中，并在后处理时读出。数字计数的结果正比于 VCO 的压控电压，进而又与瞬时电源电压成正比。如果电源电压扫描到直流，可以记录下相应的数字计数生成一个直流校正曲线，用于将数字寄存器的计数映射为前端传感采样的电源电压值。计数过程也要确保对 VCO 平均频率的测量。从本质上这是要过滤掉器件中主要源于器件固有噪声源的高频随机噪声，这

些与我们感兴趣的电源噪声关系不大。VCO 的增益及其转换时间，决定了所能达到的总分辨率。

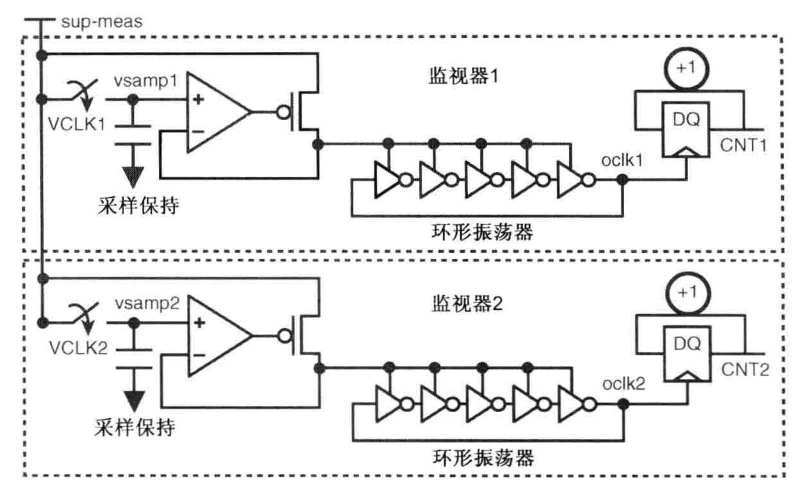


图 16.12　片上噪声监测器电路

16.4.2　噪声发生器

图 16.13 是一个噪声发生器的原理图。它是一个二进制加权的电流源阵列。受输入时钟调制的短路电流将电源连接到地。电流的波形中包含有时钟信号频率的基波和奇次谐波。当其注入电源轨道时，由于电流与电源 PDN 的相互作用，产生主导分量为所需频率的电源电压噪声。同时，为了调整产生的电压噪声幅度，可以通过有选择地打开某些二进制加权的电流源实现。可以根据 PDN 不同的频域表征，随意对噪声的幅度加以调整。对于给定量的电流注入，所形成的电压噪声将更加集中于 PDN 谐振频率峰值附近，而在其他 PDN 阻抗较小的频率处则被抑制。

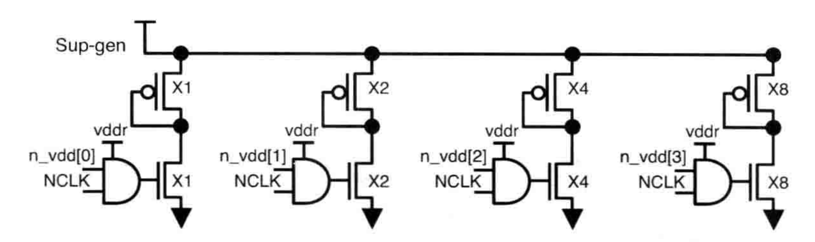


图 16.13　片上噪声发生器电路

16.4.3　电源噪声测量技术

根据测量的要求，上述片上噪声测量结构可以工作在两种模式：自相关模式(频域测量)；采样示波器模式(时域测量)。当 I/O 系统以固定的或 PRBS 数据模板不断地进行重复读或写时，电源噪声通常表现出稳态的特性。在这种情况下，通常在频域表征电源噪声更为合适。自相关模式给出对频域特性的可靠测量。在自相关模式下，用一个固定时延(τ)分开的两个自由工作时钟(VCLK1 和 VCLK2)，用于驱动两个噪声监测器。这些输入采样时钟与 I/O 接口是相互独立的。因此，在采样时钟边沿与 I/O 接口时钟跳变边沿之间没有固定的相位关系。

对于每一个固定的时延(τ),在任何随机时刻(t),一个噪声监测器对电源上的瞬时电压进行采样和保持,然后将其模拟量转换为数字计数值。与此同时,另一个噪声监测器则在稍后的($t+\tau$)时刻对同一电源的瞬时电压加以转换。这些测量将重复多次,以便收集到重建统计特性所需的足够采样。相对时延(τ)可从 0 扫描到 τ_{max},对于每个给定的(τ),可以重复上述过程。因此,这两个噪声监测器可以测量并输出时延为(τ)不同时刻的统计电源电压数据。由于假设电源噪声基本是周期性平稳的(重复的统计特性),故可以用其自相关加以表征:

$$R(\tau) = E\left\{\left[V_{dd}(t)\right]\left[V_{dd}(t+\tau)\right]\right\} \tag{16.1}$$

或自协方差:

$$K(\tau) = E\left\{\left[V_{dd}(t) - \overline{V_{dd}(t)}\right]\left[V_{dd}(t+\tau) - \overline{V_{dd}(t+\tau)}\right]\right\} \tag{16.2}$$

这样,电源噪声的频域特性可以用它的功率谱密度(PSD)加以表征:

$$S_{vdd}(f) = \int_{-\infty}^{\infty} K_{Vdd}(\tau)e^{-2\pi f\tau}d\tau \tag{16.3}$$

图 16.14 是采用噪声监测器在自相关模式下得到的测量数据示例。在这一示例中,采用噪声发生器激励出 100 MHz 的故意噪声。由于自动运行的采样时钟与系统参考时钟是异步的,在进行测量的所有时刻它们与系统时钟都是不相关的。因此,图 16.14 数据中的任何部分都可以用于表征电源噪声的分布情况。图 16.15 给出 PSD 的结果。通过解读 PSD 频谱,可以清楚地确定出 100 MHz 的分量及其噪声幅度。

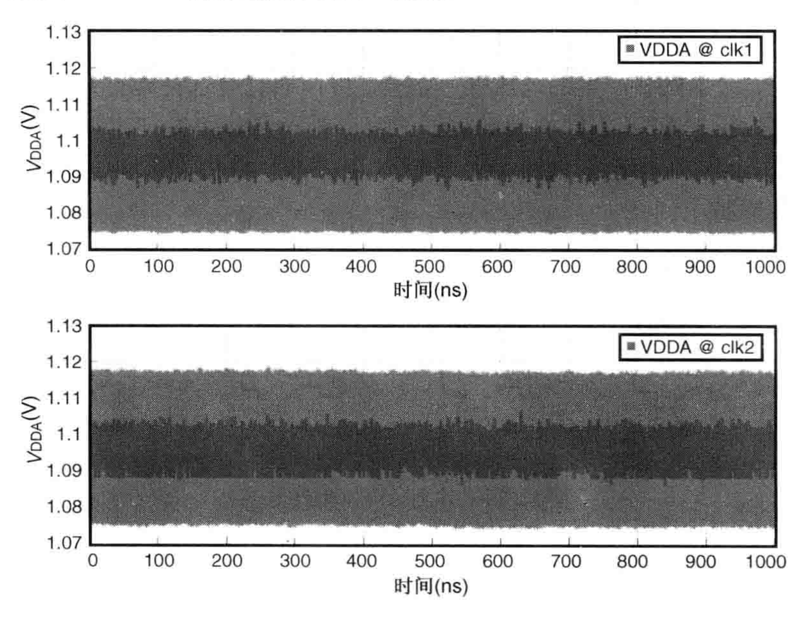


图 16.14 自相关模式下的电源噪声测量数据采样

时域测量与频域测量是同等重要的。有时候由于负载漂移或供电模式的切换,测量电源噪声的瞬变波形是更恰当的。在这种情况下,采用采样示波器模式进行时域测量是更可取的。在采样示波器模式下,两个采样时钟(VCLK1 及 VCLK2)并非处在自相关模式下的自动运行状态。此时,它们都源自 I/O 系统时钟。在这种模式下,相对于 I/O 系统时钟而言,

VCLK1 的时延固定在“0”；VCLK2 的时延则是变化的。这样的配置可确保 VCLK1 的上升边始终与系统时钟的跳变边沿对齐。因此，由 VCLK1 驱动的噪声监测器总会收集到在开关活动的跳变边沿处的瞬时电源电压。我们并非是要查看在电流开关启动瞬间时刻的任何电源噪声。这些噪声的分布是源自其他的噪声源，如器件的固有随机噪声和监测器的量化误差等[3]。因此，这里的结果可以用于表征测量系统的本底噪声性能。与此同时，另一个由 VCLK2 以可变时延 τ 驱动的噪声监测器，则收集距 VCLK1(或系统时钟)时延为 τ 的瞬时电源电压。对于每一个固定的时延 τ，所收集到的许多采样可用于重建时域波形。采样均值作为时延 τ 的函数，表示了电源噪声的瞬变波形。

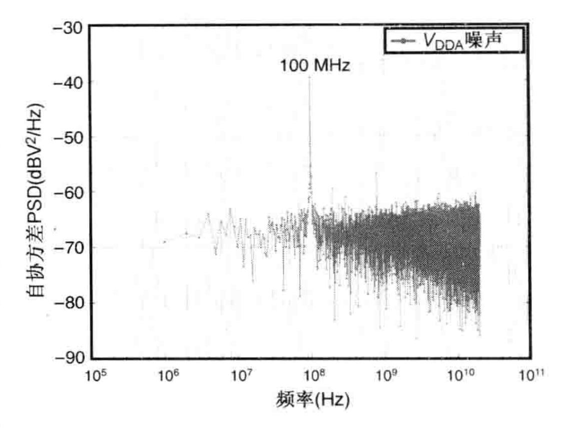


图 16.15　100 MHz 故意电源噪声的功率谱密度(PSD)

图 16.16 给出在采样示波器模式下获得的电源噪声数据示例。上图描绘了与参考时钟时延为零的 VCLK1 时钟所驱动监测器测得的数据。它同时给出在参考上升边时电源电压噪声分布和均值的动态情况。特别是，均值曲线表示了相比于标称电压的直流 IR 压降。下图描绘了与参考时钟时延为 0 ~ 20 ns 的 VCLK2 时钟所驱动监测器测得的数据。数据显示出电压噪声的分布以及由均值轨迹所表现的瞬变波形。后面这部分本质上就是工作于采样示波器模式下噪声监测器重建的时域电源噪声波形。从时域波形中可以得到电源噪声特性，如动态范围、平均功耗、频谱等。

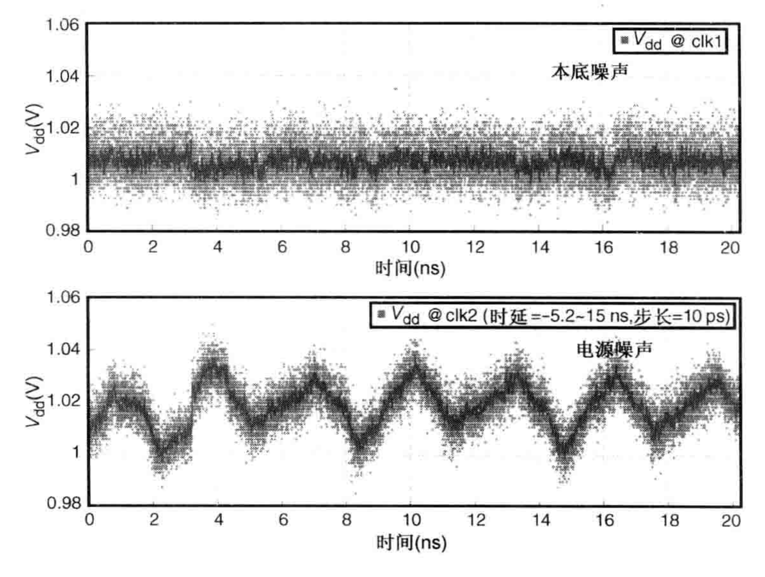


图 16.16　采样示波器模式下的电源噪声测量数据采样

16.5 高级电源完整性测量

本节将介绍基于上述片上测量的一些先进测量技术。首先，PDN阻抗是指从片上电路位置上看到的阻抗。在片外采用检测线的常规测量技术是很难做到的，因为噪声特别是高频噪声，很容易就被封装给过滤掉了。

第二，是抖动对电源噪声的灵敏度问题。为了构建一个对片上抖动的监测装置是既困难又昂贵，所以对抖动灵敏度的测量是采用片外的测量方法。

第三，本节引入一个容限灵敏度的概念，设计出的测量技术可以避开测量抖动灵敏度的瓶颈。与抖动灵敏度不同，只需用片上电路就可以测量容限灵敏度。

16.5.1 PDN的测量技术

对片上电源配送网络(PDN)的准确测量是系统表征和验证的重要环节。上节所述的片上噪声监测器和发生器可以用于表征频域片上PDN阻抗曲线，需要针对特定的应用再开发出自定义的测试脚本和流程。此外，直接测量电源电流的一种可选装置也是很有用的。在测量过程中，注入不同频率而幅度固定或已知的故意电源电流，测量所产生电源噪声电压的幅度。读取电源噪声频谱中对应于每个频率的电压幅度。电压与电流之比就是要测的PDN阻抗。一个典型的片上PDN测量通常要给出从约10 MHz至数百兆赫兹的表征，这时芯片封装的谐振峰值将清晰可见。

如果手头有测量电流的装置，那么可以通过测量差值的有利条件进一步提高测量的准确度。对于一个给定的频率f，两次测量间电流之差引起的电压之差，表征的就是AC阻抗：

$$|Z(f)| = \Delta v(f)/\Delta i(f) = [v_2(f) - v_1(f)]/[i_2(f) - i_1(f)] \tag{16.4}$$

其中，下标1和下标2表示注入两个不同幅度故意电流的两次测量。此外，还需要直接测量平均电流。测量此电流的一个简单方法就是监测输出稳压器模块的输出。虽然在芯片开发和表征阶段直接测量电流很有用，但对于三维封装系统进行原地测量是不可行的。

另外，通过将高频测得的电压数据缩放，也可以求出片上以去耦电容为主的阻抗。通常片上去耦电容的值事先已知，它为高频区间提供了参考阻抗值。通过缩放电压曲线以拟合这一高频区间，就可以得到整个的阻抗曲线。例如，如果总片上去耦电容值是1 nF，那么从1 GHz到2 GHz间的阻抗变化大约是$1/(2\cdot\pi\cdot2)=0.08\ \Omega$。选择一个常数因子令其在1 GHz到2 GHz区间产生所需的阻抗波动，再用它去缩放电压曲线就能生成PDN阻抗曲线。

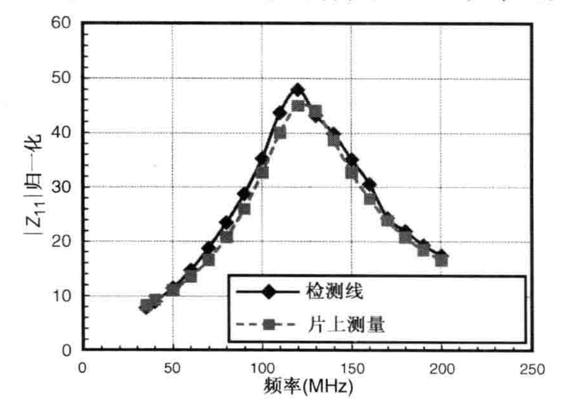


图16.17 片上的PDN测量结果

图16.17给出对测验系统测得的PDN阻抗曲线结果[2]。如图所示，是将所测得的PDN结果与另一种采用检测线的测量方法进行对比。曲线表明，这两种方法的结果比较一致。PDN曲线的峰值在130 MHz左右，这是测验系统的芯片封装谐振频率。

16.5.2　PSIJ 灵敏度测量

片上噪声测量结构也可以用于表征系统对故意产生电源噪声的响应。为此，噪声发生器可以用于给电源在所需的频率上注入和激励出幅度可调的故意电压噪声。采用如前所述的时域或频域方法，可以准确测量激励的噪声幅度。图 16.18 给出了电源噪声和抖动之间的关系。抖动频谱的主导分量明显是由相同频率的电源噪声分量所引起的。因此，表征出时钟中由电源噪声引入的抖动影响有多大是非常重要的。取决于不同种类的 PLL 以及时令架构，这种影响也可能是与频率相关的。抖动灵敏度可以定义为：

$$\mathrm{PSIJ}(f) = J(f)/V(f) \quad (\mathrm{ps/mV}) \tag{16.5}$$

其中，$V(f)$ 是电源噪声电压在频率 f 的峰-峰值，$J(f)$ 是在相同频率(f)时钟时序的抖动峰-峰值。为方便起见，电源噪声引起抖动(PSIJ)灵敏度的单位是 ps/mV(PSIJ 又称为 SNIJ，供电噪声引起抖动)。如同定义中已经明确表明的那样，作为频率的函数，PSIJ 灵敏度表示由 1 mV峰-峰值的电源电压噪声引入了多少皮秒的抖动峰-峰值。

图 16.19 是所测得在各种 PVT 临界条件下的 PSIJ 灵敏度曲线示例。曲线表明，所有 PSIJ 灵敏度曲线表现出与截止频率仅为 100 MHz 低通特性相类似的品性。尽管在不同的器件临界条件下有不同的下冲，但所有的灵敏度曲线均显示其尾部将延伸到高频区间。与电源噪声频谱信息(无论是仿真或测量)相呼应，这些 PSIJ 灵敏度曲线可以作为关键的链路参数，用于预估 PSIJ 并明确抖动的主要源头。

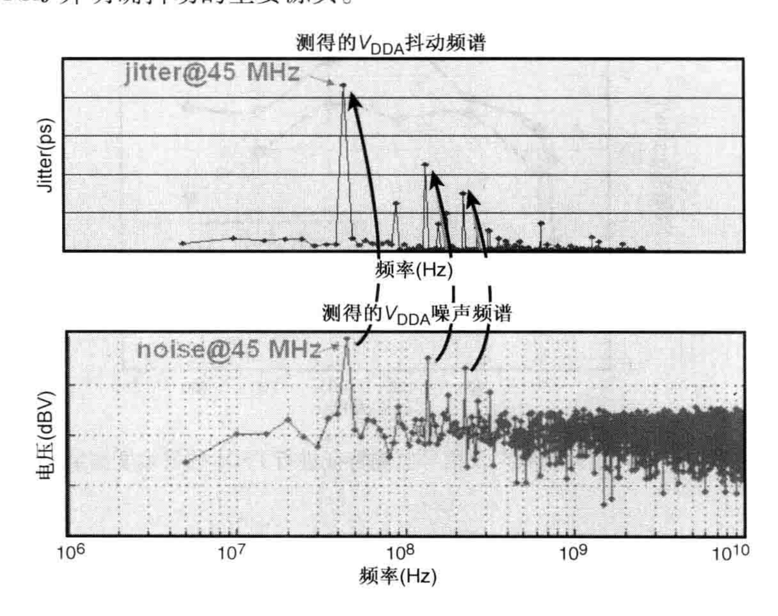


图 16.18　说明故意电源噪声及其引起抖动的测量数据

16.5.3　对电源噪声的影响建模

虽然 PSIJ 灵敏度给出了一个电源噪声影响时序误差的重要电路参数，但遗憾的是，它需要一个片上抖动监测器或外部的示波器。对于在原地测量，真正首选的方案是设法表征容限的灵敏度，称之为电源噪声引起的容限损失(PSIM)。它测量由于电源噪声引起的链路容

限损失而不是去测抖动。链路容限损失表示电源噪声对系统级的真实影响。影响链路容限的因素有各种抖动跟踪、抵消、放大等。容限灵敏度可以很容易地用16.1节介绍的片上时序容限技术加以测量。这种测量不需要额外的硬件开销，只要提出测试脚本和流程即可。图16.20给出的是存储器通道容限灵敏度曲线示例。需要注意的是，在靠近电源谐振频率和PLL回路带宽处出现了容限灵敏度的峰值。

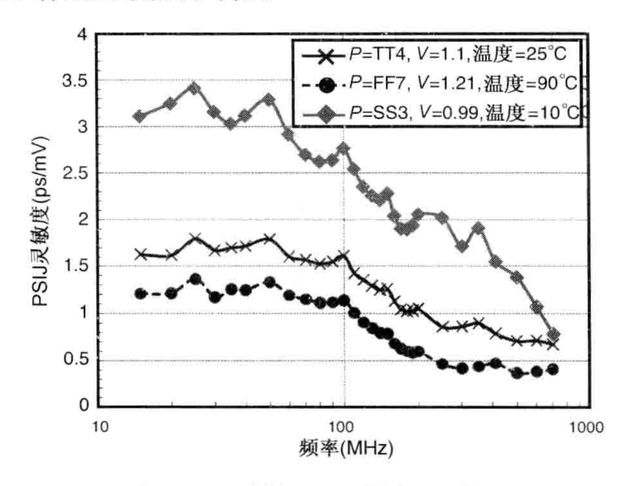


图16.19　采样PSIJ灵敏度测量结果

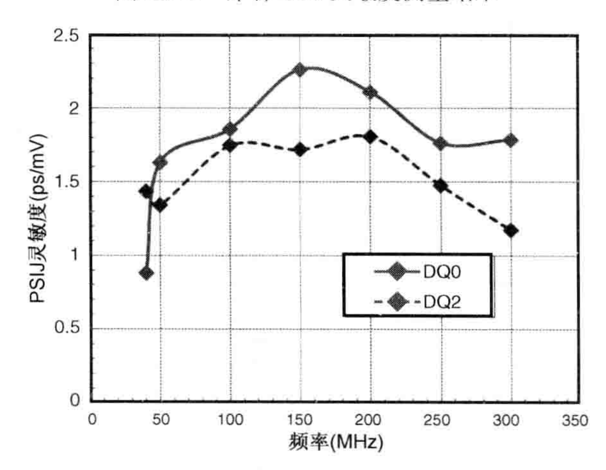


图16.20　用片上噪声及信号监测特征进行PSIM的灵敏度测量

16.6　小结

本章介绍了支持原地测量的片上电路和技术。给出了基于片上波形提取功能的链路仿真流程。这些电路可内置于制造的器件中，其实现的成本相当低。采用片上测量技术有以下的特色：

- 在原地进行测试与表征。
- 可作为器件和系统的资格认证。
- 实现了快速测试。

- 无须测试或测量仪器。
- 没有测量寄生参数(探头, 电缆等)。
- 已将电路的非理想情况包括在内。

参考文献

1. Q. Lin, D. Oh, J. Ren, B. Leibowitz, J. Zerbe, and C. Yuan, "In situ characterization of high speed signaling systems with on chip measurements," presented at the IEC DesignCon, Santa Clara, CA, 2008.
2. D. Oh, H. Lan, C. Madden, S. Chang, L. Yang, and R. Schmitt, "In-situ characterization of 3D package systems with on-chip measurements," in *Proceedings of Electronic Components and Technology Conference*, Las Vegas, NV, Jun. 2010, pp. 1485-1492.
3. E. Alon, V. Stojanovic, and M. Horowitz, "Circuits and techniques for high-resolution measurement of on-chip power supply noise," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 4, pp. 820-828, April 2005.
4. R. Schmitt, H. Lan, C. Madden, and C. Yuan, "Analysis of supply noise induced jitter in Gigabit I/O interfaces," presented at the IEC DesignCon, Santa Clara, CA, 2007.
5. H. Lan, R. Schmitt, and C. Yuan, "Simulation and measurement of on-chip supply noise in multi-gigabit I/O interfaces," in *Proceedings of International Symposium on Quality Electronic Design Conference*, pp. 670-675, Mar., 2008.
6. R. Palmer, J. Poulton, B. Leibowitz, Y. Frans, S. Li, A. Fuller, J Eyles, J. Wilson, M. Aleksic, T. Greer, M. Bucher, and N. Nguyen, "A 4.3GB/s mobile memory interface with power-efficient bandwidth scaling," in *IEEE Symposium on VLSI Circuits*, pp. 136-137, 2009.
7. D. Oh, S. Chang, C. Madden, J.-H. Kim, R. Schmitt, M. Li, C. Yuan, F. Ware, B. Leibowitz, Y. Frans, and N. Nguyen, "Design and characterization of a 12.8GB/s low power differential memory system for mobile applications," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, pp. 33-36, Oct. 2009.
8. P. Larsson and C. Svensson, "Measuring high-bandwidth signals in CMOS circuits," *Electronics Letters*, vol. 29, no. 20, pp. 1761-1762, Sep. 1993.
9. R. Ho, B. Amrutur, K. Mai, B. Wilburn, T. Mori, and M. Horowitz, "Applications of on-chip samplers for test and measurement of integrated circuits," in *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 1998, pp. 138-139.
10. M. Takamiya, M. Mizuno, K. Nakmura, "An on-chip 100GHz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator," in *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, Feb. 2002, pp. 182-184.
11. Y. Zheng and K. L. Shepard, "On-chip oscilloscopes for noninvasive time-domain measurement of waveforms in digital integrated circuits," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 11, Jun. 2003, pp. 336-344.
12. V. Stojanovic, A. Ho, B. Garlepp, F Chen, J. Wei, E. Alon, C. Werner, J. Zerbe, and M. Horowitz, "Adaptive equalization and data recovery in a dual-mode (PAM2/4) serial link transceiver," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 2004, pp. 348-35 1.
13. A. Muhtaroglu, G. Taylor, and To Rahal-Arabi, "On-die droop detector for analog sensing of power supply noise," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 4, pp. 651-660, Apr. 2004.

第17章 信号调理

任继红，Jared Zerbe

在过去的10年中，计算平台已经从单核处理器进化到多核处理器。目前，8核的处理器已经商品化。似乎可以肯定，世界正进入到一个多核时代。然而，如果没有足够的片外带宽，I/O速度将是限制系统性能的因素。一个256核的处理器，假设有4路SIMD FMAC（单指令流多数据流浮点乘加器）工作在2.5～5 GHz，这将需要拥有太字节（TB）/秒的片外I/O带宽。封装技术根本无法跟得上带宽快速加大的步伐。在2007年，高性能芯片的最多引脚数约为2100；到2017年的引脚数预估也只能增长到约5400[1]。这样，必须将每引脚的带宽加大，以满足多核处理器对高带宽的需求。

在数据率升高时，损耗、反射、串扰使信号的完整性严重恶化，限制了片外链路的性能。值得庆幸的是，这些影响是线性过程的，采用片上信号处理就可以对它们加以补偿。在许多应用中，尤其是均衡技术已被广泛用于对带宽有限通道的补偿。这些技术并不新鲜：早在1941年，Hendrik Bode就获得了采用均衡技术的宽带接收器专利，如图17.1所示[2]。近些年，电话系统已将均衡技术有效地用于抵消串扰和反射。在过去的10年中，设计师们开始采用均衡技术对高速片间链路的色散损耗加以补偿，它现在已经成为一个活跃的研究领域。与其他应用（如电话用户系统和无线通信）相比，在高速片间链路中实施均衡技术时，必须严格控制功耗和发送峰值功耗。本质上是由于高集成度的情况下，对最小时延以及面积有要求。这些制约因素促使要设计简单的滤波器，以解决最重要的信号完整性问题。本章重点介绍用于高速片间链路的最新模拟均衡技术和系数自适应算法。

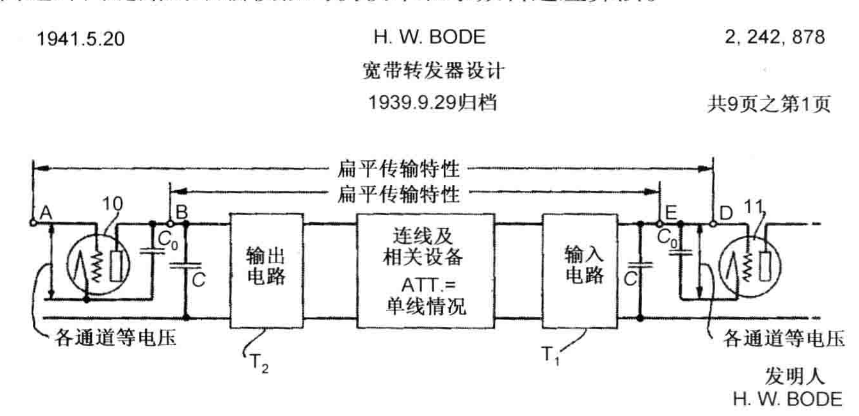


图17.1 均衡化专利的图示，该专利是H. W. Bode提出的一种宽带接收器[2]

随着电子和光纤通信链路复杂度的增大，人们更多地关注基于模-数转换器（ADC）和数字信号处理器（DSP）的收发器电路实现技术[3,4]。因此，除了模拟均衡技术之外，本章还将探讨基于ADC接收器的优缺点，并把这些方法与局部响应判决反馈均衡（PrDFE）的接收器相对比。

本章首先介绍了单位响应的概念，并回顾各种常规的模拟均衡技术，如发送器均衡、接收器线性均衡和判决反馈均衡（DFE）等。然后，介绍调整均衡器设置的多种均衡自适应算法。接着，对时钟/数据恢复（CDR）回路和均衡自适应回路之间的相互作用进行了讨论。最后，本章还介绍了基于 ADC 的接收器均衡技术。

17.1　单位响应

为了理解信号完整性的问题，如衰减、色散、反射如何影响了接收信号的质量，经常会采用单位响应（SBR）。单位响应是当发送器发送一个未均衡的单位宽脉冲（图 2.11 给出了一个示例）时，在接收器观测到的通道响应。单位响应中的每个圆圈表示符号的采样时刻。这里，可以同时观测到几种现象：窄脉冲的展宽（超出单个位时宽）表明通道的色散，而在单位响应后部的振铃是由于阻抗突变而引起的反射。在单位响应中任何其他位时宽内出现的非零能量，都称为符号间干扰（ISI）。符号间干扰破坏了在其他位时宽内所接收信号的质量，并可能导致位误码（如图 2.12 所示）。最后，峰值幅度的减小表明当 SBR 经由通道传送时被衰减。

17.2　均衡技术

为了使通道的频率响应较为平坦并消除符号间干扰，可在发送端和/或接收端进行均衡。本节综述用于高速链路的三种常见均衡技术：发送器均衡；接收器线性均衡；判决反馈均衡（DFE）。下一节再讨论这些均衡器的优化算法。

17.2.1　发送器均衡

发送器均衡是目前广泛用于高速链路的一种最简单的符号间干扰补偿方法。通常情况下，发送器均衡采用有限冲激响应（FIR）滤波器加以实现。虽然无限冲激响应（IIR）滤波器可以比 FIR 滤波器更灵活，但由于 IIR 递推系数的计算难度很高，一般不把 IIR 滤波器用于高速数据传输。由于发送端的符号相间数据已知，发送均衡 FIR 滤波器比较容易做到非常高的速度。此外，由于非归零（NRZ）信令中每个发送的符号只有 0 或 1，滤波器系数的相乘相对简单。一个简单的方案就是在数字域进行滤波器设计，采用数字模拟转换器（DAC）产生出送往通道的预失真脉冲[5]。由于采用最小尺寸的输出器件即可驱动全摆幅的传送，这一方案给通道造成的寄生电容最小。这一 DAC 方案在波形方面也很灵活。然而，一个完全的 DAC 实现会碰到性能和功耗/性能等方面的问题。对于大多数需要高吞吐量和小功耗预算（许多场合下要小于 10 mW/Gb/s）的片外链路环境，不适于采用这种简单的实现。

一个更加紧凑和低功耗的方案就是采用模拟 FIR 滤波器配置成权重可编程的驱动器，如图 17.2（a）所示。输出数据经不同时延依次加权后驱动多个高阻抗电流模驱动器，再用一个简单的线或连接就可以实现这一发送 FIR 滤波器。由于输出驱动器所用实际电流源的净空余量有限以及最大高压工艺的限制，通常这种实现的输出峰值功耗受限。正因如此，发送器 FIR 滤波器对通道的均衡一般是通过衰减低频分量以弥补高频分量的衰减，如图 17.2（b）所示。这种方法通常称为“去加重”。

如果从时域考察发送均衡，可以发现由当前位造成的 ISI 可以通过在稍后时间发送较小的负脉冲加以抵消。图 17.2(c)和图 17.2(d)用一个简单两抽头 FIR 滤波器的单位响应说明了这一概念。在不均衡的情况下，驱动器在时间 0 发送一个脉冲。在接收端收到的未均衡 SBR 表示为虚线。接收端响应上的圆圈处是符号相间数据的采样点。由于色散效应，在后一位时间出现的 ISI 使后一位退化。为了消除在后光标位的首个 ISI，ISI 抽头驱动器在 1 位时宽之后发送一个幅度较小的负脉冲。接收端的抵消脉冲显示为虚线。注意由于发送器峰值功耗的限制，ISI 抵消脉冲会从主抽头带走部分能量。因此，主驱动器驱动的单位幅度小于未均衡的单位幅度。结果是，接收端收到的主脉冲比未均衡的 SBR 幅度要小。由于线性时不变系统的可叠加性，总均衡后的单位响应是收到的主脉冲与抵消脉冲对当前位影响的总和。因此，首个后光标的 ISI 从均衡后的单位响应中被消除。ISI 抵消脉冲与主脉冲间的相对大小，取决于均衡系数，进而还取决于通道特性。在本章后面部分将进一步讨论如何根据通道特性优化设置均衡系数。

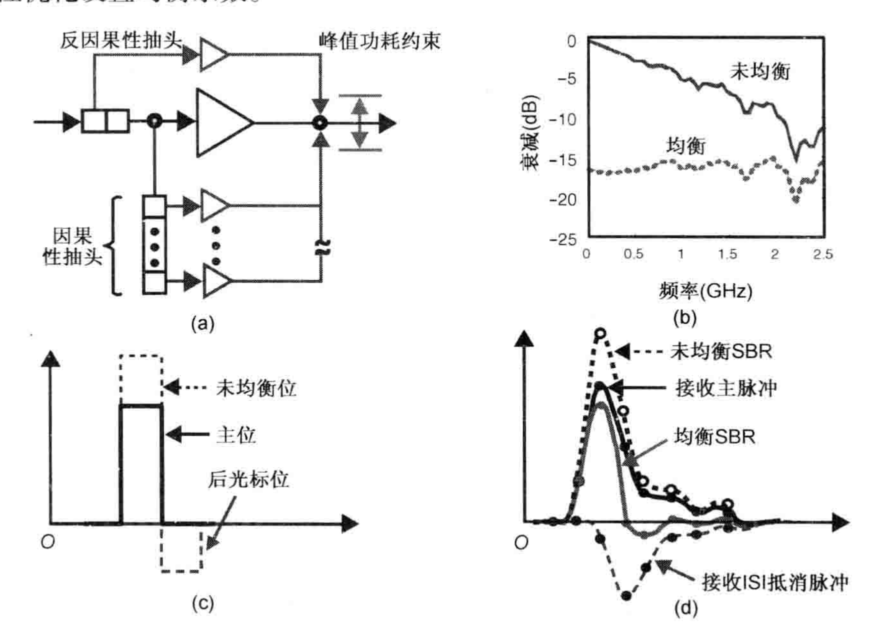


图 17.2 (a) 峰值功耗约束的发送去加重[6,7]；(b) 频域未均衡(实线)和均衡后(虚线)的通道响应[6]；(c)发送器端；(d)接收端收到的有双抽头发送端FIR均衡器的单位波形(虚线是未均衡的单位响应)

为了实现模拟 FIR 滤波器全面灵活的完全可编程，最简单的方案就是使图 17.2(a)中所有子驱动器具有相同的大小(例如，能携带相同大小的电流)。这一方案虽然简单，但它比起具有相同驱动能力但未均衡的发送器，或采用数字滤波器加 DAC 的发送器而言，具有大得多的输出寄生电容。这一输出寄生电容在发送器的输出端形成一个低通滤波器。如果不加以控制，它将显著降低通道的带宽。为了在保留可编程性的同时尽量降低寄生电容，可以将驱动器分割，并在滤波器抽头之间共用驱动器段的部分[6,7]。

由于发送器一般无法获悉接收信号的质量信息，发送器均衡的设置要么根据事先获悉的通道属性，要么经由反向通道为发送器提供接收器的反馈信息[8,9]。

17.2.2 接收器线性均衡

在接收器端放置一个线性均衡器，可以避开采用发送器均衡时对峰值功耗的限制。接收均衡器不是采用去加重，而是通过放大高频将通道响应展平。然而，它除了放大接收信号的高频分量之外，一个连续时间线性均衡器(CTLE)无法区分数据和噪声——它只是根据传递函数放大所有内容，包括对噪声和串扰的放大。

接收均衡器可以采用离散时间 FIR 滤波器或连续时间模拟滤波器加以实现。后者是两种方法更受欢迎的一种，通常离散时间 FIR 滤波器难以实现高数据率，而且会比连续时间型花费更多的功耗和面积。一个典型连续时间线性均衡器的缺点是缺乏灵活性。要想把均衡器的频率响应调整成与通道情况相反的频率响应是很不容易的。

图 17.3(a)是一个具有电容性退化的差分对[10]。在高频时电容器的特性类似短路，增大了差分对的增益。除了输出节点的极点之外，电容性和电阻性的退化构成了一个零点和另一个极点；如图 17.3(b)所示，

$$\omega_z = 1/(R_sC_s),\ \omega_{p1} = 1/R_DC_L,\ \omega_{p2} = (1 + g_mR_s/2)/(R_sC_s) \tag{17.1a}$$

低频增益是：

$$A_v = g_mR_D/(1 + g_mR_s/2) \tag{17.1b}$$

因此，提升因子(即高频峰值的量级)取决于位置 ω_z 与 ω_{p1} 的相对值。通过调节源极退化的电容器(C_s)及电阻器(R_s)，可以有效地调整零点的位置，并调整低频增益，从而使均衡器的频率响应与通道特性相匹配。然而，由于调整 R_s 和 C_s 将改变频率响应曲线的整体形状，用一个 CTLE 去实现与通道特性完全相反的频率响应是极具挑战性的。此外，它们对工艺、电源电压和温度(PVT)的波动也很敏感。最后，注意源极耦合差分对的增益带宽积将会限制其最大增益。在低频增益、提升因子、一级带宽之间，有一个基本的权衡折中关系式[11]：

$$A_v\frac{\omega_{p1}}{\omega_z}\omega_{p2} \approx g_m/C_L \tag{17.1c}$$

为了达到一个更高的提升因子，可以将多级加以级联[11]，但是这可能会造成更大的低频损耗，导致灵敏度的退化。

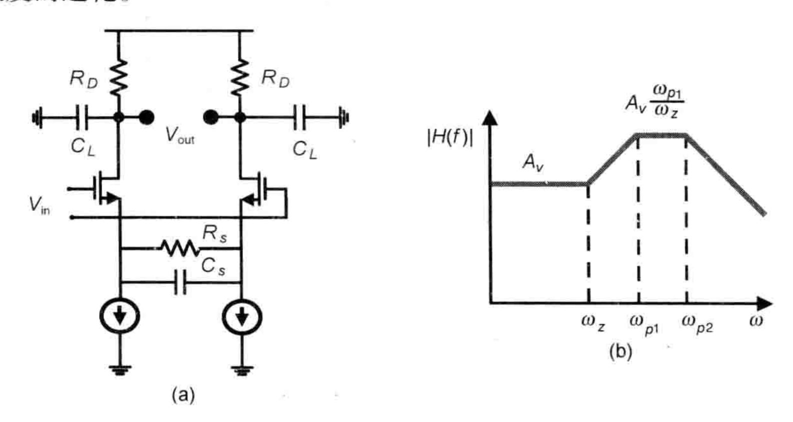


图 17.3 (a) 具有电容性及电阻性源极退化的差分对[11]；(b) 频率响应

另一种实现额外增益的方案是采用电感性峰值。将一个电感器与负载电阻器串联放置，借以阻止高频电流的流动。其结果是多数高频电流将流入负载电容器，从而形成一个陡峭的输出电压跳变。然而，这一方案将会占用较大的片上布线面积。

17.2.3 判决反馈均衡

与线性均衡器相比，判决反馈均衡器(DFE)可以抵消大量的 ISI，且又没有线性均衡器那样对噪声的放大。对于通道阻抗突变引起多次反射的情况，DFE 的效果尤其好。DFE 的基本理念是利用经先前判决确定的诸多过往符号，从目前收到的符号中减去先前诸多符号的干扰从而抵消 ISI(参见图 17.4)。由于 DFE 反馈通过直接相减消除 ISI，每个 DFE 的权重就体现出先前位对 ISI 贡献的估计。综合先前符号的判决并与 DFE 抽头系数权重相乘获得的多个模拟脉冲，与所接收信号进行电流求和，如图 17.4 所示[12,13]。由此产生的均衡信号输入到数据采样器中，再进行进一步的符号判决。因此，DFE 是因果性的，譬如，它们不能纠正前光标的 ISI。这里，前光标的 ISI 是指由“未到”的符号(即判决时刻后到达的符号)所造成的干扰。然而，可以将 DFE 与前馈均衡器(即发送器均衡器、接收器均衡器或二者均用)联合使用，以消除提前的前光标 ISI。

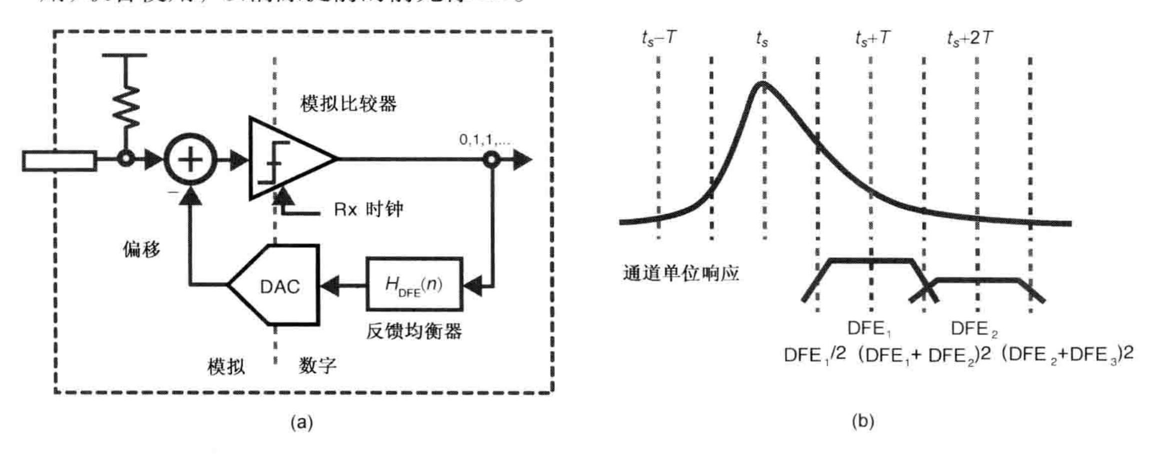


图 17.4 (a) 常规的 DFE 接收器；(b) DFE 反馈脉冲和馈入的数据脉冲之间的时序对齐

值得注意的是，信号路径沿着 DFE 回路两次穿过模拟边界：第一次是穿过模拟比较器，第二次是经由反馈路径，根据先前的位生成模拟补偿量。这两个转换要在一个单位周期内完成沿回路的时序极其困难。图 17.4(b)给出 DFE 反馈脉冲与通道的单位响应之间的时序对齐示例。可以调整 DFE 的时钟，使得 DFE 校正脉冲的跳变与输入数据跳变的相位一致[12]。在对齐的情况下，DFE 校正脉冲在眼图中心达到近于全摆幅，并在数据的边沿处添加上半摆幅，如图 17.4(b)所示。两者相减给出 DFE 均衡通道的单位响应。因此，需要在半位时宽内对位加以分辨并完成系数相乘及模拟求和！这使得常规的 DFE 极难在高速串行链路的应用中实现。然而，校正由远离当前采样的符号所引起的 ISI 没有这个问题，使得常规 DFE 架构适用于校正由信号路径阻抗突变造成的长延迟反射。

解决反馈回路时序问题的方法之一就是简单地将回路展开，如图 17.5 所示，使得两个判决位于各自的周期中[6,12,14]。此类 DFE 接收器架构称为局部响应 DFE(PrDFE)。在接收端采用两个限幅器；一个假设先前位是 1；另一个假设先前位是 0。如果对先前位的判决已

知，那么就可以选出正确的答案。两个采样器的电压偏移为 $\pm\alpha$，其中假定先前位对当前位的影响是：先前 1 的影响为 $+\alpha$；先前 0 的影响为 $-\alpha$。

图 17.5 是 PrDFE 眼图的示例。即使两个限幅器看到相同的输入信号，这两个限幅器所关注的信号已经过先前位的过滤，在图 17.5 中分别由环形和方块表示。例如，有一个阈值的上限幅器，将只能看到由先前位 1 所预处理过的眼图，大约是 $1+\alpha$ 到 $1-\alpha$ 间的信号。

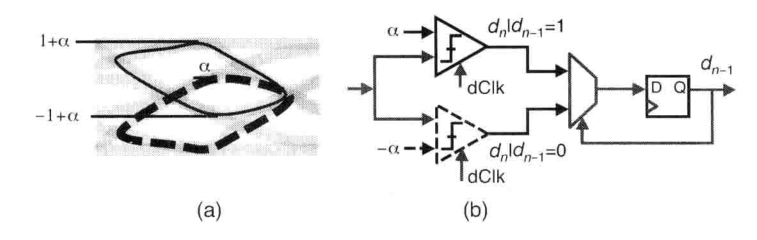


图 17.5　(a) PrDFE 眼图：上眼图用先前的 1 位进行预调理；下眼图是用先前的0位进行预调理；(b)局部响应DFE(PrDFE)以及回路展开

注意，即使是 PrDFE，反馈回路必须在单个位时间内闭合。然而，与常规的 DFE 架构要两次穿越模拟到数字的边界不同，现在的反馈回路只涉及数字电路。关键时序路径包括多路器选择到输出的时延($t_{\text{mux,so}}$)、建立时间(t_{su})、时钟到触发器 Q 的时延($t_{c,q}$)：

$$t_{c,q} + t_{\text{mux,so}} + t_{\text{su}} < 1\text{位时} \tag{17.2}$$

PrDFE 方案可以扩展到容纳更多的抽头，但所需的限幅器数量以 2^N 增长。鉴于限幅器数目的这一指数级增长，要限制实际设计 PrDFE 的抽头数以使输入不会过分加载。17.5 节将讨论基于 ADC 的 DFE 接收器与 PrDFE 接收器之间的等价性，给出的一个简化采样器 PrDFE(RS-PrDFE)架构，采用个数少于 2^N 的限幅器实现了额外的抽头。

不必为了容纳更多的抽头将 PrDFE 扩展而又招致过分的输入加载，另一种选择是将每个 PrDFE 和常规模拟 DFE 的优势相组合。例如，仅在前几个有严格时序要求的抽头采用 PrDFE；后面对时序要求不那么严格的抽头则采用常规的模拟 DFE。Leibowitz 等人采用的就是这种方案[12]，其中 PrDFE 只用于第一个抽头；其余的 10 个 DFE 抽头则用经典的模拟 DFE 加以实现。

与线性均衡器不同，由于 DFE 是基于先前的判决，它将会遭遇到所谓的错误传播[27]。一个错误的判决可能会导致多个错误的猝发。错误传播的问题可以从系统选择上加以控制，如接收器线性均衡、保持反馈滤波器短接、限制反馈滤波器贡献的力度等。此外，当前的高速链路通常都设计成极低的误码率，从而从根本上降低了 DFE 错误传播对实用高性能线缆系统的影响。

17.3　自适应均衡算法

为了适当提高系统的容限，重要的是要将均衡器频率响应正确地调整为与通道特性相反并将 ISI 消除。有三种设置均衡系数的一般方案：第一种方案，可以称为“一次查表即可”，先在实验室完成对该通道的表征，创建一套最好的滤波器系数，然后将其用在工作于该通道的所有链路。第二种方案是“一次自适应即可”。这种方案是在现场加电后对通道进行表征，为该通道推导出一套单独的滤波器系数。这种方案由于是在“现场”进行的，已经考

虑到了制造波动和元件老化的影响。第三种方案是“连续自适应”，它同时考虑了环境的波动和时效性。Zerbe 等人用高性能的背板，在考虑了制造和环境波动，如温度、湿度、V_{DD}等因素下，对这三种方案做了对比[15]。由于考虑了制造波动因素后面的“一次自适应即可”和“连续自适应”两个方案，在数据率更高时明显优于“一次查表即可”方案[15]。虽然后面两种方案的结果差不多，“连续自适应”在中等数据率6.4 Gb/s 下表现得要好一些，预计在(大于10 Gb/s)的高数据率下也将更为有用。

下面介绍最小均方(LMS)算法[16]。先对三个需要最低硬件支持且适合高速 I/O 接口(如存储器通道和背板通道)的实用自适应算法加以综述。这些算法适用于“一次自适应即可”或“连续自适应”的方案。前两个自适应算法属于是符号-符号最小均方(SS-LMS)算法的变种，当 ISI 与其他噪声源相比占主导时就把 ISI 强置为零[6,17~20]。第三个算法是基于将 BER 最小化，以便最大限度地提高接收器的电压容限[21,22]。这些算法适用于发送器均衡，其性能也相差不多。在下一节，再探讨它们在判决反馈均衡器中的应用，以及 CDR 回路与 EQ 自适应回路之间的相互作用。

17.3.1 最小均方算法

最小均方(LMS)算法是 B. Widrow 早在20 世纪60 年代就提出的[16]。图17.6 给出了如何将它应用于自适应线性接收均衡器中。自适应的目标是尽量减少在理想信号和被均衡的接收信号间的均方误差 $E(e(n)^2)$：

$$\hat{x}(n) = \boldsymbol{wPx}(n) \tag{17.3}$$

$$\boldsymbol{u}(n)^{\mathrm{T}} = \boldsymbol{Px}(n) \tag{17.4}$$

$$e(n) = \hat{x}(n) - x(n-\Delta) \tag{17.5}$$

其中，$x(n)$、$u(n)$、$\hat{x}(n)$分别为发送信号、通道输出、被均衡的接收信号。小写黑斜体字符代表的是矢量。大写黑斜体字符表示的是矩阵。基于通道的单位响应(SBR)，$\boldsymbol{w}$ 是滤波器系数矢量，$\boldsymbol{P}$ 是卷积矩阵。Δ 是通道时延。

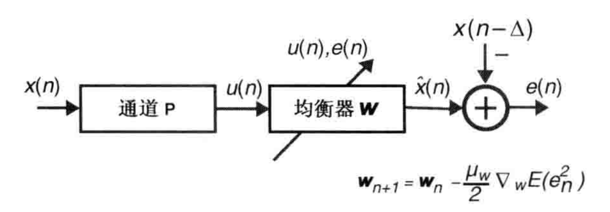


图17.6 采用 LMS 的自适应 Rx 线性均衡器

LMS 是一个按照被均衡接收信号和预期“理想”信号之间均方误差的负梯度而呈现“最陡下降”的算法。然而，在一般情况下，得到预期的效果是很难的。通常情况下，以运行的均值作为期望的近似值。在最简单的情况下，用瞬时值去近似均值，如式(17.6)和式(17.7)所示。均衡器最终被调整到所接收未均衡信号 $u(n)$与误差 $e(n)$相互正交为止，任何的再度更新都将是无效的。

$$\nabla_w \boldsymbol{E}(e_n^2) \approx \nabla_w e_n^2 = 2e_n\frac{\partial e_n}{\partial w} = -2e_n\boldsymbol{u}(n) \tag{17.6}$$

$$\boldsymbol{w}_{n+1} = \boldsymbol{w}_n - \frac{\mu_w}{2}\nabla_w \boldsymbol{E}(e_n^2) \approx \boldsymbol{w}_n - \frac{\mu_w}{2}\nabla_w e_n^2 = \boldsymbol{w}_n + \mu_w e_n \boldsymbol{u}(n) \tag{17.7}$$

直接实现 LMS 算法，需要知道误差 $e(n)$ 和未均衡信号 $u(n)$ 的幅度。因此它需要用多个 ADC 把信号电平数字化，这在高速链路中是非常昂贵的。一个常用的变通方案是 LMS 算法的一个变种：符号-符号 LMS（SS-LMS）[17]，它仅用到信息的符号：

$$\boldsymbol{w}_{n+1} = \boldsymbol{w}_n + \mu_w \operatorname{sgn}(e_n)\operatorname{sgn}(\boldsymbol{u}(n)) \tag{17.8}$$

17.3.2　强置为零 SS-LMS 算法

在将式（17.8）直接用于发送器均衡自适应时存在三个问题：首先，必须将更新信息从接收器发回发送器以便调整发送均衡器的系数设置。采用某种形式的反向通道可以解决这一问题（如 Stojanovic 等人经由差分链路的共模低带宽反向通道，将更新信息发回到发送器[9]）。另外，还可以采用在返回方向上相邻对称通道的备用带宽。

第二，由于接收器只观测到均衡后的信号，未均衡信号 $u(n)$ 并非是现成的。在这种情况下，最简单的解决方案就是放弃最小均方误差（MMSE）解决方案，选择只将 ISI 强置为零，用 $\hat{\boldsymbol{x}}(n)$ 代替 $u(n)$：

$$\boldsymbol{w}_{n+1} = \boldsymbol{w}_n + \mu_w \operatorname{sgn}(e_n)\operatorname{sgn}(\hat{\boldsymbol{x}}(n)) \tag{17.9}$$

注意，如果不再将误差 $e(n)$ 与相邻位加以关联，必须将由位引起的 ISI 强置为零。在这种情况下，自适应过程达到稳定状态，平均更新是零。与这种强置为零的解决方案相比，MMSE 同时考虑到噪声和符号间干扰。因此，如果有明显的高频噪声，MMSE 形成较小的高频峰值，它产生的噪声放大效果与强置为零相当。通常，符号间干扰明显大于随机噪声等其他噪声源，是高速链路的主导噪声源。在多数情况下，如果强置零解决方案不是完全等同于，也将是接近于 MMSE 解决方案。

发送器均衡器一般受限于峰值功耗：

$$\|\boldsymbol{w}\|_1 = 1 \tag{17.10}$$

其中，$\|\cdot\|_1$ 是 $\boldsymbol{w}$ 的 l_1 范数，就是 $\boldsymbol{w}$ 元素绝对值的总和。这一峰值功耗约束表明在发送均衡时，非零均衡抽头简单地分流了主抽头的能量。这样，当滤波器系数调整时目标信号的实际电平将会改变。为了解决这一问题，必须引入第二个自适应回路以跟踪数据电平 dLev。简单说，dLev 就是在没有符号间干扰的情况下所期望的信号摆幅。在 dLev 和实际数据电平之间的瞬时差值就是用于自适应的误差信息，如图 17.7（a）所示。

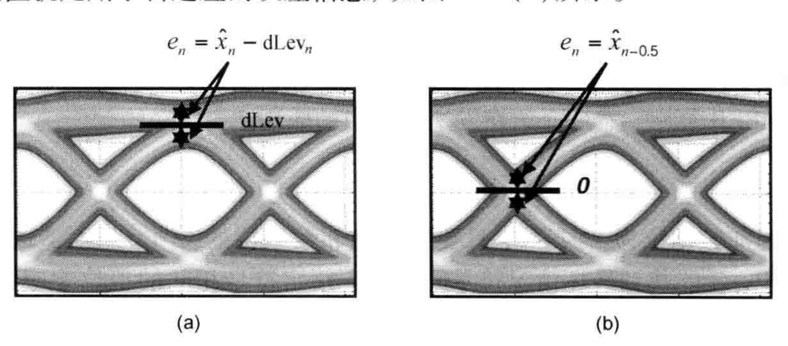


图 17.7　（a）基于数据的自适应；（b）基于边沿的自适应

双回路强置为零的符号-符号最小均方(LMS)算法[6]为:

$$\boldsymbol{w}_{n+1} = \boldsymbol{w}_n + \mu_w \operatorname{sgn}(\hat{\boldsymbol{x}}_n) \operatorname{sgn}(e_n) \tag{17.11}$$

$$\mathrm{dLev}_{n+1} = \mathrm{dLev}_n - \mu_{\mathrm{dLev}} \operatorname{sgn}(e_n) \tag{17.12}$$

该算法是基于数据采样时刻所收集到的误差信息,试图将当时的符号间干扰强置为零。这里没有考虑眼图的形状和任何数据相关抖动。基于边沿的自适应被作为基于数据均衡的替代方案。基于边沿的自适应,最大限度地降低数据跳变时的符号间干扰,并改善了眼图中心处的电压容限。基于边沿的自适应采用在数据跳变时收集到的误差信息,如图 17.7(b)所示。一般而言,这一误差信息已经在时序恢复时获取过,因此与基于数据的自适应不同,此处不需要额外的自适应采样器。

进一步与基于数据的自适应算法进行对比,如图 17.7(b)所示,由于边沿跳变所期望的信号电平是0,基于边沿的自适应只需要一个自适应回路。因此,基于边沿的 SS-LMS 算法[18~20]为:

$$\boldsymbol{w}_{n+1} = \boldsymbol{w}_n + \mu_w \operatorname{sgn}(\hat{\boldsymbol{x}}_n + \hat{\boldsymbol{x}}_{n-1}) \operatorname{sgn}(e_n) \tag{17.13}$$

其中 e_n是误差信号,如图 17.7(b)所示,在这种情况下直接就是边沿采样。只有当数据跳变($\hat{x} + \hat{x}_{n-1} = 0$)时,才进行自适应。因此,基于边沿的 SS-LMS 算法把在边沿时刻的符号间干扰强置为零。

图 17.8 是采样通道的单位响应,包括:(a)未均衡及基于数据的均衡;(b)未均衡及基于边沿的均衡。此处的均衡,采用3 抽头的发送器 FIR 均衡器。注意,基于数据的均衡把数据采样时刻的符号间干扰强置为零;基于边沿的均衡把边沿采样时刻的符号间干扰强置为零。对于这类通道,由于数据符号间干扰与边沿符号间干扰是正相关的,将边沿符号间干扰强置为零也会明显地降低数据的符号间干扰。然而,情况未必总是如此。图 17.9 是同样的通道但接收器端有一个强大线性均衡器时的单位响应。在这种情况下,边沿符号间干扰与数据符号间干扰是负相关的。基于边沿的均衡抵消了边沿符号间干扰,但却在数据采样时刻引入了更多的符号间干扰,从而增大了 BER。

17.3.3 minBER 算法

在发送均衡器的 SS-LMS 自适应期间,当其他抽头增大时必须降低主抽头的值,以保持发送器输出摆幅的一致性。符号间干扰的抵消靠的是从主位中分流了一些能量。然而,获得更好的链路性能是靠在峰值功耗的约束下最大化眼高,而不是靠将符号间干扰强置为零[22,23]。本节介绍 minBER 算法,一种修改版的梯度下降算法,可以实现眼高的最大化。本节首先介绍 minBER 算法,然后介绍在发送均衡中的应用。

17.3.3.1 算法

如果已知当前数据位为 1 或 -1,只要选择相邻数据位的符号,从而造成正向和负向干扰项的最大累积,就能找到最坏情况符号间干扰。给定符号相间的单位响应在相位 Δt 时为 $\boldsymbol{p}_{\Delta t}$,记 $\boldsymbol{p}_{\Delta t}^{M}$为主光标,$\boldsymbol{p}_{\Delta t}^{\mathrm{ISI}}$则是一个矢量,包含了单位响应在相位 Δt 时所有的符号间干扰项(也可以将这一标记扩展到卷积矩阵 $\boldsymbol{P}_{\Delta t}$的情况)。可能的最低下冲为 $\boldsymbol{p}_{\Delta t}^{M} - \| \boldsymbol{p}_{\Delta t}^{\mathrm{ISI}} \|$。因此,可以将眼高的最大化归结为在峰值功耗约束下的线性规划问题:

$$\max_{w} \boldsymbol{P}_0^M \boldsymbol{w} - \|\boldsymbol{P}_0^{\mathrm{ISI}} \boldsymbol{w}\|_1 \text{ 使得 } \|\boldsymbol{w}\|_1 = 1 \tag{17.14}$$

在设置发送器均衡系数方面，眼高最大化显然优于强置为零算法[21~24]。

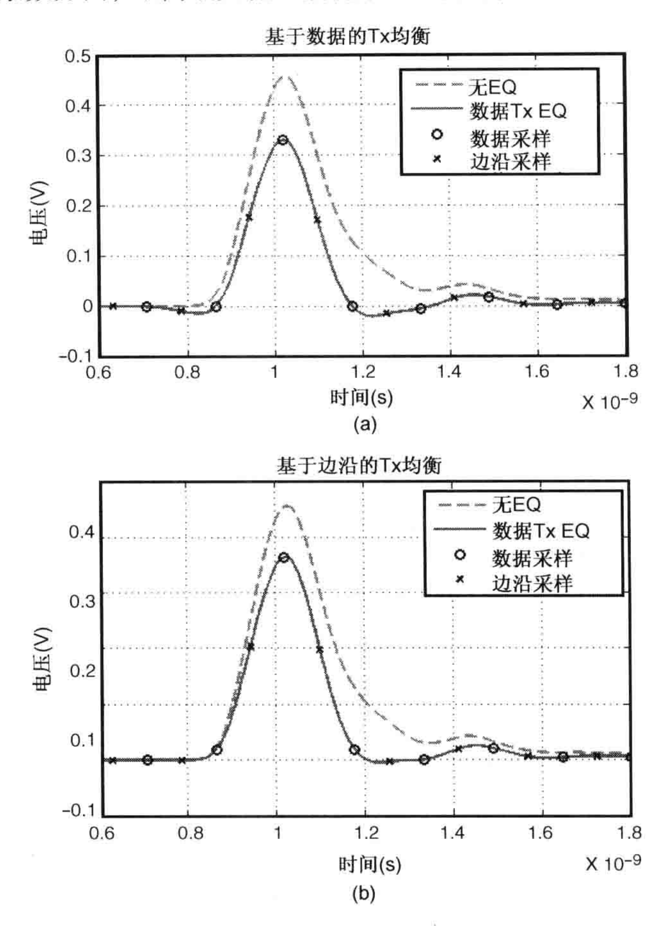


图 17.8　(a) 发送器基于数据均衡的单位响应；(b) 发送器基于边沿均衡的单位响应(发送器均衡器有一个前光标抽头和一个后光标抽头)

minBER 算法[21,22]基于修改的梯度下降算法，有效地解决了这一优化问题(图 17.10给出这一自适应的流程)。它根据有关 BER 退化的信息进行自适应。在自适应过程中，每个抽头在转往调整下一抽头之前，仅朝着降低 BER 的方向上改变一小步。该算法中对每个系数调整方向(增大、降低或不动)的确定，采用三分之二多数表决的方法。这样做，可以降低随机噪声的影响。过程将继续遍历所有的抽头，直到系数都收敛为止。

minBER 算法在某一 BER 目标下将电压容限最大化。为了自适应到达目标 BER，人们可以先从高 BER 目标启动，当测不到误码时再将其降低。由于低 BER 需要一个很长的时间去测量，这样做可以加快均衡器在低 BER 通道中自适应的进程。为了进一步加快收敛速度，可以采用变系数步长。在这类算法中，自适应可以从大系数步长启动。然后，根据系数是否改变再修改系数步长的大小。如果系数不怎么改变，可以采用较小的系数步长。最初的大系数步长有助于避免自适应陷入局部极小值。降低为小系数步长则会使自适应在收敛时的抖动较小。

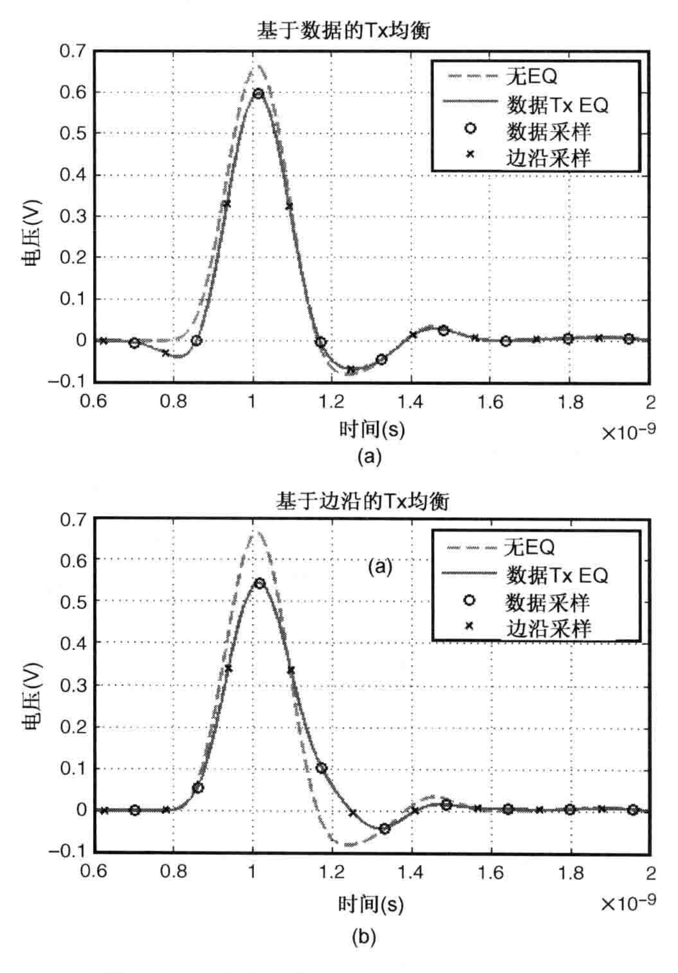


图 17.9　采样通道：在其接收器中具有提升边沿速率的强线性均衡器

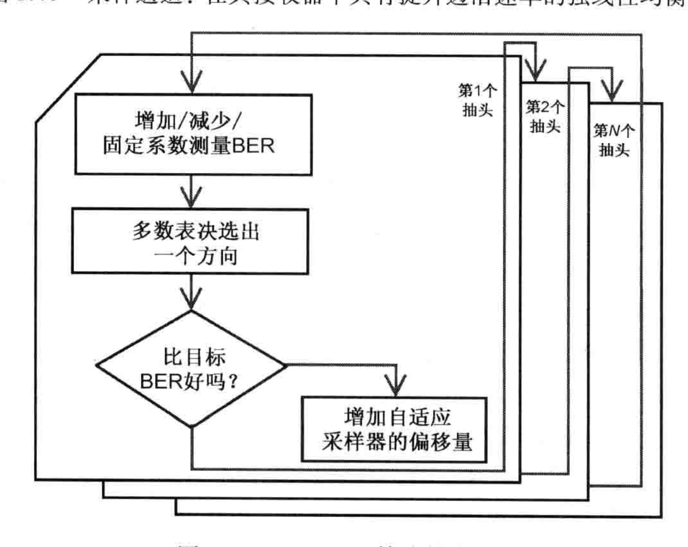


图 17.10　minBER 算法的流程图

17.3.3.2 用于发送均衡

图 17.11 给出当目标 BER 为 10^{-6}时实测接收到的电压容限等值线图，对比了工作在 6.25 Gb/s的两个不同通道前抽头和后抽头系数的情况。由于发送峰值功耗的限制，所有抽头的总数是固定的。曲线显示系数在自适应方案下的路径，粗线表示了最后的 50 次迭代。这些测量表明 SS-LMS 自适应收敛于次优区域。而采用变系数步长的 minBER 自适应系数的最后结果则在最佳区域处附近，在给定目标 BER 下获得额外 10 ~ 20 mV 的电压容限改善。从图 17.11 也可以看出，当仅采用最小步长时 minBER 自适应可能陷入局部最小值或轮廓线的平坦区。变步长不仅解决了这一问题，也有助于加快收敛。

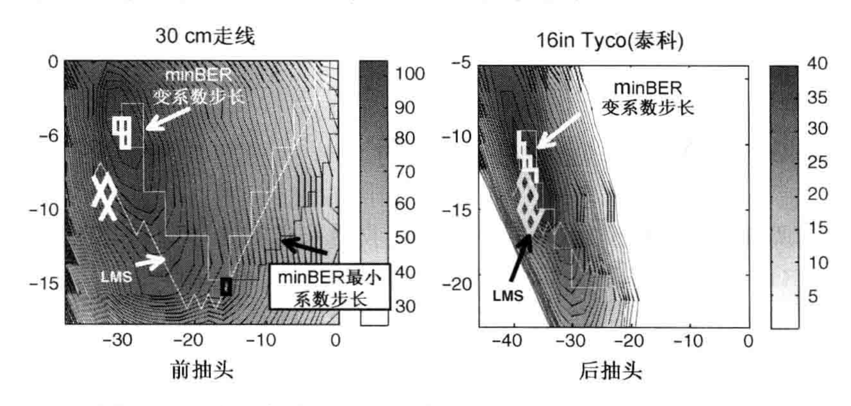


图 17.11 实测各种 Tx-FIR 前抽头、后抽头系数下的电压容限。SS-LMS和minBER自适应路径给出两种不同的通道

minBER 算法收敛到终值的迭代次数大致与一个典型的 SS-LMS 算法相同(参见图 17.12)。然而，不同于 SS-LMS，由于每一步都要测量 BER，实际的自适应时间取决于目标 BER 以及抽头个数。例如，对于一个 3 抽头的 Tx-FIR，在三个系数中只有两个需要按照发送峰值功耗的约束加以更新。对于每个系数，需要按照系数的增大/减少/固定对电压容限进行 3 次测量。因此，总共需要完成 18 次的测量。如果在 10^{-4} 的 BER 下测量电压容限，每次 minBER 迭代所需的总位数大约为 1.8×10^{5}。对于 SS-LMS，为了将噪声的影响平滑掉，每次迭代通常要进行 256 次的测量。因此，对于目标 BER = 10^{-4}的 3 抽头 Tx-FIR 情况，minBER 算法可能比 SS-LMS 算法慢 700 倍。为了改进自适应的速度，可以先用 SS-LMS 自适应接近最佳区域，然后再用较慢的 minBER 算法进行系数的微调。

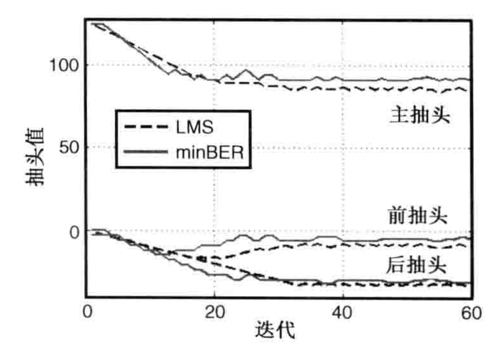


图 17.12 系数的收敛情况(MinBER 自适应只显示每一次判决后的系数)

图 17.13 给出取样示波器测得的每种方案都经过发送自适应后的眼图。与 SS-LMS 自适的眼图相比，尽管在数据采样点有较大的 ISI，minBER 自适应仍给出了较大的眼图睁开度。

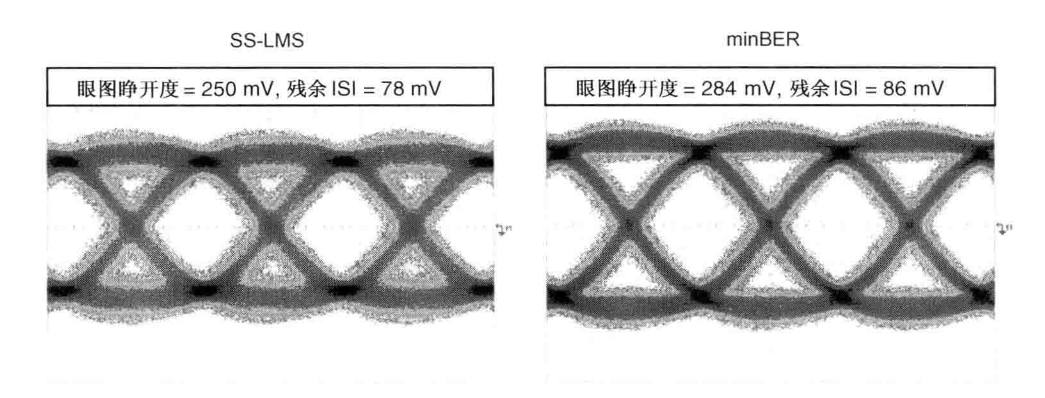


图 17.13 传过有 Tx-FIR 均衡的泰科(Tyco) 16 in 通道后由示波器收到的信号眼图

17.4 CDR 与均衡自适应的相互作用

均衡系数的调整将改变整个通道的响应(指接收器采样器处所看到的),而一个时钟/数据恢复电路(CDR)的工作就是跟踪影响相位值的任何波动。第 10 章给出了如何求得给定通道的 CDR 标称锁定位置。CDR 采样位置的移动将改变采样器所看到的符号间干扰大小。这使得调整机制会去改变均衡抽头的权重[24,25]。在本节中,将采用具有发送器均衡器和接收器 DFE 的架构,去检视均衡自适应与 CDR 电路间相互作用对链路性能的影响。人们将会具体地看到,由 DFE 消除后光标符号间干扰;由符号相间的发送器均衡消除前光标符号间干扰,都会降低而不是提高大多数通道的性能。这是由于均衡自适应和 CDR 电路之间的相互作用,再加上发送器峰值功耗约束的缘故。

为了利用 Tx-FIR 和 DFE 的互补优势,在图 17.14 中给出的架构设计示例中,用 Tx-FIR 消除前光标符号间干扰;用 DFE 消除后光标 ISI。正如在 17.2.1 节所讨论的,由于其固有峰值功耗约束,Tx-FIR 降低符号间干扰的代价是牺牲信号摆幅。相反,DFE 没有峰值功耗的约束,可以在不降低信号摆幅的情况下消除符号间干扰。然而,由于因果性,DFE 不能消除前光标符号间干扰。接收器采用两倍过采样 CDR 电路恢复时序信息。采用局部响应 DFE (PrDFE),通过展开 DFE 的第一个抽头避开了常规 DFE 中的紧密反馈环路。为了降低边沿符号间干扰对时序恢复的影响,接收器在边沿采样器中也采用了 PrDFE。

为简单起见,假设 α_{edge}设置为 0。这种情况下,PrDFE 边沿采样器简化为简单的非归零边沿采样器。人们可以将以下分析扩展到非零 α_{edge}。这时 CDR 锁定的标称值等于边沿采样均值为零时的相位(见第 10 章):

$$e_0 - e_1 = 0 \tag{17.15}$$

其中,e_k表示 $p(t_s - T/2 + kT)$,$p(t)$是原通道的单位响应(SBR),t_s是主光标位置,T 是位时宽。如果只采用了前光标 Tx-FIR,初始相位(CDR 更新之前)处上升跳变边沿采样的均值为:

$$e'_0 - e'_1 = \sum_{i=-m}^{0} w_i (e_{-i} - e_{1-i}) = \sum_{i=-m}^{-1} w_i (e_{-i} - e_{1-i}) \tag{17.16}$$

其中,w_i为 Tx-FIR 的第 i 个抽头。对于色散通道,前光标 ISI 一般为正,由第一个前光标为主

导(参见图 17.15)。因此，式(17.16)求和的结果由 $w_{-1}(e_1-e_2)$ 主导，对于典型的通道则为一负值。当 Tx 均衡后，在同一相位处的边沿采样均值变为负数。CDR 的响应是将其相位延迟。如图 17.15 所示，这一延迟的 CDR 位置增大了数据采样器看到的前光标符号间干扰。SS-LMS 算法试图把变大的前光标符号间干扰强置为零。由于消除前光标符号间干扰时将消耗更多的能量，导致主光标降得更低。当自适应收敛后，前光标 ISI 被消除，但采样通道主光标的一多半将被牺牲掉。

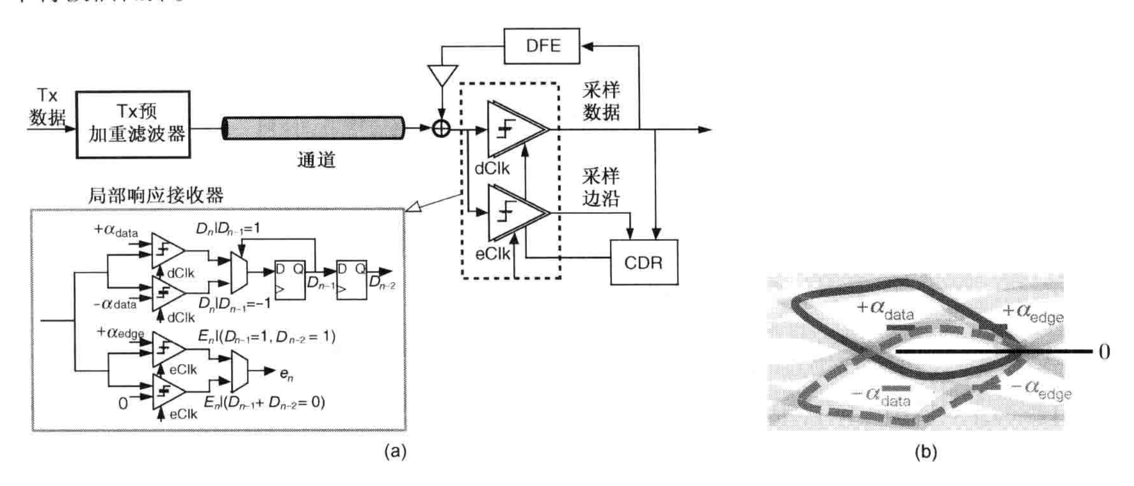


图 17.14　(a) 具有发送器均衡和接收器 DFE 的收发器架构(第一抽头如同 PrDFE)；(b) PrDFE 眼图，时序恢复，边沿采样器可放置在三层中的两层，对有效边沿采样进行数据滤波，默认情况下，α_{edge} 设置为 α_{data} [24]

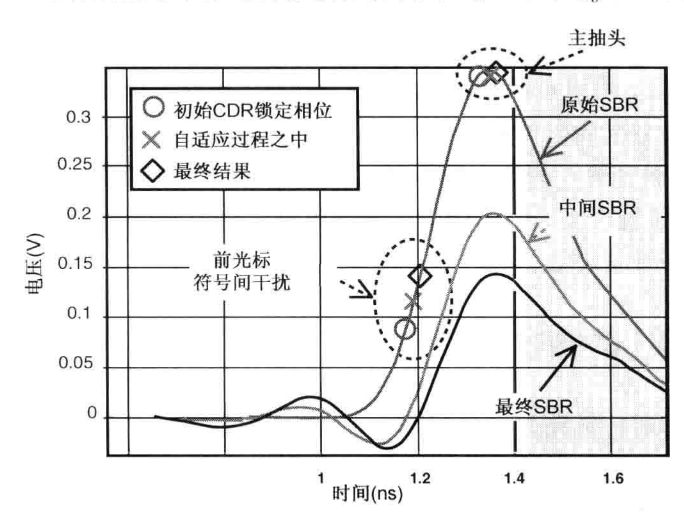


图 17.15　在自适应之前、之中和之后所仿真的单位响应(SBR)。阴影区域表示后光标ISI已经DFE处理过

图 17.16 给出了所测 16 in 背板通道的电压容限等值线与 CDR 相位、发送器前抽头值的关系。链路从前抽头值为 0 开始，用了太大的前抽头值和延迟太大的 CDR 相位，收敛到一个次优点。采用 SS-LMS 自适应的链路工作点位于等值线图之外，其前抽头的值约为 -0.2；CDR 相位值约为 88。

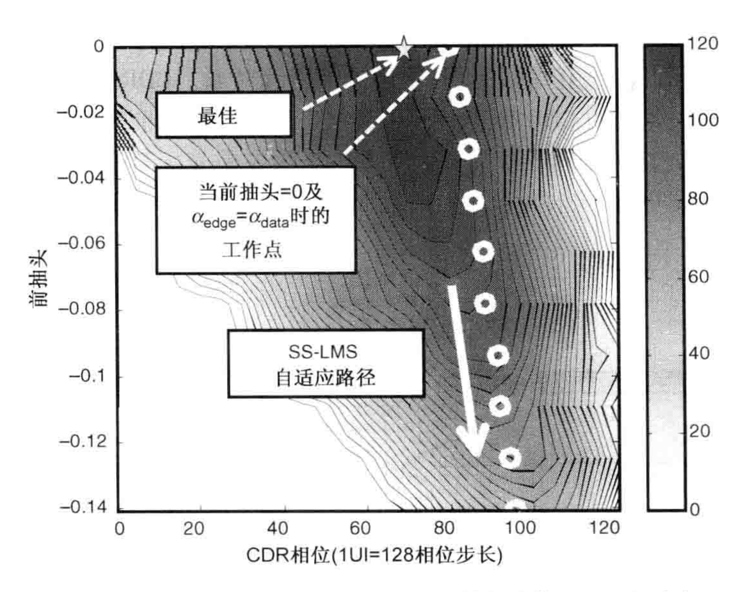


图 17.16　16 in 背板通道在 6.25 Gb/s 时，实测 Tx FIR 前抽头值、CDR 相位与电压容限的关系

有趣的是，如图 17.16 所示，前抽头的最佳设置为 0(无前光标消除)。在进行后光标符号间干扰消除时，电压容限大约是 $d_0-\sum_{i=-\infty}^{-1}|d_i|$，其中 d_k 表示 $p(t_s+kT)$。用 10 个具有不同通道特性(在奈奎斯特频率的衰减为 -15 ~ -35 dB)的背板通道仿真这种收发器架构。在所有情况下，三个前抽头 Tx-FIR 的最佳权重均为零。实验室测试验证了这一结果。

另一方面，通过调整数据采样位置[24]并采用 DFE，可以有效地减少(接收器所看到)前光标的符号间干扰量。采用如图 17.14 所示的接收器架构，通过调整边沿采样器的阈值可以优化 CDR 相位的锁定，采用 minBER 算法可以将接收的电压容限 $d_0-\sum_{i=-\infty}^{-1}|d_i|$ 最大化。对于每一个边沿采样器的阈值(以及每个 CDR 锁定相位)，SS-LMS 自适应调整 DFE，相应数据采样位置的 ISI 将被消除。与给定眼图时选一个更好的位置采样不同，移动 DFE 与 CDR 将在每个 CDR 锁定位置产生一个不同的已均衡眼图。将前光标 ISI 的影响相对于主光标而言最小化，就能将眼图最大化。

17.5　基于 ADC 的接收均衡

随着电气和光学通信链路复杂度的增大，用模拟-数字转换器(ADC)和数字信号处理(DSP)设计收发器的兴趣在不断增长[3,4,26,30]。持续变小的 CMOS 尺寸，使得在数字域设计运行复杂信号处理算法的快速数字逻辑电路更加可行。历史还表明，基于 ADC 的收发器已经在电话线调制解调器和磁盘读取通道中成为主导解决方案[31]。

设计一个用于 10 Gb/s 以上收发器的 ADC 是非常具有挑战性的，这需要具有足够高分辨率且量化误差可忽略不计。例如，即使只有 6 位中等分辨率的高速 ADC，其功耗也会大于 1 W[32,33]。Murmann 还指出，超过 12 位分辨率的热噪声限制了信号噪声比(SNR)，工艺尺寸的进一步缩窄未必有助于降低功耗[34]。由于 ADC 的高功耗，特别是链路的电源效率(以 mW/Gb/s 计)已成为功耗受限网络系统的关键度量指标下，使得在背板收发器中采用 ADC

+DSP 的前景堪忧。出于这一原因，在高速链路中 ADC 的分辨率通常仅限于 4~5 位[3,26]。由于量化误差的累积，这些较粗分辨率的 ADC 限制了数字线性均衡滤波器的有效性[35]。

这些系统中的 DSP，实际上是为了在数字域实现 DFE（如图 17.17 所示）。本节的余下部分将探讨在基于 ADC 的 DFE 与局部响应 DFE 接收器之间的等价性，并介绍简化采样器 PrDFE（RS-PrDFE）[35]。

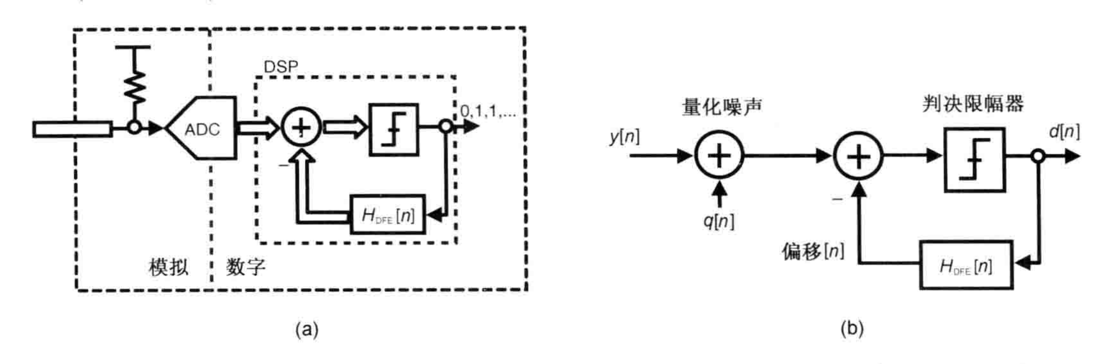


图 17.17　基于 ADC 的 DFE 接收器。（a）架构；（b）信号流程图（其中 ADC 被建模为量化噪声源）

图 17.17 说明了基于 ADC 的接收器完成 DFE 的信号流程。当 ADC 将接收信号转换成数字格式之后，DSP 通过计算，从数字化输入中减去基于前位判决的适当偏移量以完成 DFE 的操作。DSP 还包含判决限幅器，将结果值与一个阈值进行对比以确定当前位。

图 17.17 中基于 ADC 的 DFE 接收器与图 17.5 中回路展开 PrDFE 的接收器实际上是等价的，可以用相同的准则进行优化。回顾核心的 DFE 操作就是在判决当前位之前从接收信号中减去一个偏移量。偏移量对应于由先前位引起的 ISI。当前位的判决则根据接收信号是高于或低于偏移值而定。

基于 ADC 的 DFE 接收器以及 PrDFE 接收器可以看成两种通用 DFE 架构。前端都有多个采样器，后端是确定性组合判决逻辑，如图 17.18(a)所示。判决采用纯粹组合逻辑，没有内部状态或反馈。它只根据采样器输出 $\{D_1[k], \cdots, D_N[k]\}$ 和给定位的历史 $\{X[k-M], \cdots, X[k-1]\}$ 这些二进制数据进行计算。在 PrDFE 接收器中，确定性判决逻辑是一个 $N:1$ 的多路开关器，如图 17.18(b)所示。根据给定位的历史，选中采样器输出中的一个（$D_j[k]$）。

对于如图 17.18(c)所示基于 ADC 的 DFE，将采样器的输出从一个温度计码映射为便于计算的二进制码。ISI 的偏移量（$F[k]$）是在数字域根据给定位的历史 $\{X[k-M], \cdots, X[k-1]\}$ 进行计算的。然后，判决则是基于 ADC 的量化输出（$D[k]$）是否大于 ISI 的偏移（$F[k]$）而定的。由于温度计二进制的映射为 1:1，这一典型的过程也可以看成所计算的 ISI 偏移（$F[k]$）被映射到温度计码，并直接与采样器输出 $\{D_1[k], \cdots, D_N[k]\}$ 做比较。由于采样器输出 $\{D_1[k], \cdots, D_N[k]\}$ 是严格单调的，比较的结果一定是某个采样器的输出值（$D_j[k]$）。因此，也可以认为相当于从温度计码的结果中选出比较器的特定输出，这与 PrDFE 接收器的情况相类似。

确认了两个接收器之间的相似性，催生了一种基于 ADC 的 DFE 等价架构，简称为简化限幅器局部响应 DFE（RS-PrDFE），如图 17.19 所示[35]。这种架构与图 17.5 的 PrDFE 相似，它直接选择回路展开限幅器的判决作为当前位的值。主要的区别是，RS-PrDFE 通过查找表

将位历史映射为限幅器的选项。由于查找表中的每个输入条目可能不会是唯一的，可能会将多个位历史映射为同一个限幅器，正如一个基于 ADC 的 DFE 可能将多个位模板映射为相同的数字反馈值一样。因此，这种架构相当于一个基于 ADC 且 ADC 阈值相同的 DFE，但它避免了需要温度计到二进制的转换(及相应的亚稳态硬化和起泡校正等)，采用一个查找表加多路开关器替换了二进制比较模块。

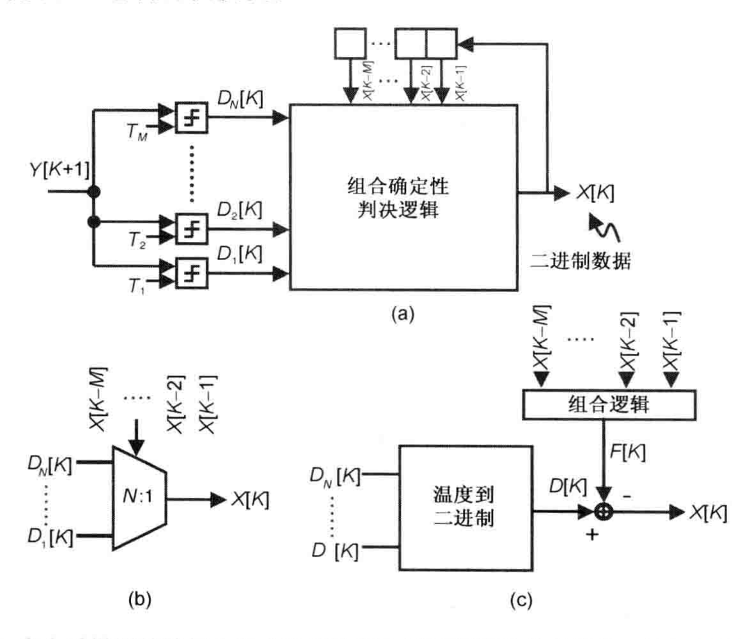


图 17.18 (a) 多个采样器前端加上组合确定性判决逻辑后端的总体架构；(b) PrDFE 接收器的确定性判决逻辑是一个 N:1 的多路开关器；(c) 基于 ADC 的 DFE 接收器确定性判决逻辑

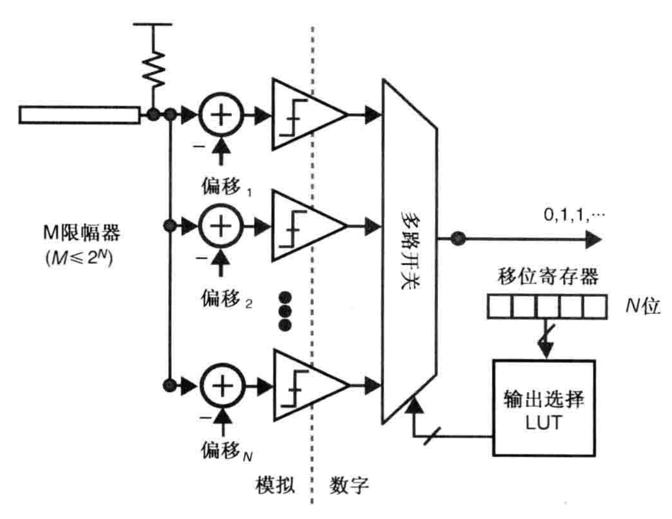


图 17.19 一种简化限幅器的 PrDFE 接收器(RS-PrDFE)

与 PrDFE 需要 2^N 个限幅器以覆盖 N 个后光标位置相比，RS-PrDFE 架构可以用很少的限幅器实现类似的性能[35]。在基于 ADC 的 DFE 和 RS-PrDFE 接收器之间的主要区别是限幅器阈值的设置。最小化 BER 与最小化信号量化误差对设置的要求明显不同。如图 17.17 所示，

通常由ADC引入的量化误差是对无用噪声进行计量的。因此，基于ADC的DFE架构则是力争ADC有尽可能高的分辨率。另一方面，RS-PrDFE则是努力降低在偏移量和相应ISI电平之间的最小阈值误差。Kim等人提出了一种递归算法，可以找出RS-PrDFE的最佳限幅器阈值[35]。

17.6 对高速线缆均衡的展望

随着计算机和网络对带宽的要求持续成倍地增长，在过去10年中片外的数据率也大幅增长[28,29]。在2011年，设计师们已经把线缆数据率提高到28 Gb/s。如此高的数据率，均衡必将是关键的基础技术之一。速度较低的链路色散和反射相对较低，设计者可以继续采用有模拟均衡器二进制前端，以发挥其简单和电源效率高的优点。尽管带有数字均衡器的ADC前端已经引起高度重视，但它们不会像其他对高速度和电源效率严格的应用中那样，接管求解方案的全部空间。此外，高速链路的ADC前端不像用于恢复模拟信号的标称ADC那样有较严格的外部环境。例如，链路对DNL误差、采样抖动等要相对宽容一些。为了节省电源并实现最低的BER，很可能是其他的新技术，如限幅ADC[3]及RS-PrDFE[35]等，将与模拟均衡相配合使用。

三维集成工艺，如“硅通孔”(TSV)[36]，可以在芯片之间提供许多更干净、更短的通道，缓解了某些应用中对均衡的需求。例如，可以采用硅通孔工艺将一个较大的L4高速缓存放得更加靠近CPU，以实现低延迟和合成高带宽的存取。然而，对于其他必须经过一段物理距离实现的高速通信应用，线缆均衡将仍然是解决方案中的一个重要部分。今后，为了给出更大的合成带宽，可能需要有更高数据率时硅通孔之间的信令。硅通孔是一种固有的容性负载，例如，连接两个芯片的硅通孔(视结构和介质而定)其电容约为200 fF。在高数据传输率多个硅通孔连接之间的信令，也需要某种程度的均衡。

除了硅通孔工艺之外，硅光子[37]则是可以占据求解空间一部分的另一种工艺。采用标准或略做修改的CMOS制造工艺，硅光子工艺将光元件集成到CMOS芯片中，以降低光通信的成本。人们已经给出基于硅光子工艺的40 Gb/s有源光缆。尽管电源效率(20~25 mW/Gb/s)和成本($2/Gb/s)仍然与电气链接无法匹敌，它们已经比以前更接近并有进一步发展的潜力。即使对于硅光子而言，由于光链路也会受到带宽的限制(例如，光检测器的响应时间有限)等，均衡仍然是有用的。

17.7 小结

在高数据率下，色散和反射等信号完整性问题严重限制了可用的通道带宽。在过去10年中，信号调理技术已在高速接口中被广泛采用，从而降低了这些信号完整性问题的影响并扩展通道带宽。本章介绍了均衡的基本概念，并综述了当前最高水平的均衡技术。此外，为了补偿工艺和环境的波动，均衡的设置必须自适应。本章还介绍了一些只需要最少硬件支持的自适应算法。最后，本章简要地讨论了基于ADC的串行链路并对今后线缆的均衡做了展望。

参考文献

1. http://www.itrs.net/links/2007itrs/2007_chapters/2007_Assembly.pdf
2. H. W. Bode, "Design of broad band receivers," U.S. Patent 2,242,878, May 20, 1941.
3. C.-K. K. Yang and E.-H. Chen, "ADC-based serial I/O receivers," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Sep. 2009, pp. 323-330.
4. H. Chung and G.-Y. Wei, "Design-space exploration of backplane receivers with highspeed ADCs and digital equalization," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Sep. 2009, pp. 555-558.
5. W. J. Dally and J. Poulton, "Transmitter equalization for 4-Gbps signaling," *IEEE Micro*, vol. 17, no. 1, pp. 48-56, Jan-Feb. 1997.
6. V. Stojanovic, "Channel-limited high-speed links: modeling, analysis and design," *ProQuest/UMI*, 2006.
7. J. Zerbe, C. Werner, V. Stojanovic, F. Chen, J. Wei, G. Tsang, D. Kim, W. Stonecypher, A. Ho, T. Thrush, R. Kollipara, G-J. Yeh, M. Horowitz, and K. Donnelly, "Equalization and clock recovery for a 2.5-10Gb/s 2-PAM/4-PAM backplane transceiver cell," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 12, pp. 2121-2130, Dec. 2003.
8. A. Ho, V. Stojanovic, F. Chen, C. Werner, G. Tsang, E. Alon, R. Kollipara, J. Zerbe, and M. A. Horowitz, "Common-mode backchannel signaling system for differential high-speed links," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 2004, pp. 352-55.
9. V. Stojanovic, A. Ho, B. W. Garlepp, F. Chen, J. Wei, G. Tsang, E. Alon, R. T. Kollipara, C. W. Werner, J. L. Zerbe, and M. A. Horowitz, "Autonomous dual-mode (PAM2/4) serial link transceiver with adaptive equalization and data recovery," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 1012-1026, Apr. 2005.
10. B. Razavi, *Design of Integrated Circuits for Optical Communications*, p. 133, McGraw-Hill, 2003.
11. S. Gondi and B. Razavi, "Equalization and clock and data recovery techniques for 10-Gb/s CMOS serial-link receivers," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 9, pp. 1999-2011, Sep. 2007.
12. B. S. Leibowitz, J. K. H. Lee, F. Chen, A. Ho, M. Jeeradit, A. Bansal, T. Greer, S. Li, R. Farjad-Rad, W. Stonecypher, Y. Frans, B. Daly, F. Heaton, B. W. Gariepp, C. W. Werner, N. Nhat, V. Stojanovic, and J. L. Zerbe, "A 7.5 Gb/s 10-tap DFE receiver with first tap partial response, spectrally gated adaptation, and 2nd-order data-filtered CDR," in *International Solid-State Circuits Conference Digest of Technical Papers*, 2007, pp. 228-599.
13. R. Payne, B. Bhakta, S. Ramaswamy, S. Wu, J. Powers, P. Landman, U. Erdogan, Ah-Lyan Yee, R. Gu, Lin Wu, Y. Xie, B. Parthasarathy, K. Brouse, W. Mohammed, K. Heragu, V. Gupta, L. Dyson, and W. Lee, "A 6.25Gb/s binary adaptive DFE with first post-cursor tap cancellation for serial backplane communications," in *International Solid-State Circuits Conference Digest of Technical Papers*, 2005, pp. 68-585.
14. Y.-S. Sohn, S.-J. Bae, H.-J. Park, C.-H. Kim, and S.-I. Cho, "A 2.2Gbps CMOS lookahead DFE receiver for multidrop channel with pin-to-pin time skew compensation," in *Proceedings of IEEE Custom Integrated Circuits Conference*, 2003, pp. 473-476.
15. J. Zerbe, Q. Lin, V. Stojanovic, A. Ho, R. Kollipara, F. Lambrecht, and C. Werner, "Comparison of adaptive and non-adaptive equalization techniques in high performance backplanes over environmental variations," presented at the IEC DesignCon, Santa Clara, CA, 2005.

16. B. Widrow, S. D. Stearns, *Adaptive Signal Processing*, Prentice Hall, 1985.

17. S. Dasgupta and C. R. Johnson, Jr., "Some comments on the behavior of sign-sign adaptive identifiers," *Systems & Control Letters* 7, Elsevier Science Publishers B. V. (North-Holland), pp. 75-82, Apr. 1986.

18. J. Ren, H. Lee, B. Leibowitz, R. Ratnayake, Q. Lin, K. Kelly, D. Oh, V. Stojanovic, J. Zerbe, and N. Nguyen, "Performance comparison of edge-based equalization with data-based equalization," presented at the IEC DesignCon, Santa Clara, CA, 2007.

19. B. Brunn and S. Anderson, "Edge-equalization extends performance in multi-gigabit serial links," presented at the IEC DesignCon, Santa Clara, CA, 2005.

20. K-L. J. Wong, C-K. K. Yang, "A serial-link transceiver with transition equalization," in *International Solid-State Circuits Conference Digest of Technical Papers*, 2006, pp. 223-232.

21. E.-H. Chen, J. Ren, B. Leibowitz, H. Lee, Q. Lin, K. Oh, F. Lambrecht, V. Stojanovic, J. Zerbe, and C.-K. K. Yang, "Near-optimal equalizer and timing adaptation for I/O links using a BER-based metric," *IEEE Journal of Solid State Circuits*, vol. 43, no. 9, pp. 2144-2156, Sep. 2008.

22. E.-H. Chen, J. Ren, J. Zerbe, B. Leibowitz, H. Lee, V. Stojanovic, and C.-K. K. Yang, "BER-based adaptation of I/O link equalizers," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 14-16, 2007, pp. 36-37.

23. J. Ren and M. Greenstreet, "A unified optimization framework for equalization filter synthesis," in *Proceedings of Design Automation Conference*, Jun. 13-17, 2005, pp. 638-642.

24. J. Ren, H. Lee, Q. Lin, B. Leibowitz, E.-H. Chen, D. Oh, F. Lambrecht, V. Stojanovic, C.-K. K. Yang, and J. Zerbe "Precursor ISI reduction in high-speed I/O," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 14-16, 2007, pp. 134-135.

25. R. Randall and W. Zucker, "Adaptive equalizer using precursor error signal for convergence control," US Patent 4789994, 1987.

26. M. Harwood, N. Warke, R. Simpson, T. Leslie, A. Amerasekera, S. Batty, D. Colman, E. Carr, V. Gopinathan, S. Hubbins, P. Hunt, A. Joy, P. Khandelwal, B. Killips, T. Krause, S. Lytollis, A. Pickering, M. Saxton, D. Sebastio, G. Swanson, A. Szczepanek, T. Ward, J. Williams, R. Williams, and T. Willwerth, "A 12.5Gb/s SerDes in 65nm CMOS using a baud-rate ADC with digital receiver equalization and clock recovery," in *International Solid-State Circuits Conference Digest of Technical Papers*, 2007, pp. 436-591.

27. J. G. Proakis, *Digital Communications*, Fourth ed., McGraw-Hill, 2000.

28. G. Balamurugan, J. Kennedy, G. Banerjee, J. E. Jaussi, M. Mansuri, F. O'Mahony, B. Casper, and R. Mooney, "A scalable 5-15Gbps, 14-75mW low power I/O transceiver in 65nm CMOS," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun 14-16, 2007, pp. 270-271.

29. K. Chang, H. Lee, J. Chun, T. Wu, T. J. Chin, K. Kaviani, J. Shen, X. Shi, W. Beyene, Y. Frans, B. Leibowitz, N. Nguyen, F. Quan, J. Zerbe, R. Perego, and F. Assaderaghi, "A 16Gb/s/link, 64GB/s bidirectional asymmetric memory interface cell," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun 18-20, 2008, pp. 126-127.

30. O. E. Agazzi, D. Crivelli, M. Hueda, H. Carrer, G. Luna, A. Nazemi, C. Grace, B. Kobeissy, C. Abidin, M. Kazemi, M. Kargar, C. Marquez, S. Ramprasad, F. Bollo, V. Posse, S. Wang, G. Asmanis, G. Eaton, N. Swenson, T. Lindsay, and P. Voois, "A 90 nm CMOS DSP MLSD transceiver with integrated AFE for electronic dispersion compensation of multimode optical fibers at 10 Gb/s," *IEEE Journal of Solid-State Circuits*, pp. 2939-2957, Dec. 2008.

31. K. Pahlavan and J. L. Holsinger, "Voice-band data communication modems—a historical review: 1919-1988," *IEEE Communications Magazine*, pp. 16-27, Jan. 1988.

32. P. Schvan, J. Bach, C. Fait, P. Flemke, R. Gibbins, Y. Greshishchev, N. Ben-Hamida, D. Pollex, J. Sitch, Shing-Chi Wang, and J. Wolczanski, "A 24GS/s 6b ADC in 90 nm CMOS," in *International Solid-State Circuits Conference Digest of Technical Papers*, Feb. 2008, pp. 544-545.

33. Y. M. Greshishchev, J. Aguirre, M. Besson, R. Gibbins, C. Falt, P. Flemke, N. Ben-Hamida, D. Pollex, P. Schvan, and S.-C. Wang, "A 40GS/s 6b ADC in 65nm CMOS," in *International Solid-State Circuits Conference Digest of Technical Papers*, Feb. 2010, pp. 390-391.

34. B. Murmann, "A/D converter trends: power dissipation, scaling and digitally assisted architectures," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Sep. 2008, pp. 105-112.

35. J. Kim, J. Ren, B. Leibowitz, P. Satarzadeh, A. Abbasfar, and J. Zerbe, "Equalizer design and performance trade-offs in ADC-based serial links," in *Proceedings of IEEE Custom Integrated Circuits Conference*, Sep. 2010, pp. 1-8.

36. M. Motoyoshi, "Through-Silicon via (TSV)," in *Proceedings of the IEEE*, vol. 97, no. 1, pp. 43-48, Jan. 2009.

37. C. Gunn, "CMOS photonics for high-speed interconnects," *IEEE Micro*, vol. 26, no. 2, pp. 58-66, Mar. 2006.

第18章　应　　用

袁兴朝, Dan Oh, Ravi Kollipara

本书通篇对I/O接口通道的建模与分析技术进行了全面的探讨。然而，尚未对某一个具体的信令方案进行过完整的分析。这一章，将对几种信令方案进行分析，以具体的示例说明前面章节中所介绍的概念。在最后一节，将给出我们对信令技术走向与挑战的预判。

Rambus公司的XDR存储器通道是第一个示例。它演示的几个关键创新，有效地改善了高速存储器操作中出现的信号完整性问题。这些创新是：FlexPhase时序调整（解决了引脚到引脚由于布线长度波动造成的时序波动）；动态点到点（DPP）存储器架构（支持多个存储器模块，解决了多点下传总线对信号质量的限制问题）。这样的存储器接口，具有广泛的应用，包括：主存储器、高端显卡、低端消费类产品等。为了处理更大的容量，XDR存储器系统的地址线、指令线采用单端信令；数据线则采用电流模差分信令。

第二个示例是Rambus公司用于低功耗存储器接口的移动XDR（Mobile XDR）存储器系统。在设计中有几个关键的特点。首先，它针对短通道和快速电源模式切换的应用采用了优化的时令架构。其次，它对数据线和地址/指令线均采用全差分信令。最后，它支持多种数据速率以优化功耗。第一代移动XDR系统支持2.4～4.3 Gb/s，其中包括亚速率和一个单独的低速模式（小于100 Mb/s）以实现最大限度的降耗。由于移动XDR接口采用纯粹的差分信令，它为今后移动应用的计算能力留有足够大的净空余量。

最后一个示例，是在单端主存储器应用中采用的一些关键Rambus技术。所提出的解决方案可以明显扩展目前基于DDR存储器系统的带宽。特别是，FlexPhase以及DPP技术，只要对现有DRAM器件进行最少的设计改动即可实现。今后的存储器系统必须能在当今存储器系统的功耗限度内实现更高的带宽。为此，最后一个示例还推介了近地信令（NGS），试图在提高数据率的同时又能明显地降低I/O功耗。下一代基于DDR的存储器系统将支持范围为1.6～3.2 Gb/s的数据率。而NGS则可以在无论是存储控制器一侧或在DRAM一侧均没有任何均衡的情况下，实现这一数据率。

最后，我们以对今后信令发展路线图的预估结束本章。今后接口信令所面临的挑战就是以与目前系统相同或相似的功耗和成本限度，达到一个更高的数据带宽。

18.1　XDR：高性能差分存储系统

本节介绍XDR存储器通道[1,2]。这里介绍的所有资料都能在Rambus公司的网站www.rambus.com上找到。在21世纪最初的几年中，Rambus公司面向大批量、低成本的应用，如PC机和游戏机等，开始设计新一代的RDRAM存储器通道。设计存储器可扩展性的主要目标，包括带宽和容量两个方面。为了具有最大的带宽可扩展性以及最佳的信号完整性，选择将差分信令和点到点拓扑结构用于数据路径（DQ）信号，以支持3.2～6.4 Gb/s的

数据率。这一指标是2000 年时 DDR 数据率的 10 ~20 倍。指令与地址信号(RQ)则保留了与 RDRAM 通道相同的单端信令以及“飞越”(fly-by)(总线)拓扑，支持从 800 MHz ~ 1.6 GHz 的数据率。由于加入了 FlexPhase 时序电路，消除了由于器件布线和 PCB 布线不匹配引起的静态时序错位。开发出的动态点到点(DPP)技术允许模块的升级，同时又保持了 DQ 信号的点到点拓扑结构(以达到包括连接器在内的最佳信号完整性)。目前，XDR 存储器实现了大批量生产，仅用于 Sony 游戏主机 PS3、DLP 投影仪、数字电视的出货量已经超过了 100 万件。

18.1.1　XDR 存储器架构

如图 18.1 所示，Rambus XDR 存储器架构的性能比目前标准存储器高出一个数量。同时，这一存储器系统一揽子解决方案所用的集成电路又最少。它是高端计算和消费电子应用的理想选择，一个单一4 字节宽、6.4 Gb/s XDR DRAM 构件的峰值存储器带宽为 25.6 Gb/s。

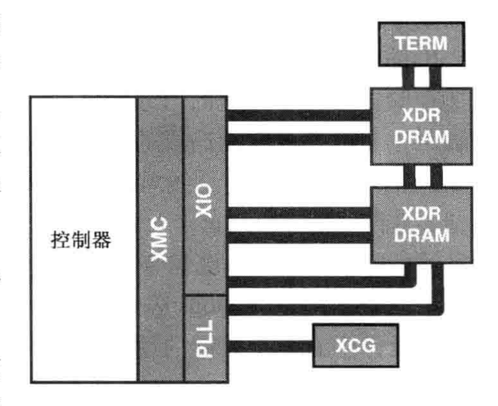


图 18.1　XDR 存储器架构

XDR 存储器架构的性能取得突破性进展的几个关键构件如下：

- XDR DRAM 是一个高速存储器集成电路，它用一个高速接口将标准 CMOS DRAM 内核进行加速。接口可以做到 7.2 Gb/s 的数据率，一个芯片就能给出高达 28.8 Gb/s 的带宽。
- XIO 控制器 I/O 单元给出了与 DRAM 相同的高速信令能力，但添加了额外的增强型功能(如 FlexPhase 技术)，免除了对走线长度匹配的要求。
- XMC 存储控制器是一个完全综合而成的逻辑存储控制器，并加入了动态点到点信令等的优点。在提供点到点信令信号完整性优势的情况下又对容量加以扩充。
- XCG 时钟发生器给出具有 4 个可编程输出的系统时钟，确保能满足 XIO 和 XDR DRAM 对时令的需求。

图 18.2 给出了 XDR 存储器信令系统的信号汇总。XDR 存储器接口架构包括 4 个积木式技术：差分 Rambus 信令电平(DRSL)、8 倍数据率(ODR)、FlexPhase 去错位电路、动态点到点(DPP)技术：

- 差分 Rambus 信令电平(DRSL)是一个低电压、低功耗的差分信令标准。它将 XIO 单元与 XDR DRAM 器件相连接，作为数据总线做到了双向、点到点、数吉赫兹可调。XDR 存储器解决方案也采用了 Rambus 信令电平(RSL)标准。这一标准最初是为 RDRAM 存储器接口研制的，可将多达 36 个器件连接到源同步的地址/指令信号总线上。
- 8 倍数据率(ODR)是一种在每个时钟周期传输 8 位数据的技术(是当今先进水平的采用双数据率 DDR 存储器技术的 4 倍)。XDR 的数据率可以高达 7.2 Gb/s。
- FlexPhase 去错位电路消除了 XDR 数据总线位之间的任何系统性时序偏移。分辨率

2.5 ps(3.2 Gb/s 下)、最大时宽超过 10 ns，FlexPhase 技术消除了对电路板和封装上走线长度匹配的要求。FlexPhase 还动态校正片上时钟错位、驱动器/接收器不匹配、时钟的驻波效应等。

- 动态点到点(DPP)信令技术在保留点到点信令数据总线上信号完整性优点的同时，通过模块升级给出容量扩展的灵活性。存储器模块可以动态地重新配置，以支持不同的数据总线宽度。使得一个数据总线宽度固定的存储控制器，可以连接至个数可变的模块。

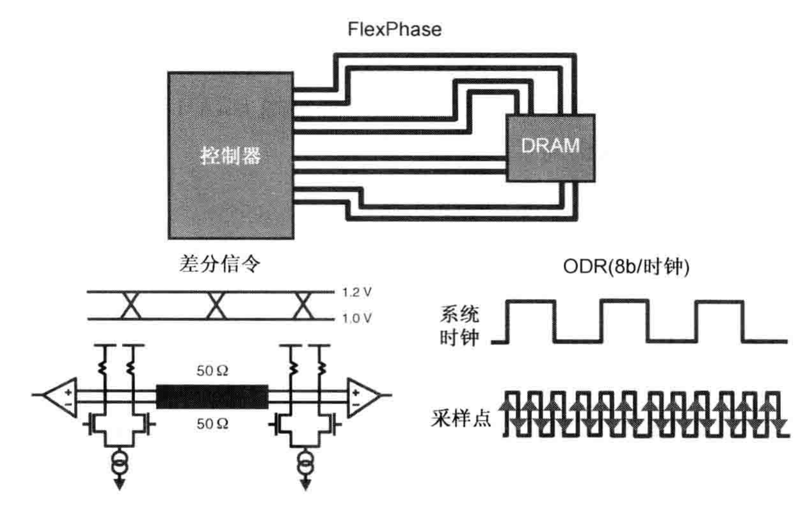


图 18.2　XDR 信令汇总

18.1.2　XDR 时令架构

图 18.3 给出 XDR 存储器的时令架构。XCG 时钟发生器的输入是系统时钟，其输出的时钟信号(CTM)是支持 XDR 存储器系统所必需的。将 CTM 信号布线到 XIO PHY 区域，环绕在 XIO 封装之内，并作为 CFM 布线到 DRAM。将由短时钟封装走线长度形成的桩线最小化，以避免时钟信号的退化。CFM 为 XDR DRAM PLL 提供的输入，产生了 XDR 的片上时钟信号。CFM 布线为总线形式(与 RQ 信号一样)，以尽量减少 XDR 封装引脚数。在 DQ 信号数据率为 3.2 Gb/s 时，CFM/CTM 的频率为 400 MHz。

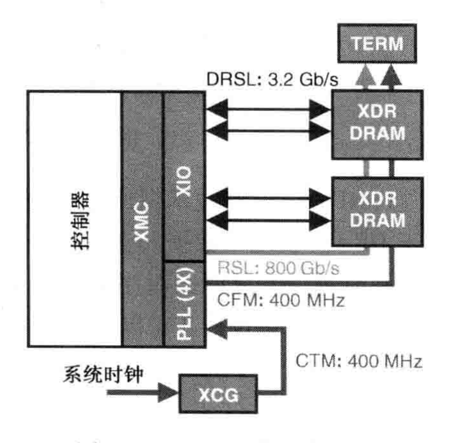


图 18.3　XDR 系统时令架构

XCG 时钟发生器是几个主要集成电路公司给出的现成解决方案，它支持多种高性能的时令应用。这是由于时令架构(XIO 和 XDR 器件)中的两个 PLL 形成了一个带通滤波器过滤掉了大部分的系统时钟抖动。为了确保能满足 XIO 单元以及 XDR DRAM 器件对时钟的技术规范，XCG 器件以 100 MHz 或 133 MHz 作为参考时钟输入，给出 4 个可编程的差分输出。它还支持扩频调制，降低了由时钟分配网络所产生的电磁干扰。

18.1.3 XDR 存储器 FlexPhase 时序调整

在如图 18.3 所示的时令系统中，有两种类型的时序误差。一种是由噪声源，如电源噪声、热噪声、串扰、符号间干扰等造成的动态误差(或抖动)。另一种误差是在器件以及印制电路板/封装中由数据路径和时钟路径物理互连布线不匹配造成的静态误差(或错位)。采用 FlexPhase 技术进行时序校正，可以消除静态误差。

包括 XDR DRAM 在内的先进存储器解决方案，可以采用 FlexPhase 技术去增大每个引脚的信令速率。在如图 18.4 所示的 XDR 系统中，FlexPhase 技术预估不同走线中信号的相位差，并管控数据位的传输。使得到达存储器件的数据与发送到存储器件的指令和地址信号具有一种已知的时序关系。FlexPhase 还可以用于增强常规 DRAM 架构。

FlexPhase 从以下几个方面提高了系统的数据率：

- 通过优化 I/O 信号的时序提高了时序容限。
- 完善“飞越”指令/地址系统架构。
- 消除了对布线长度匹配的要求。

FlexPhase 技术对装有存储器系统的电路板上以及存储器件的封装内都无须去匹配走线的长度。这一系统的简化降低了电路板和封装的成本。FlexPhase 通过对工艺波动(例如，片上时钟错位、驱动器/接收器不匹配、时钟驻波效应等)的动态补偿，消除了许多时序偏移，从而改善了整个系统的时序。

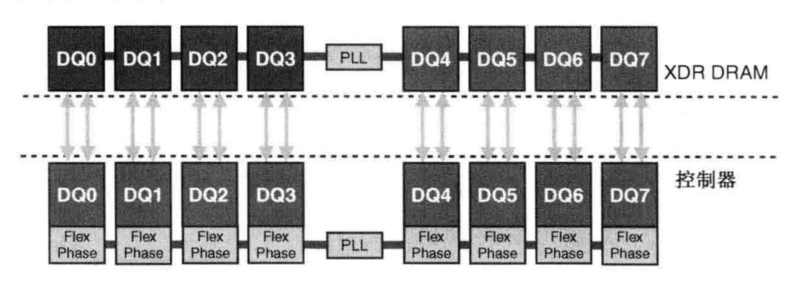


图 18.4 XDR 接口中单字节的 FlexPhase 实现

FlexPhase 电路技术促成了存储系统设计的灵活性、简易性和低成本。FlexPhase 电路可用于 DRAM 系统中数据和选通信号布局的优化。FlexPhase 电路也可以用于微调数据、指令、地址和时钟信号之间的时序关系。在常规的 DRAM 架构中，FlexPhase 电路可以对控制器的输入信号进行错位校正，以补偿信号到达时间的不确定性。此外，FlexPhase 电路还可以故意为数据注入一个时序偏移进行预错位，使得它与指令/地址或时钟信号能同步到达 DRAM。FlexPhase 可以通过调节每个引脚或引脚组中的发送和接收相位偏移，将典型存储器系统中的系统性时序误差最小化。

当采用“飞越”架构(参见图 18.5)时，在存储控制器和 DRAM 之间的数据、选通、指令、地址和时钟等信号传送所需时宽主要取决于在控制器和 DRAM 器件之间信号的线长。在一个“飞越”系统中，指令、地址和时钟信号到达每个 DRAM 器件的时间是不同的，进而造成从每个 DRAM 器件上数据信号被传送的时间也是不同的。控制器中的 FlexPhase 可以用于对这些数据信号进行错位校正，以消除由于“飞越”架构引起的偏移以及系统中的任何固有时序

偏移。同样，由于指令、地址和时钟信号到达每个 DRAM 时间的不同，控制器必须将要写入存储器件的数据进行预错位，以弥补与期望数据写入存储器件的时序差值。FlexPhase 通过这一“预错位”，也消除了系统中固有的时序偏移。

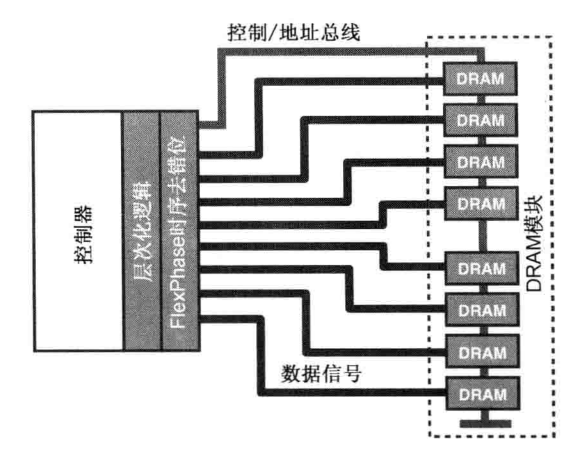


图 18.5 采用“飞越”拓扑结构的存储器模块系统示例

FlexPhase 时序调整不同于传统的串行链路技术。传统上采用嵌入式时钟进行时序的错位校正。这类错位校正技术(通常是依靠 8b/10b 编码，确保时钟恢复所需足够的跳变频度)需要更多的芯片面积、更大的功耗、更大的延迟，并承受由 8b/10b 编码引起的 25% 带宽损失。

内置了系统内时序表征和自检功能的 FlexPhase 技术，在高性能存储器系统中自主实现了高时序分辨率。集成在 XDR 存储器系统之内的 FlexPhase，在数据率为 3.2 GHz 时的时序分辨率为 2.5 ps。

18.1.3.1 FlexPhase 系统操作

对于示例 XDR 系统中的读访问操作，一个集成了 FlexPhase 技术的存储控制器求解并存储在发送出的控制信号与从每个存储器件接收到数据之间的“接收”相位差。随后，对应于每个存储器件的相位差，用于对在不同时间到达存储控制器的数据信号进行错位校正，从而能正确重建从每个存储器件读到的数据。

写操作的过程是类似的：将求解出每个存储器件的“发送”相位差存储在存储控制器中。将这一发送相位差，用于调整(预错位)在发送的指令/地址信号与送到每个存储器件数据之间的时延。

18.1.3.2 器件的获益

对于吉赫兹的数据率，FlexPhase 技术有效地弥补了由于制造波动引起的时间窗口和存储器工作性能的降低。FlexPhase 方案使存储器接口在以吉赫兹速率工作时，免除了由于系统采用时钟/数据恢复(CDR)技术引起的功耗、面积和延迟等代价。FlexPhase 在高速芯片接口的容限测试中采用了数字相位偏移，从而改善了可测性(有关容限测试的内容详见第 16 章)。

18.1.3.3 系统的获益

FlexPhase 技术通过预估并校正由于线长和阻抗波动引起的信令相位偏移，放宽了对 PCB 走线长度匹配的要求。FlexPhase 时序调整，使得存储器的布图更简单、更小巧、更高的性价比。FlexPhase 时序调整，还支持对关键数据信号的在系统测试和表征，从而实现对高速链路的性能测试。

18.1.4 XDR 存储器模块：XDIMM

Rambus 的 XDIMM 模块（参见图 18.5）是一种采用高性能 XDR DRAM 器件设计的高容量存储器模块。它的升级灵活性、容量和性能，对于服务器、消费电子产品、主存储器等应用是至关重要的。工作于高达 6.4 Gb/s 数据率的单个 XDIMM 模块，实现了数吉字节的容量，提供比今天基于模块系统高出很多倍的带宽。XDIMM 模块运用动态点到点（DPP）技术，可安装为单独或成双配置，以保持全系统带宽并保留一个作为真正点到点拓扑结构的信号完整性。XDIMM 模块是 XDR 存储器系统解决方案的一部分，允许系统和芯片的设计师，在采用当今最快存储器集成工艺的同时，消除了互操作性和信号完整性问题。

18.1.5 用 DPP 技术将 XDR 存储器模块升级

当存储器总线的速度持续提高时，保持良好的信号完整性变得非常困难。在个人计算机和工作站中的常规存储器总线支持多点下传数据的拓扑结构，每个数据信号可接纳一个以上的器件。这些拓扑结构允许多个模块连接到总线上，它支持可升级性。然而，多点下传拓扑结构会降低信号的完整性，并降低存储器总线的工作速度。在多点下传拓扑结构中，决定存储器总线速度的关键条件就是所有存储器模块都连上的最坏情况负载特性。点到点拓扑（器件位于信号线的两边）具有更好的信号完整性性能，并有较高的总线速度，但由于不允许带多个模块而不好升级。具备添加存储器模块的能力，增大存储系统的容量成为今天计算机系统的重要特征。传统的主存储器系统支持多点下传拓扑结构，而不是点到点拓扑。在 21 世纪初，Rambus 公司开始研究将点到点信令与存储器容量升级能力优势互补的途径。结果就催生了动态点到点信令技术。

动态点到点技术结合了点到点拓扑和多点下传拓扑结构的优点，所构建的存储器系统采用点到点信令并通过模块升级实现了增加存储器容量的灵活性。DPP 技术的一个关键优点是，通过提供容量扩展，DPP 技术允许点到点以存储器系统的整个带宽加以升级。DPP 技术可以应用于许多不同类型的存储器，包括 XDR DRAM、SDRAM、DDR SDRAM 等存储器，以及下一代的 DDR 系统（参见 18.3.4 节）中。图 18.6 和图 18.7 说明了 DPP 技术如何被用于 XDR DRAM 存储器系统。如图 18.6 所示，基本系统配置只有一个存储器模块，它提供了跨整个数据路径宽度的存储器带宽。连接模块占据了第二个存储器插槽，在整个数据路径的一半保持了点到点连接的电气连续性。

如果把连接模块移开，并加入扩展模块（参见图 18.7），数据路径被重新配置，由两个模块提供存储器带宽。在这一示例的点到点拓扑结构中，每个模块由一半不同的数据路径提供一半的存储器系统带宽。采用 DPP 技术，当加入第二个模块时，单一的 32 位模块被“动

态重新布线”成为 16 位模块。XDIMM 模块通过改变 XDIMM 模块中存储器件的宽度完成了这一点：XDR DRAM 从 x4 的 DRAM(基本配置)切换为 x2 的 DRAM(升级配置)。在 x4 模式下，每个 XDR DRAM 提供 4 位数据：两位直接连到 ASIC；两位经由连接模块连到 ASIC。当插入一个升级模块后，经由连接模块的路径被断开，器件切换到 x2 模式。在 x2 模式下，每个 XDR DRAM 的两位数据直接连到 ASIC。

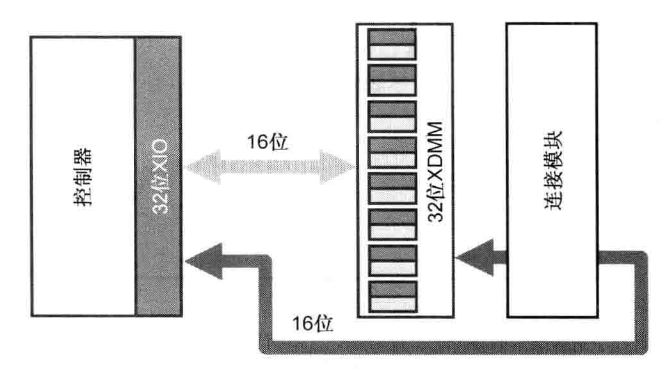


图 18.6 基本系统配置：安装在 32 位 XDR 系统中的 32 位模块

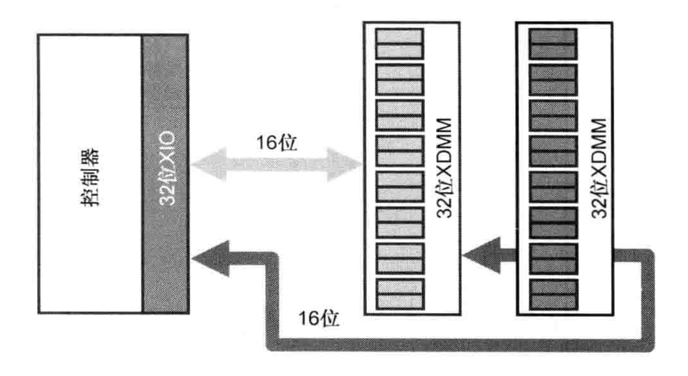


图 18.7 升级系统配置：安装在 32 位 XDR 系统中的两个 32 位模块

点到点信令在容量升级的前后都不变，从而存储器系统带宽也保持不变。DPP 技术的动态重新布线，保留了存储器系统点到点信令的信号完整性优点，使得存储器系统能以系统的整个带宽进行容量扩充。DPP 技术，与 FlexPhase 技术一起使用，为存储系统架构提供了一个耳目一新的框架。

18.1.6 PlayStation 3 中 XDR 存储器通道拓扑

为了说明 XDR 通道的特性，本节介绍一个与实际 Sony PS3 系统相类似的通道。这里 PCB 的走线长度小于 5 in。为了最大限度地降低系统成本，XIO 接口采用键合封装。通道的传递函数(或插入损耗)以及 4.8 Gb/s 时的单位响应分别如图 18.8 和图 18.9 所示。最大的差分串扰不大于 30 dB。在 2.4 GHz 时的衰减为 6 dB，后光标低于主光标位的 15%。尽管可以采用如发送 FIR 一类的均衡措施，但并非是必需的。

图 18.10 给出在 4.8 Gb/s 时的眼图、时序浴盆曲线以及电压浴盆曲线。XIO 接口也可以用小尺寸四方扁平封装(LQFP)一类的超低成本封装实现，其中没有参考地，封装电感又非常大[3]。由于是差分信令，两条线形成一个共面传输线，可以没有地平面，LQFP 封装的

差分阻抗仍接近 100 Ω。如图 18.11 所示，LQPF XIO(3.2 Gb/s 时)的眼图类似于键合 XIO 在 4.8 Gb/s 时的眼图。虽然信号有一定的衰减，其眼图的大小足以满足通道能鲁棒工作的需要。

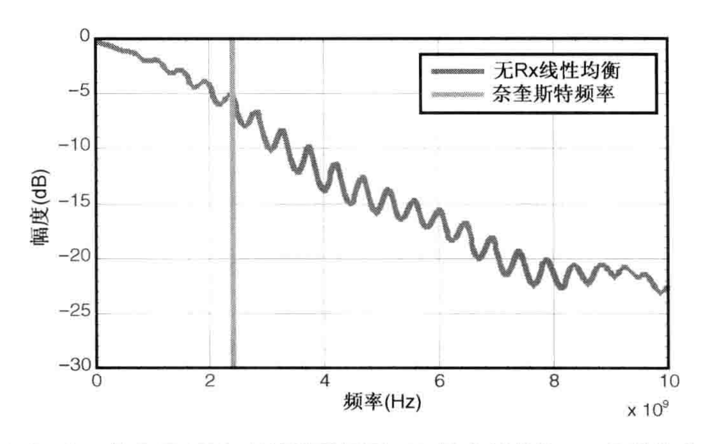


图 18.8　5 in 长 PCB XDR 存储器采用了 XIO 键合封装的 DQ 通道传递函数

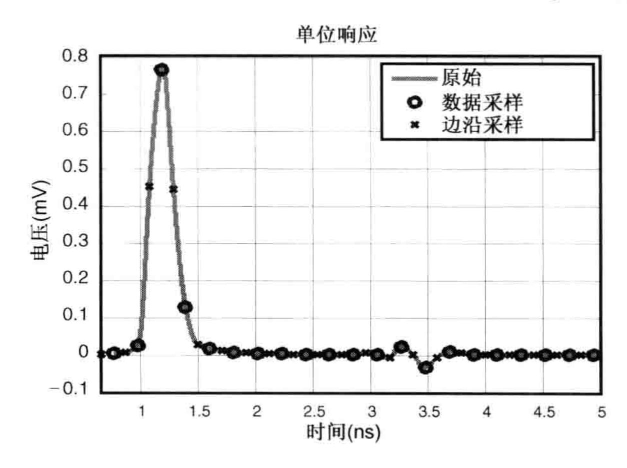


图 18.9　5 in 长 PCB XDR 存储器采用了 XIO 键合封装的 DQ 通道在 4.8 Gb/s 时的单位响应

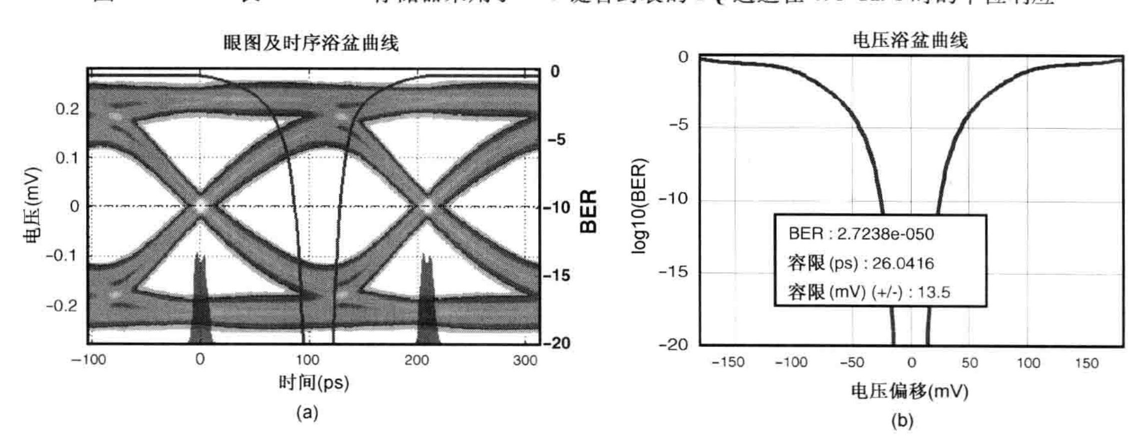


图 18.10　5 in 长 PCB XDR 存储器的 4.8 Gb/s 通道，采用键合封装的 XIO。(a)眼图和时序浴盆曲线；(b)电压浴盆曲线

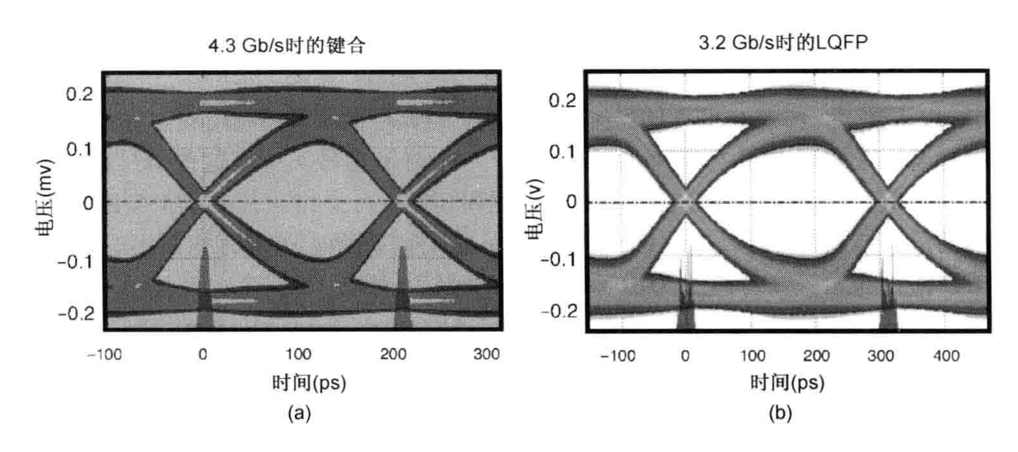


图18.11 眼图对比。(a) 4.3 Gb/s时的XIO键合;(b)3.2 Gb/s时的LQFP

18.2 移动XDR:低功耗差分存储系统

传统的应用类，如移动手机、消费电子和计算的功能正在汇聚融合，设计这些产品的一个关键因素就是便携性。对这些器件中用到的存储器系统，必须同时进行成本、功耗、性能、外形尺寸的优化。例如，智能手机已成为一个新兴的计算平台。最新的智能手机，不仅能处理内容丰富的网页，还能提供高清质量的视频处理功能。在采用小外形尺寸和低功耗时又能给出所需的数据带宽，是一个相当艰巨的任务。

采用如PoP之类的已有封装方案，将现有LPDDR2存储系统的数据率扩展到下一代移动应用可能会很困难[4]。它可能需要先进的封装解决方案，如硅通孔，或昂贵的细焊球间距封装技术。虽然最近硅通孔已经获得了很多关注，但它尚未用于大容量存储器系统中。这是由于除了技术设计挑战之外，还有如测试和散热等问题的显著成本开销。

为了满足日益增长的带宽需求而又无须彻底改变基本的架构，Rambus公司推出了移动XDR技术。移动XDR系统采用了XDR存储器中的许多关键创新，如FlexPhase技术和DPP技术。然而，需要从头设计信令架构以最大限度地降低功耗。由于移动应用比主存储器计算需要较少的DRAM，所有的信号(包括地址和指令线)均采用差分信令。而XDR系统则不然，那里只有数据信号采用差分信令。相比单端信令(伴有串扰、同时开关输出和电磁干扰等危害[5])而言，差分接口给出了一个干净的通道响应，允许采用低摆幅信令。18.2.1节介绍降低功耗的关键移动XDR使能技术。有分析指出，在相同的数据带宽下，移动XDR系统的功耗只有LPDDR2系统功耗的约40%。

在三维集成中对小外形尺寸的要求提出了另外的设计挑战。由于高密度集成和对供电的需求，为各种接口、处理器提供干净的电源是很难的。因此，对三维封装中各种噪声源的影响加以建模是非常重要的。由于计算效率的缘故，难于采用传统的SPICE仿真预估有噪声时的链路性能。18.2.2节将采用第8章和第9章介绍的统计方案预估链路的性能。仿真以及关联的结果表明，无须采用昂贵的3D封装方案，移动XDR技术仍能给出大的带宽净空余量。

18.2.1 低功耗差分存储器接口架构

图18.12是搭建x16接口的存储器接口构造块。链路由两字节系统组成。每字节包括8个双向数据信号、三个单向指令/地址(CA)信号、一个时钟信号。所有这些信号都是差分的。另外还有一个低速的CMOS信号，用于电源管理和其他杂务操作。基于8:1多路复用器，高速链路中的每一链路工作于2.7~4.3 Gb/s。这一工作范围涵盖了现有和新出的LPDRAM工艺。本节下面将介绍一些与移动XDR系统有关的独特技术。

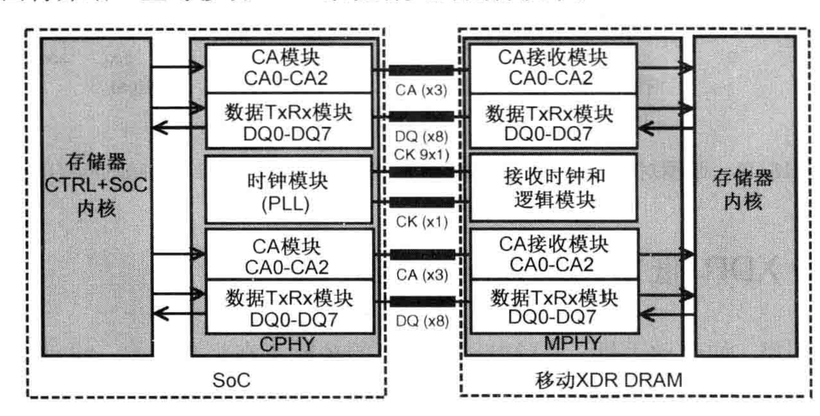


图18.12 移动XDR存储器接口架构

18.2.1.1 具有快速暂停选项的不对称时令架构

选择合适的时令拓扑是高速I/O接口设计中最关键的设计决策之一。对于一个给定信令技术而言，最佳的时令方案主要取决于它的应用。例如，基于CDR的时令方案最适于接口连至两个芯片且有不同时钟源的场合。其示例有：如HDMI一类连接两个系统的数字电缆；或用于SerDes的背板接口。对于板上的并行总线应用，通常采用前传时令架构。在这种情况下，有独立的Tx和Rx总线，每个总线都有其自己的时钟。发送器中经常采用PLL；接收器则采用PLL或DLL。在XDR(并非移动XDR)系统的高速存储器应用中采用了这种架构。第10章介绍了各种时令拓扑结构的优缺点。

FlexClocking技术是一种非对称的时令方案，该方案在移动XDR系统中用于支持电源模式的快速切换，最终做到链路功耗的降低。一个半位率的时钟信号前传到DRAM，以直接对数据加以采样和传输(避开DRAM中的任何闭环时序电路，如DLL或PLL)。DRAM内核的时钟源自对接收时钟的分频。因此，DRAM端的时钟路径可以很容易地由控制器以最小的硬件开销加以暂停和恢复。像XDR系统一样，移动XDR系统也只支持控制器侧每引脚的时序校正。由于小外形尺寸下进行走线长度匹配非常困难，这一时序调整对于三维封装的移动应用特别方便。

18.2.1.2 甚低摆幅差分信令

采用甚低摆幅差分信令(VLSD)可以降低I/O的功耗[7,8]。图18.13给出这一信令接口。输出驱动器是一个N-N的电压模差分驱动器，具有100 mV的近地共模电压。片上的线性稳压器给出了一个200 mV的发送器电源。每个引脚都有自己的稳压器。由于信令以地为参

考，用于控制器和DRAM的I/O电源电压不需要是共模的，从而简化了电源网络的设计。对于相同的摆幅和输出阻抗，N-N推挽电压模驱动器的功耗只有电流模逻辑(CML)类电流模驱动器的四分之一。

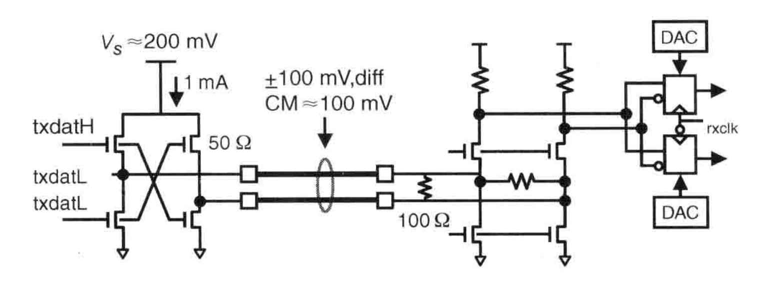


图18.13 近地电压模差分信令电路

双向存储器接口中总线的往返周转活动，为稳压器的设计提出了一个额外的挑战。在读/写总线往返周转时，发送器给V_s加载了一个瞬变的电流阶跃。为了避免由于这种负载电流对旁路电容器(C_S)的充电，将开环和闭环偏置级组合在一起使用[6]。开环电流源给出标称1 mA的驱动电流，很容易关闭。一个辅助的闭环稳压器当驱动器未被激活时，用负载电流的一小部分保持一个V_s，可以实现驱动器的快速开启。采用这种混合方案，驱动器可以在5 ns之内实现供电循环。比起不考虑电源回放的典型总线往返周转延迟要小。

在接收器端信号也是被差分端接，明显降低了端接功耗。在数据限幅器中采用偏移校正数-模转换器(DAC)，将接收器输入偏移修正到亚毫伏的分辨率。在低功耗信令接口中，设计一个高灵敏度接收器至关重要，它将允许发送器采用较小的摆幅。这样，又能减小驱动器的尺寸和寄生电容，从而更进一步降低了对摆幅的要求。

18.2.1.3 低功耗模式及切换

为了节省空闲期的功耗，接口可以将时钟暂停并快速关断稳压电源和PLL电路。因此，该架构支持四种供电模式：激活模式(I/O全部工作)；时钟暂停模式(控制器和DRAM的时钟暂停)；节电模式(禁用额外的偏置电路)；深度节电模式(禁用包括控制器PLL在内的所有接口电路)。

18.2.1.4 支持多种数据率

移动计算与PC应用的主要区别之一就是支持可变数据率。为了降低功耗，根据应用对带宽的要求选择最佳的数据率。可以采用两种方案降低数据率：原生态低频活动；高频活动加上缓冲。第二种方案的电源效率取决于缓冲器的大小及其进行快速开机循环能力。移动XDR系统支持两种模式。表18.1给出了自身所支持的数据率。高速模式需要接收器端接匹配，并进行定期时序校正以补偿由于温度或电源引起的任何缓慢时序漂移。中等速度通常不要求接收器端接匹配。根据系统的不同，也可能不需要定期校正。对于大多数系统而言，如高/4和高/8的低速，没有必要进行定期校正。然而，如果需要快速切换到高速模式，那么即使中速时也需进行定期校正。最低数据率模式(小于200 Mb/s)直接由输入参考时钟频率控制，所以它可以支持任何低于200 Mb/s的数据率。由于这种模式的目的是降耗，所以没有采用端接匹配。此外，由于要消耗不必要的电能，不推荐进行定期时序校正。比起其他的切换，从低速到高速的数据率切换有一个较长的延迟。

表 18.1 移动 XDR 系统支持的数据率和相应的配置

速度	代表性数据速率	时序校正	端接匹配
高	2.7 ~4.3 Gb/s	有	有
中	高/2，高/4，高/8	有	不需要
低	小于 200 Mb/s	无	无

18.2.2 移动 XDR 与 LPDDR2 系统的对比

LPDDR2 DRAM 是移动应用中最常用的 DRAM 之一。由于 PoP 封装采用成熟的大规模生产封装工艺，给出较小的外形尺寸，已经被广泛应用于移动存储器件中。图 18.14 就是移动通信系统中的 PoP 封装。下层的控制器芯片是应用处理器，采用倒装焊芯片或键合封装(典型的高端应用处理器采用倒装芯片工艺)。上层的存储器件采用 PoP 封装工艺。由于移动手机垂直外观的限制，堆叠器件通常限于两个。PoP 封装的主要缺点是可用的封装焊球数不足。

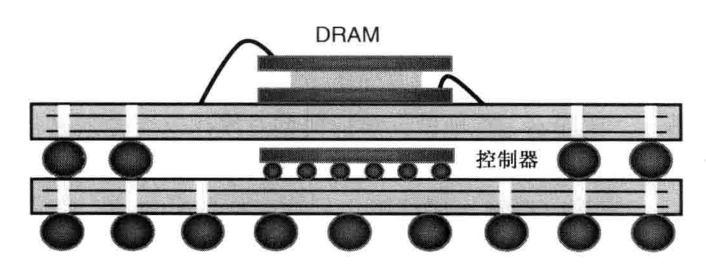


图 18.14 两个堆叠裸芯片，PoP 系统

下面以常用 12 mm×12 mm(0.4 mm 间距，216 个焊球)封装为例，对比 LPDDR2 和移动 XDR 系统所需的焊球数。两个 x32 LPDDR2 的存储器，每引脚的工作速度为 800 Mb/s，可以实现总的 6.4 Gb/s 数据率。图 18.15 给出了焊球指配。由于焊球数量受限，提高数据率是困难的。另一方面，如果用移动 XDR DRAM，采用两个 x16 的移动 XDR DRAM，就可以做到 12.8 Gb/s。

每引脚工作于 3.2 Gb/s 的两个 x16 DQ 差分存储器，可以达到总的 12.8 Gb/s 数据带宽。图 18.16 给出了差分接口的焊球指配。LPDDR2 接口(工作于 6.4 Gb/s)，将在相同数据带宽下消耗差分情况约 2.6 倍以上的功率，在 12.8 Gb/s 下的功耗约为 1.3 倍以上。

表 18.2 对比了 LPDDR2 和移动 XDR 系统在信令方面的挑战情况。由于长键合及 PoP 封装有限的布线面积，串扰相当明显，将限制单端 LPDDR2 信号的性能。出于同样的原因，LPDDR2 的 SSN(同时开关噪声——由于封装电感引起的参考电压和电源噪声)也较大。由于封装的外形尺寸较小，进行走线长度匹配的空间非常有限。移动 XDR 系统采用 FlexPhase 时序调整技术解决了这一问题。为了增大容量，需要将 LPDDR2 器件进行堆叠。新增器件与现有器件共享信号线，导致信号出现 1 点到 2 点。这种多点下传拓扑结构使得信号质量退化。移动 XDR 系统采用动态点到点(DPP)技术，在保持点到点拓扑结构的同时增大了容量。

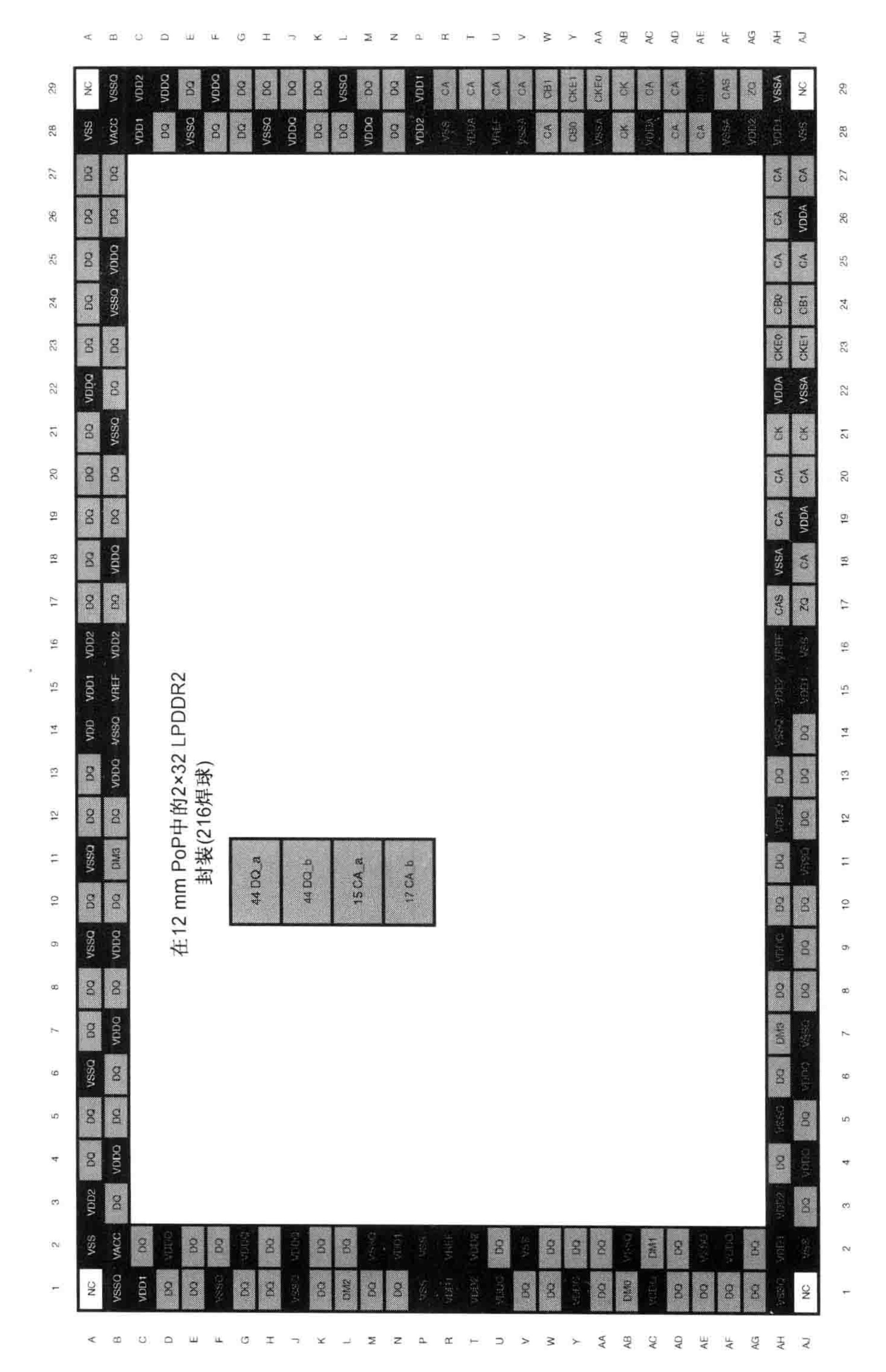


图 18.15 LPDDR2 的焊球指配——JEDEC 推荐的示例(实际焊球指配可能会有所不同)

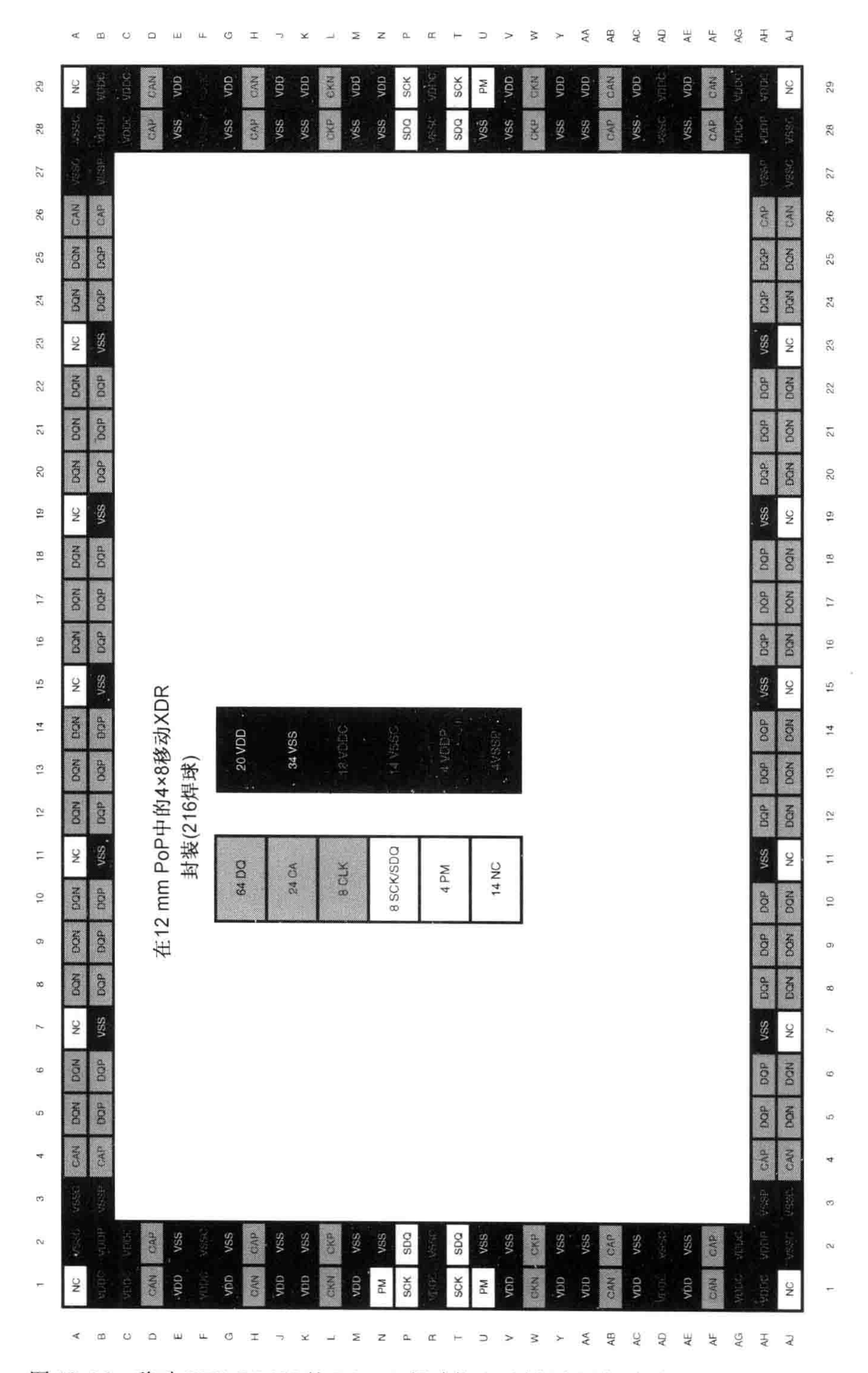


图 18.16 移动 XDR DRAM 的 DQ x32 焊球指配示例(实际焊球分配可能有所不同)

表 18.2 LPDDR2 与移动 XDR 系统的对比

问题	详情	LPDDR2	移动 XDR
串扰	经键合线和 DRAM 封装走线耦合	高	最小(差分)
SSN	由于键合线和封装走线的大电感	高	最小(差分)
电源噪声	自身噪声，内核电源耦合，封装电源耦合	高	最小(差分，片上调整)
VREF 噪声	从供电或 SSN 耦合的电源噪声	高	不适用(差分)
走线长度失配	PoP 封装面积有限导致走线失配	高	最小(FlexPhase)
多点下传	容量增加引起严重的符号间干扰	困难	DPP
PSIJ	PoP 系统必须对 PSIJ 建模	中等	高
原地表征	对三维封装的互作用需要原地测试	N/A	可提供宏模型

如第 14 章所述，在移动系统中，电源噪声引起抖动(PSIJ)是一种占主导地位的时序误差分量。大多数这种抖动是由于片上时钟布线。由于采用了更高的时钟频率和较短的位时长，移动 XDR 系统对这种抖动具有更高的灵敏度。移动 XDR 系统的通道预算要考虑这种 PSIJ 的影响。最后，三维封装系统的原地测试功能非常重要，而移动 XDR 系统给出了第 16 章中介绍的那些片上测量功能。

18.2.3 链路性能建模与分析

如表 18.2 所示，移动 XDR 系统具有多种特征，可以有效地减缓大多数与通道有关的问题。无源通道的影响，这种典型通道分析中占主导地位的时序误差源，在移动 XDR 系统中已不是问题。这为今后器件工艺改进的发展路线图开辟了一条清晰的路径。图 18.17 是移动 XDR 系统的一个 PoP 测试装置。测验装置包括两种基于台积电(TSMC) 40 nm LP 工艺的 ASIC 器件。图 18.18 所示为通道拓扑结构。图 18.19 和图 18.20 中分别是传递函数和单位响应曲线。如所预期，其中的衰减、串扰和符号间干扰都非常小。

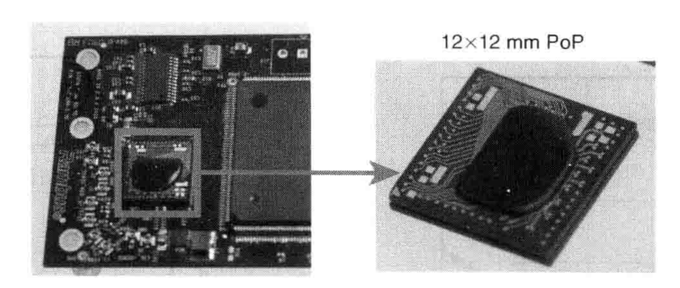


图 18.17 一个移动 XDR 系统的 PoP 测试装置

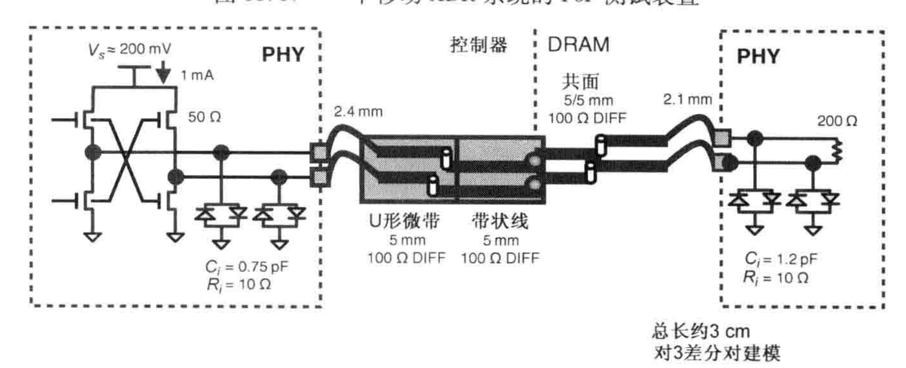


图 18.18 PoP 测试装置的通道拓扑

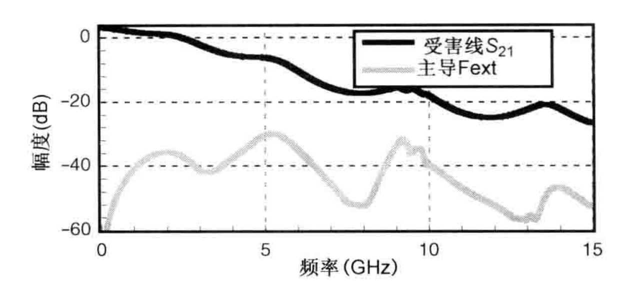


图 18.19 PoP 测试装置的传递函数和串扰(FEXT/NEXT)

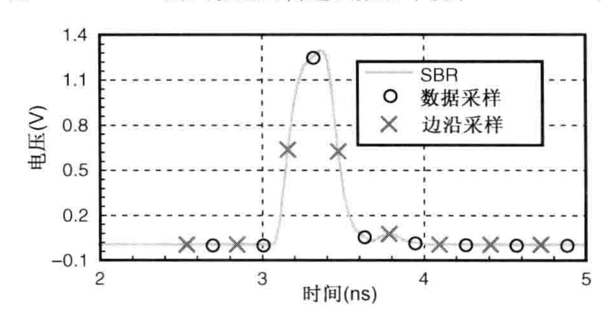


图 18.20 PoP 测试装置 3.2 Gb/s 的单位响应

图 18.21 给出了在没有任何器件抖动时的眼图。以构件级测量为基础生成整个链路的模型，再将链路的浴盆曲线加以对比(有关的关联步骤详见参考文献[9])。图 18.22 给出两个时序浴盆曲线间的关联度。除了具有良好的关联度外，可以看到时序容限也很大。由于移动 XDR 系统的短通道长度以及前传时令架构，对数据和时钟信号之间的抖动跟踪建模是很重要的(参见第 10 章)。

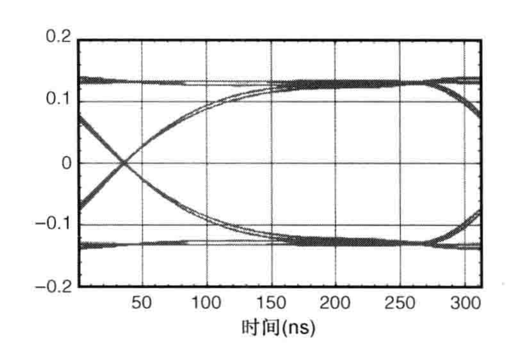


图 18.21 PoP 测试装置在没有器件时序抖动时的通道眼图

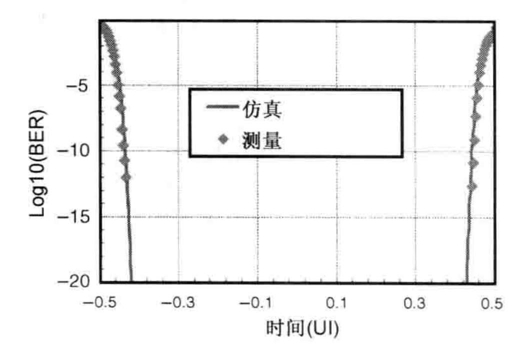


图 18.22 读通道浴盆曲线的关联度

18.3 DDR3 后的主存储系统

主存储器系统用在服务器、台式计算机、笔记本电脑、记事/上网本中。本节将讨论这些系统所面临的挑战，并提出针对这些挑战的解决方案。首先，对主存储器系统的发展趋势进行综述并确认下一代的需求，然后，对目前 DDR3 的架构、拓扑、I/O 信令进行综述。最后，提出在 DDR3 之后一代满足主存储器系统需求的改动[10]。

如图 18.23 所示，DDR 存储器系统从一代到下一代的四年时间，其数据率大约提高一倍。曲线给出了一个 64 位存储器模块的带宽。随着数据率的提高，模块带宽一直稳步上升。这样的步伐必须持续(甚至加速)，才能满足多核计算、虚拟化和处理器集成趋势对带宽需求的日益增长。对于高端服务器系统尤其如此，其下一代主存储器的数据率预计将是 2 ~4 Gb/s。

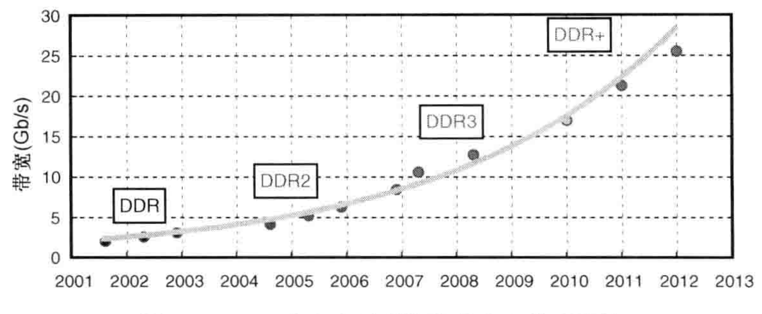


图 18.23　64 位主存储器的数据率和带宽趋势

低功耗仍然是一个关键因素。对于便携式设备(如笔记本电脑和上网本)，低功耗提高了电池的使用时间。台式机和服务器系统需要低功耗，以响应绿色倡议或获取好的节能星级。最后，用户的较低成本对服务器系统运营商也是重要的。因此，在数据率提高时，将今后主存储器系统的功耗限度保持不变(甚至降低)。

图 18.24 给出作为数据率的函数，一个 64 位存储控制器可处理双列直插式存储器模块(DIMM)的最多数目。令人遗憾的是，当数据率一直上升时，每通道的存储器容量却在下降。这是由于诸如反射、串扰等，在高数据率时加剧了分支总线系统的信号完整性问题。因此，存储控制器在高端 DDR3 数据率下只能处理单个模块，从而有效地将数据路径化简为点到点的拓扑结构，而不是传统的多点下传分支拓扑。最近一项用统计方式进行的分析(不是线性或简单的均方根方案)表明，在每通道两个模块限制下的最好结果是可以推高到 1700 Mb/s[11]。然而，除了高带宽之外，服务器系统还需要更高的容量。这种更高的容量，即每通道有更多的模块，是服务器系统和其他系统所需要的。因此，当关注容量时，也需要有更多的负载能力。

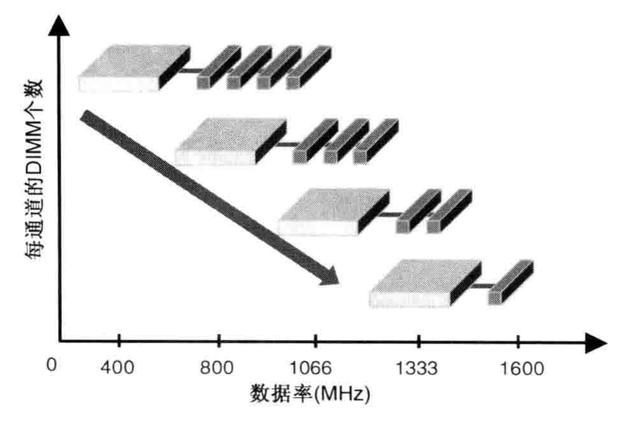


图 18.24　每通道支持 DIMM 的最大数量

存储器的存取效率一直在下降。当数据率提高时，由于接口速度和内核存取速度之间倍数的提高(8x 到 16x)，存取粒度受挫。由于存储器存取效率的降低以及内核功耗的升高，使得内核预取时间增大、最小存取尺寸次优化。

下面，给出对今后主存储器系统的四个主要需求：

- (从一代到下一代)继续将数据率加倍，并保留单端信令以确保向后的兼容性和低引脚数。同时，保持点到点数据路径总线拓扑结构(以降低反射/串扰)；保持指令/地址总线的多点下传拓扑结构(以减少引脚数)。
- 低功耗对于便携式和台式系统都有利。低功耗的其他好处包括可以用小容量的散热片和冷却风扇以降低成本和噪声。
- 每通道要支持多个模块以增大存储器容量，同时便于存储器的升级。
- 提高存储器存取效率可以提高吞吐量并降低内核功耗。采用模块线程可以满足这一要求。但是，这一概念在此不做探讨(有兴趣的读者可以参考 Rambus 发布的白皮书[10])。此外，本章后面提到的宽带 I/O 解决方案，由于设计不够成熟也就不提了。

本节介绍为了满足前三个条件所需要具备的功能。图 18.25 是目前 DDR3 的架构。在写和读方向上的选通，用于检测数据路径中的信号。写数据的输出相对选通有 90°的相移，这样，DRAM 可以直接用选通信号检测数据路径上的信号。这就需要设法匹配在 DRAM 焊盘以及数据采样器上各选通与数据信号之间的时延。用于匹配这两个路径时延的时延元件也会增加功耗。DRAM 输出的数据与选通信号保持一致；控制器引入 90°相移以便检测读数据。控制器上的时钟采用 PLL 从 REF_CLOCK 中导出；DRAM 上的时钟采用 DLL 从 CA_CLOCK 中导出。DLL 和时钟缓冲器，即使在待机模式也在一直工作，造成 DRAM 时钟的功耗。在服务器系统中，许多 DRAM 处在待机模式下。这一待机模式的功耗将使存储器系统的总功耗升高 60%。因此，特别是服务器系统，需要一个能降低待机功耗的时令架构以降低总功耗。

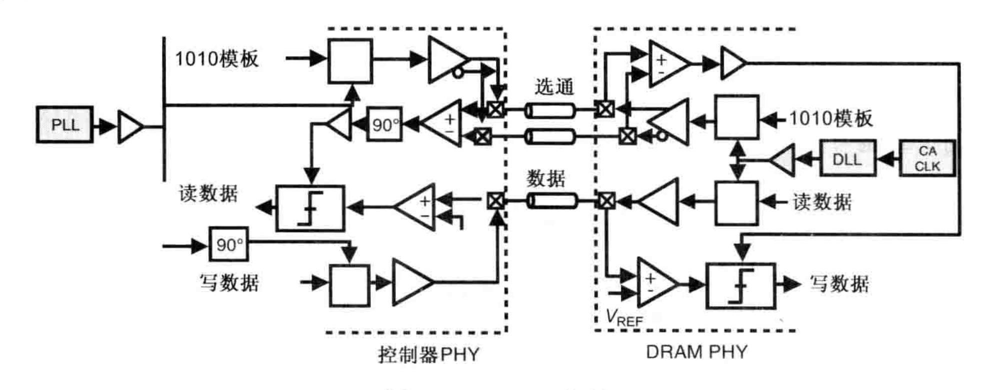


图 18.25 DDR3 架构

为了达到更高的数据率，在时钟和数据之间的时序不确定性必须缩小。在 18.1.3 节的开始，就给出了时令系统不确定性的两个源头。当数据率提高时，在时钟和数据之间的时序不确定性，必须与位时宽成比例地降低。这可能是对今后主存储器系统的挑战，需要有一个解决方案能自动将时序不确定性按位时宽成比例地缩减。

图 18.26 给出了一个双排，双 DIMM DDR3 分支总线系统。如前所述，DDR 架构需要匹

配选通路径和数据路径的时延。这就是说设计师必须匹配片上的路径时延及片外的路径时延。这种时延匹配的要求，强制所有的数据走线具有相同的长度。数据信号经由封装、主板、构件模块 PCB 的诸多层级。如果考虑阻抗波动和材料参数的波动，甚至在走线长度匹配的情况下，经由多个封装或 PCB 层布线的信号也会出现错位。即使具体到某一层级，由于 FR4 纤维编织不同，在数据信号之间也可能有一些错位。这些错位并不随数据率而变化，但它们可能为当前的架构设置可实现数据率的上限。此外，对长度匹配的要求将增大布线密度，引起更高的串扰和反射。单端信令系统的串扰是非常脆弱的，从而限制了数据率。远端串扰与耦合走线长度成正比。这样，如果所有数据路径具有相同的走线长度，那么耦合将是最大的。如果可以取消对走线长度匹配的要求，设计师就可以减少耦合长度，或者利用布线密度的降低，将具有较长耦合长度走线的间距拉开。消除了对片外数据和选通路径时延匹配需要的架构，将最大限度地降低串扰和提高数据率。

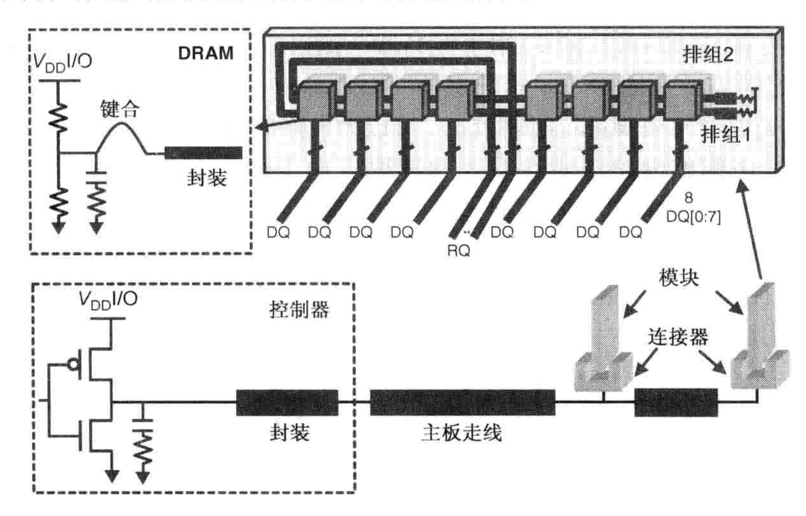


图 18.26　DDR3 链路的拓扑结构

图 18.27 给出 DDR3 的 I/O 信令和功耗。在目前 DDR 系统中应用的分支串行端接逻辑（SSTL），强制链路的两端具有相同的 V_{DD} I/O。这并不是最佳的，由于 DRAM 工艺需要更高的 V_{DD} I/O 电压以实现更高的数据率，而控制器 ASIC 工艺可以在一个较低的 V_{DD} I/O 电压下实现相同的数据率。此外，为了有一个共同的 V_{DD} I/O，可能需要厚氧化层晶体管或堆叠晶体管输出级，这两者都比薄氧化层器件的电源效率要低。最后，SSTL 信令要求同时端接 V_{DD} I/O 轨道和地轨道。这样，两种逻辑状态都要使用 I/O 电源。为了实现低功耗，需要一个新的 I/O 信令方案，不必在链路两端有配对的 V_{DD} I/O，这样有一种逻辑状态就不用供电。

主存储器的两个主要供电模式是：激活的读/写；空闲待机。如前所述，目前 DDR 架构空闲下的功耗不是零，是服务器系统总功耗的主要构成部分。在激活模式下，DRAM 在以下三个区域都有功耗：I/O 信令、系统时令、DRAM 内核存取。图 18.27 中的条形图给出各区域贡献的近似。随着存储器带宽的增大，由于更高数据率、更快的内核存取速率、更多的存储器通道数所增加的功耗，把由低压供电的降耗化为乌有。因此，降低存储器激活功耗是目前所有计算平台重要的考虑因素[10]。虽然 I/O 功耗只占总激活功耗的约 20%，设法减少对降低总功耗总是有益的。

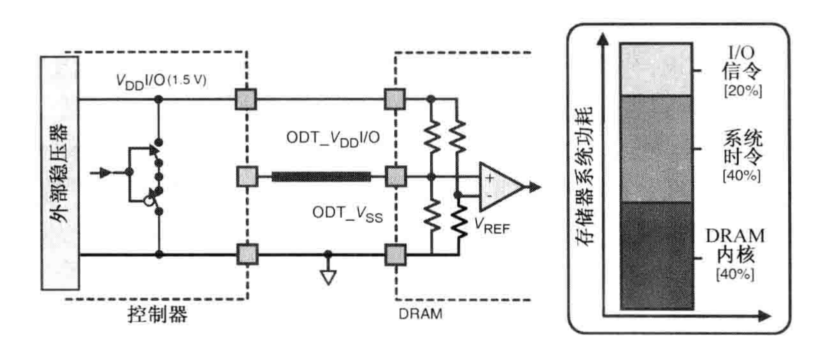


图 18.27 DDR3 的 I/O 信令和 DRAM 在激活模式下的功耗

18.3.1 实现高数据率的 FlexPhase 时序调整

FlexPhase 技术(参见 18.1.3 节)用于控制器一侧以应对 PVT 波动和消除对选通和数据信号间时延匹配的需要。图 18.28 给出具有 FlexPhase 时序调整的 DDR 架构。采用 FlexPhase 时序调整电路对每引脚进行时序校正，可以大大降低静态误差。FlexPhase 技术利用存储控制器中的时序调整电路应对在写入和读取方向上引脚到引脚的时序波动。这使得 DRAM 设计简单并使成本降低。在写操作过程中，数据以不同的时延发送，但在同一时刻到达 DRAM。在读操作期间，DRAM 发送的数据没有任何时延调整，控制器在不同的采样时刻采样数据，以管控时序的不匹配。在系统初始化阶段可以进行时序的调整；并在 DRAM 的刷新周期对其进行定期更新。

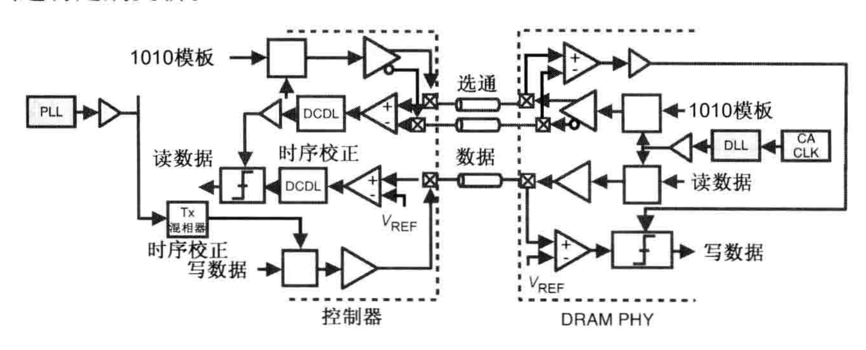
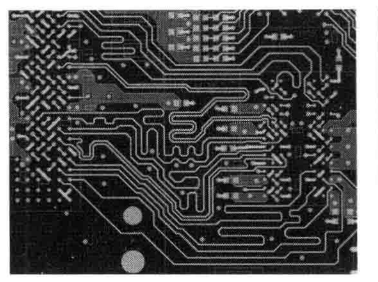


图 18.28 实现 FlexPhase 时序调整的 DDR 架构

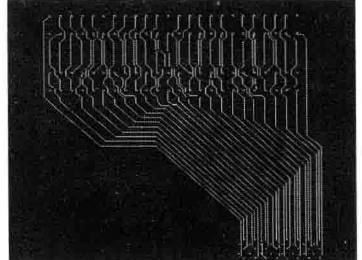
采用 FlexPhase 技术，由于不再需要对走线长度加以匹配，从而简化了走线的布线并降低了串扰。图 18.29(a)给出了一个具有走线长度匹配的典型主板设计。图 18.29(b)给出无布线长度匹配的设计。仿真两种主板设计(有无布线匹配)所得到的眼图，分别显示在图 18.30和图 18.31 中。FlexPhase 明显降低了串扰噪声。

18.3.2 降低 DRAM 待机功耗的 FlexClocking 架构

如图 18.32 所示的时令架构采用了 FlexClocking 技术，这一技术也被用于移动 XDR 系统中。由于采用了快速的开启时间，它的主要特点是待机电流很小。FlexClocking 架构使得在 DRAM 器件中不用 DLL 或 PLL 也能将数据对齐。FlexClocking 技术调整在时钟和数据信号间的时序波动，在数据活动之间的时令没有待机功耗。

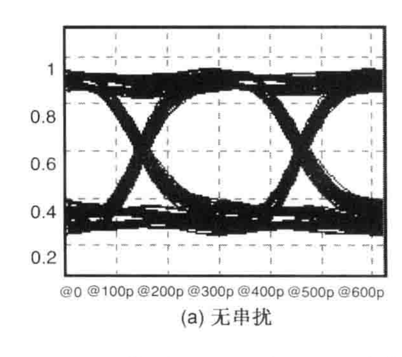


(a) 走线长度匹配

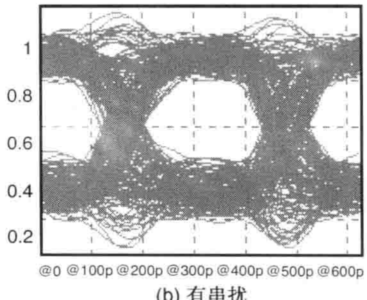


(b) 无走线长度匹配

图 18.29 布线长度匹配和不匹配的布线示例

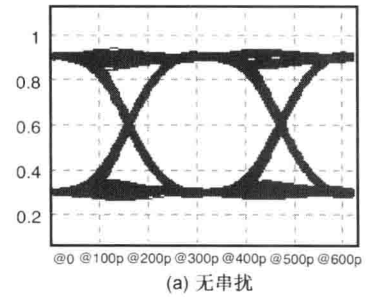


(a) 无串扰

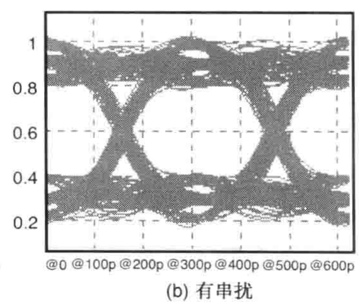


(b) 有串扰

图 18.30 一个 DIMM 系统中走线长度匹配时的眼图



(a) 无串扰



(b) 有串扰

图 18.31 一个 DIMM 系统布线长度不匹配的眼图

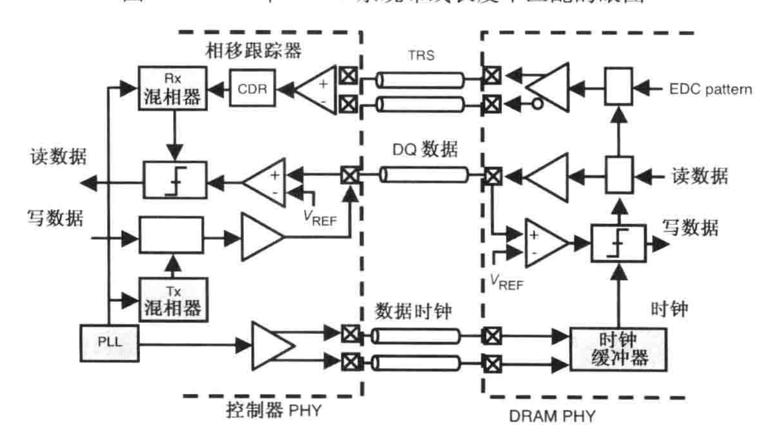


图 18.32 FlexClocking 架构

为了降低当 DRAM 不激活发送或接收数据时的功耗，控制器将给 DRAM 模块发送一个高质量的差分时钟(称为“数据时钟”)。数据时钟的布线采用与指令/控制/地址 (CCA)总线及对应时钟相类似的拓扑。数据时钟与时序基准信号只有当有数据活动时受快速开启时间启动才被激活。数据时钟以数据率的奈奎斯特频率振荡。与 FlexClocking 架构相配合，采用一个单独奈奎斯特速率的数据时钟信号(而不是 C/A 时钟)，可以使 DRAM 在没有 DLL 或 PLL 的情况下实现高数据率。

DRAM 上的时钟缓冲器电路提取“数据时钟”并将其分配到各 I/O 位片，电源噪声一定会形成一个非常低的时序波动。即使采用优良的隔离和旁路，在 DRAM 器件上的电源噪声也会高达 30 ~ 50 mV。在 DRAM PHY 中，采用差分电流模逻辑(CML)作为时钟缓冲器，对时钟信号进行差分分配，改善了对电源噪声的灵敏度。虽然扇出相同的 CML 缓冲器比 CMOS 缓冲器的功耗大，但 CML 缓冲器只有当数据正常活动时才被激活，且一旦控制器向激活 DRAM 模块发送一个信号就可以将其禁用。

今后主存 DRAM 器件的读操作中有一种可选模式：经 TRS 引脚输出一个读取信号到存储控制器，与目前 DDR3 采用数据选通的情况相同。采用每引脚校正，DRAM 的 TRS 不再只是一个选通信号，而是可以携带其他的有用信息，如高可靠性系统中的 EDC。这一信号也可以由存储控制器对边沿进行定期跟踪以保持校正时序的完整性。

18.3.3 降低 I/O 功耗的近地信令

本节提出如图 18.33 所示的近地信令(NGS)，是一种减少激活 I/O 功耗的途径。采用了近地信令技术，存储控制器的 I/O 电压(V_{DD} I/O)可以远远低于薄氧器件的最大电压(在 45 nm工艺以下通常为0.9 ~ 1.0 V)。同时，位于通道另一侧的 DRAM，由于其片上电路为了实现可靠高数据率信令的需要，可以继续采用较高的电压(1.2 ~ 1.35 V)。

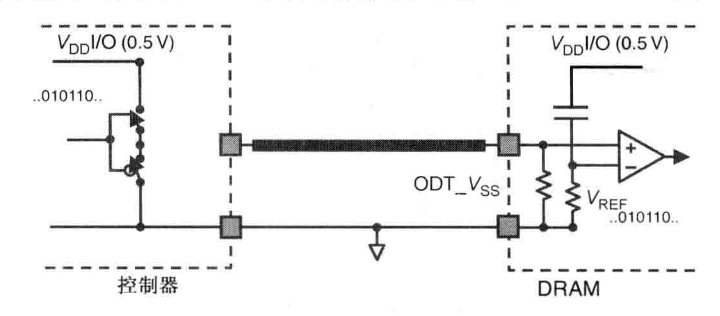


图 18.33 近地信令(NGS)

与传统 SSTL 或 POD 相比，近地信令的信号摆幅降低，从而比 DDR3 明显地降低了链路两边的 I/O 功耗。位于内部的稳压器(DC 500 mV)为 I/O 驱动器电路供电，给出了一个较低的 I/O 信号摆幅。从地轨道低到高之间的 I/O 信号摆幅为 250 ~ 300 mV。除了信令所需功耗较低之外，较低的信号摆幅降低了 I/O 驱动器电路的尺寸，使得前置驱动器和时钟分配电路也可以随之降低功耗。从成本的角度看，近地信令也消除了存储控制器对厚氧晶体管的需求，无形中至少节约了两层掩模和两种半导体工艺步骤。

表 18.3 是对 SSTL 和 NGS 信令采用典型工作电压下的 I/O 功耗仿真结果。即使计入 0.5 V片上稳压器的功耗，NGS 信令的功耗也明显较小。NGS 还可以采用数据总线反相

(DBI)编码(参见第13章),以进一步降低功耗。如果同时采用DBI编码,NGS可以将最坏情况同时开关输出噪声降低40%。NGS信令采用到地的端接,而地轨道通常具有最低阻抗,这将有助于降低同时开关输出噪声。

表18.3　SSTL和NGS功耗对比

	V_{DD} I/O	V_{DD}(控制器/DRAM)	I/O功耗
SSTL-1.5	1.5 V	0.9/1.5 V	22.8 mmW
STTL-1.2	1.2 V	0.9/1.2 V	14.7 mW
NGS	0.5 V	0.9/1.2 V	1.9 mW

NGS需要具有偏移校正的灵敏接收器,从而造成DRAM的一些测试问题。近地信令的另一个缺点是在DRAM的接收路径中需要有电平转换电路。一种解决方案就是采用高速、共栅NFET的电平转换器,它的功耗较低且可以在数据活动没有激活时被禁用[10]。

图18.34给出DPP拓扑配置最坏情况下NGS信令的性能[12]。传送到排组1器件的数据没被端接匹配;传送到排组2器件的数据有40 Ω的端接。图18.34所示为这两种器件的接收眼图。为了考察同时开关输出噪声对电压容限和时序容限的影响,对如图18.33所示理想/非理想电源模式的通道模型进行了仿真[4]。图18.34给出了由最坏情况同时开关输出噪声引起的额外容限损失,而对理想电源通道的仿真只给出了串扰和符号间干扰的影响。受同时开关输出的影响,终端开路排组1的眼图睁开度明显比40 Ω端接排组2的要差。

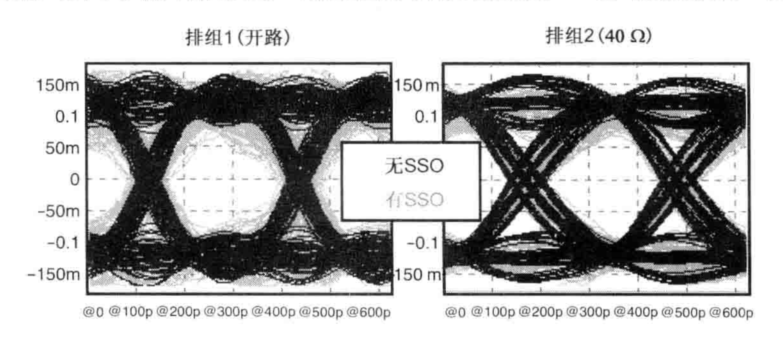


图18.34　信令性能和3200 Mb/s时的同时开关输出影响

18.3.4　用动态点到点链路拓扑实现存储器扩容

采用动态点到点(DPP)拓扑结构(参见18.1.5节),可以在不牺牲存储器系统带宽的情况下扩展系统的容量。图18.6和图18.7给出了有关DPP的概念。图18.35是采用DPP拓扑结构DQ通道中一个流行DIMM与两个流行DIMM在3.2 Gb/s时的性能对比。在只有一个模块加载时观测到最坏情况信号完整性,这时的信号必须跨越连接模块,增添了两次额外的连接器转接(参见图18.6),从而导致了额外的连接器串扰和反射。如果在DPP配置中加载了两个模块,由于电气路径缩短并免除了额外的连接器转接,信令得以改善(参见图18.7)。采用了DPP,由于有维持数据率的足够容限,即使有额外的连接器转换,每通道仍可以支持两个模块。RQ总线的最坏情况眼图睁开度出现在数据率为1600 Mb/s时最后一个DRAM中(参见图18.36)。注意,RQ总线眼图睁开度仍然足够大,可以在这样数据率下可靠工作。由于每个RQ通道仅支持一个激活模块,不牵涉额外的连接器转换,RQ通道并未因DPP拓扑而有额外的退化。

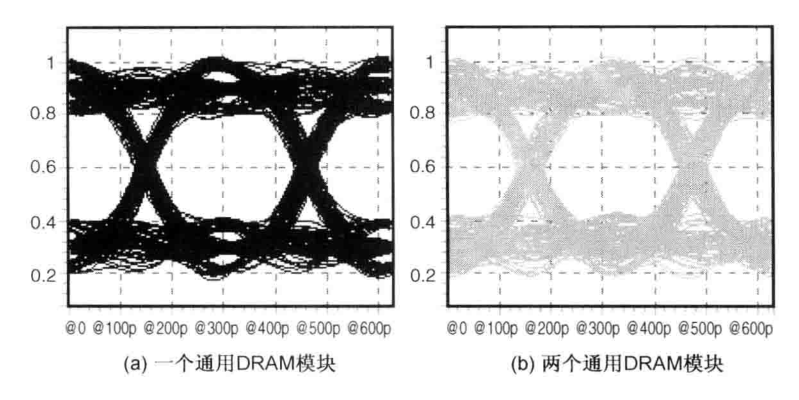


图 18.35 DQ DPP 在 3200 Mb/s 时的眼图对比

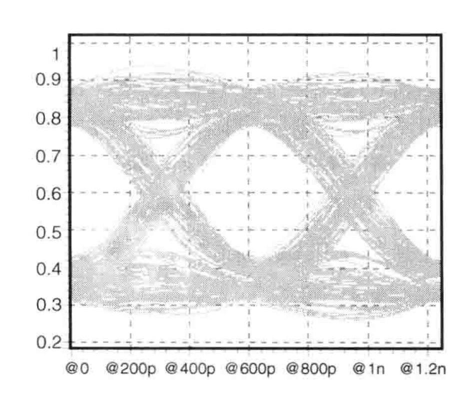


图 18.36 最后 DRAM 在 1600 Mb/s 时的 RQ 眼图

18.4 信令系统展望

受计算、通信和消费电子等器件功能逐渐汇聚的推动，对更高数据带宽的需求将永无止境地继续升高。为加深理解，图 18.37 给出了过去 10 年间各种 I/O 接口设计数据带宽的进展以及对今后的预估。在不久的将来，人们可以期待高端图形显示应用需要超过 1Tb/s 数据带宽。然而，三个根本性的限制，或称“三堵墙”，横亘在带宽不断增大的前进途中；下面分别加以剖析。

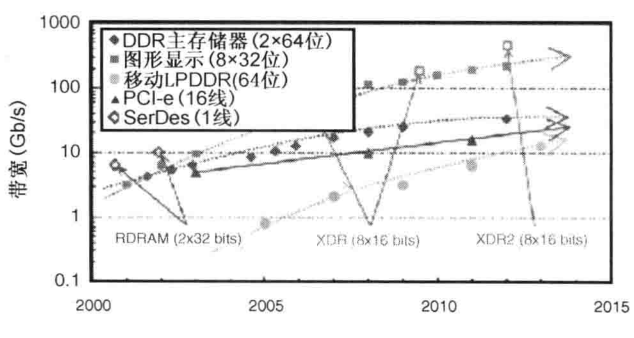


图 18.37 I/O 带宽技术要求

首先，过去的10年间，芯片到芯片间通信、存储器接口间的数据带宽一直在急剧升高。到本书写作时，即使是一个有12 in走线的PCB背板通道，其差分信令的数据率已接近25 Gb/s[13,14]。为了推高数据率，人们必须能够恢复有30多dB通道损耗的信号。一个主要的问题是：只能做到20 ps位时宽的50 Gb/s吗？即使这是可能的，由于减小1 ps的时间容限就折合为5%的位时宽，要想大批量生产这种器件是非常困难的。

人们普遍认为，由于串扰、同时开关输出和参考电压噪声，单端信令最多只能做到约6~8 Gb/s。但是最近的先进单端信令方案已经表明，它可以扩展到12.8 Gb/s[15]。然而，即使这种潜在的解决方案，也不知道单端信令的数据率可以提高到多少。这就是“数据率堵墙”。

第二，当工艺缩窄到28 nm以下时，电路设计将面对更多的DFM限制。此外，器件的变异将变得非常难以控制。DRAM工艺下晶体管的性能，远没有ASIC工艺下改善得那么快。普遍的看法是，DRAM工艺不能支持比16 Gb/s高太多的数据率。这就是“工艺缩窄堵墙。”

第三(也是最重要的)，功耗已成为主导性关注：这不仅仅是针对移动器件，同时也针对数据中心中的服务器。高端图形显示卡的功耗已经超过500 W；存储器接口的功耗也高达100 W！现代I/O接口设计的功耗已达到“合理”制冷解决方案的设计上限。从实用和成本角度考虑，只能在与前几代功耗的相同限度内改善数据带宽。因此，必须提高电源效率，使其成为可能。这就是“电源堵墙”。

为了降低这三“堵墙”，我们能做些什么？针对“数据率堵墙”，第一个最明显的需求就是在系统架构、电路架构和互连技术上提出重大创新。除了提高数据率以实现更高的带宽之外，可以增加链路(或通道)的数量。为了克服通道损耗，可以探索低损耗的材料；采用不同的互连技术减少通道的长度等。

其次，为了克服“工艺缩窄堵墙”，可以探索分解的DRAM架构，将一个ASIC缓冲器用做较快(或主要)的芯片到芯片接口；将一个较宽和较慢(或次要)的接口用做DRAM接口。这种方案采用与目前高端图形显示卡相同的功耗限度实现了高达2 Tb/s的图形显示存储器带宽。对于低功耗设计，必须研发出完全不同的信令和电路架构，以保持接口功耗与所传送的数据量成正比。此外，必须消除冗余设计，以确保在功耗成本下的性能。

有两种新兴技术可以解决带宽和功耗问题，这就是宽带I/O技术和光链路。以下两节将简要介绍这两种技术。

18.4.1 宽带I/O

也许，增大I/O带宽的最简单方案就是通过简单地添加更多的通道。由于有限的封装引脚数和PCB布线面积，这种蛮力方案很快就黔驴技穷了。宽带I/O技术允许数量庞大的连接采用一个相对较低的数据率。由于比起串口和窄带I/O而言，宽带I/O工作的数据率相当低，它在信令方面并不面临挑战性。由于它不需要复杂的时序电路或数据路径设计，它的功耗也很低。

由于宽带I/O是基于大量的连接，互连结构(包括焊球、走线和过孔)必须要小。只有三维封装解决方案，如直接面对面裸芯片对接、多芯片封装(MCP)模块、硅通孔(TSV)等，能支持宽带I/O接口。然而，由于昂贵的封装成本和有限的灵活性，三维封装方案尚未广泛用于计算应用场合。最近智能手机的普及推动了三维封装的应用，由于是基于封装中封装(PoP)的形式，引脚数仍然受限。由于高封装成本促成了较小的外形尺寸、更好的带宽和功

耗性能，从而使昂贵三维封装方案的前景被看好。此外，灵活性并不是移动应用中的关键需求。

由于硅通孔可以提供数量庞大的互连，它是一个重大的前瞻性封装技术。然而，由于热管理、可靠性、测试、集成、不同集成电路制造商间的成本等诸多因素，它在I/O接口中的引用一直很缓慢。由于三维集成的最终目标是用硅通孔直接装连所有裸芯片，它要求一个公司能垂直集成所有的元器件，完成这类工程的难度很高。一个更有可能的近期解决方案是采用硅衬底内插件。图18.38给出一个采用硅内插件的三维存储器系统。在这一内插件中只用硅通孔。由于内插件所需的额外厚度/面积，这一解决方案将不大可能用于移动场合。但是，由于这种配置可以在最低功耗下给出大带宽，它成为图形显示系统的理想选择。在图形显示应用中，三维系统的短通道长度还有助于提高每引脚的数据率。

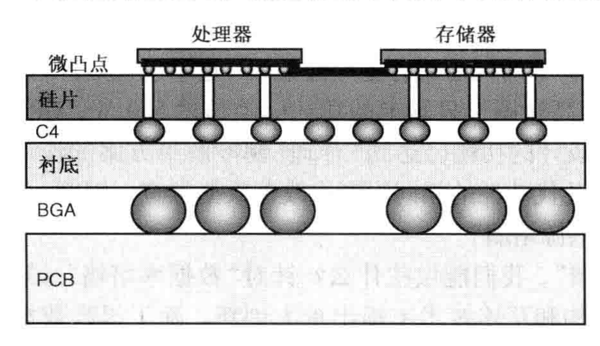


图18.38　具有芯片内插件的宽带I/O存储系统

三星公司在移动应用中于2011年推出第一个宽带I/O存储器产品[16]。它用一个512位的I/O和200 MHz的时钟，做到了12.8 Gb/s的带宽。所用微凸点（microbump）大小为20 μm×17 μm；线间距为50 μm。其功耗只有0.78 mW/Gb/s，仅是LPDDR器件的4.5%。采用硅通孔将两个宽带I/O DRAM堆叠，可将存储器容量从1 Gb增大到2 Gb。采用75 μm的直径展示了硅通孔的堆叠。然而，硅通孔工艺将会使成品率下降大约70%。硅通孔可能是增大存储器容量的一项重大技术；三星展示了其在移动系统或图形显示系统中的应用[16]。NEC采用一个堆叠在硅内插件中的单独接口器件缓冲存储器的活动，去除了DRAM器件的高端接口电路[17]（参见图18.39）。三星将这一概念应用于PC机和服务器的存储器系统中[18]。采用硅通孔将四个2 Gb的DDR3器件加以堆叠，使得一个8 Gb的三维DDR3系统可以支持4个排组（rank）。其中，使用了50%的硅通孔冗余，以期将成品率从15%提高到98%以上。

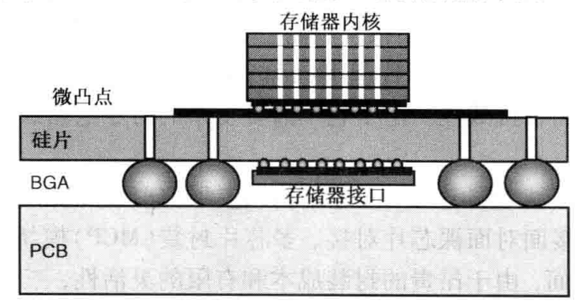


图18.39　具有芯片内插件的三维堆叠式存储器接口模块

18.4.2 光链路

以铜为载体的电信令当数据率达到 Gb/s 区间时，存在着严重的固有信号完整性问题。当数据率升高时，电信令的传输距离在下降。与铜通道上的电信令相比，光纤通道上的光通信对距离很不敏感，很适合应用于长途通信。从历史上看，当带宽距离积为 100 Gb/s·m 时就出现从电链路转向光链路的转变[19]。例如，现在的 25 Gb/s 光通信，已经渗透到数据中心从机架到机架的通信(约 1 ~ 10 m)中。

除了曾经推动了从电信令到光信令转变的带宽距离积因素之外，目前还有其他两个重要的推动力，可能会加速这一转变：带宽密度和功耗限度。ITRS 预估到 2015 年多核芯片的 I/O 带宽将达到 10 Tb/s[20]。假设对某种高性能多核芯片的功耗限制为 150 W(是 I/O 有 10 Gb/s 信令和 1 mW/Gb/s 电源效率时的一半，为乐观估计)；那么 10 Tb/s 的带宽将需要 15×10^3 个信号引脚！ITRS 预估到 2015 年，高性能芯片的引脚数大约为 4×10^3[20]。如果我们扩展每引脚的带宽，并采用高速信令(例如，50 Gb/s 且电源效率为 10 mW/Gb/s，为非常积极的估算)，那么 I/O 功耗限度将把总带宽限制为 1 Tb/s。

对于如何支持高性能处理器工艺缩窄的脚步，电信令还没有明确的路线图。由于在宽带 I/O 之上能进行有效通信的芯片数是受限的，前面所讨论的宽带 I/O 解决方案只是部分缓解了问题。相比之下，采用密集波分复用(DWDM)技术，在一个单一光纤之上进行多个光通道通信却是现成的。这是另外一种形式的尺寸缩窄，也是电信令所无法做到的。

在过去 10 年中，工业界业已经着手解决支持高性能处理器的问题，许多人致力于使光链路从集成度、成本和供电效率方面，成为短距离通信的一种可行方案。传统上，光链路由许多独立封装的分立光学元件构成，需要人工装配进行光学对准。这损害了光通信的成本和功耗下降优势。最近，与硅工艺相类似，光器件业已出现集成的趋势。例如，Avago Micro-pod 技术公司在单个裸芯片上集成了 12 个 VCSEL(或光检测器)，给出了 12 个平行的光链路[21]。Infinera 公司的这一步走得更远，在其光集成电路(PIC)这一裸芯片中集成了数百个光子器件[22]。硅光子工艺则属于下一步的措施，基于改动最小的 CMOS 兼容工艺，在单个裸芯片上同时集成光子器件和晶体管。Luxtera 公司基于硅光子已造出 4 × 10 Gb/s 的有源光缆[23]。最近，他们在 2010 年的 SC 会议上高调宣布他们的 4 ×25 Gb/s 链路是一种突破性的技术。其他公司，例如 IBM[24] 和 Intel[25]，也都投入巨资开发硅光子技术。IBM 展示了包含 6 个 WDM 通道的测验芯片，包含了电子后端和除了激光源之外的所有光器件，集成密度高到每个收发器仅占 0.08 ~ 0.5 mm^2[24]。Intel 在 2010 年 7 月展示了一款 50 Gb/s 的光链路，在一个裸芯片上只集成光器件(包括一个混合激光源)[25]。

也可以与晶体管类似地印制光器件，硅光子工艺具有可缩放性以及降低光通信成本的可行性。此外，当光器件集成了电子后端，由于寄生参数较小，对光器件进行调制的功耗也被最小化。Luxtera 公司的产品以每 Gb/s 1 ~ 2 美元的成本给出 ~20 mW/Gb/s 的电源效率[23]。到 2016 年，光链路可能做到低至 5 mW/Gb/s 的功耗；以及低至每 Gb/s 0.17 美元的成本[26]。这种水平的电源效率和成本可以与当今电信令解决方案相媲美。目前，电信令根据不同的数据率以及每 Gb/s 0.1 美元的成本，可为短距离应用给出 1 ~ 20 mW/Gb/s 的电源效率。

即使硅光子学有这些令人振奋的发展，但其工艺还很不成熟。人们仍在探索可靠性和产品的成品率。光信令与电信令相比的最大优势是可以采用 DWDM。然而，具有高电源效率和成本效益的硅光子 DWDM 解决方案，还有待于研制开发。此外，目前的制造和封装工艺都是针对电信令加以优化的。为了硅光子能与电信令在短距离应用中有足够低的成本竞争力，还必须对其成本效益进行系统级的优化。另一方面，只有广泛应用才能促成系统级的优化。这又是一个典型鸡和蛋的问题。不过有一点可以肯定，在对成本不太敏感的短距离应用中，光信令很快就会成为解决方案空间中的一部分。

参考文献

1. K. Chang, S. Pamarti, K. Kaviani, E. Alon, X. Shi, T. Chin, Jie Shen, G. Yip, C. Madden, R. Schmitt, and C. Yuan, F. Assaderaghi, and M. Horowitz, "Clocking and circuit design for a parallel I/O on a first generation CELL processor," in *International Solid-State Circuits Conference Digest of Technical Papers*, 2005, pp. 526-615.
2. W. Beyene, A. Torres, N. Cheng, A. Vaidyanath, J. Kizer, H. Nguyen, and C. Yuan, "Characterization and hardware correlation of multi-gigahertz parallel bus with transmit pre-emphasis equalization," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, Oct, 2004, pp. 177-180.
3. J. Kim, R. Schmitt, D. Oh, W. Beyene, M. Li, A. Vaidyanath, Y. Lu, J. Feng, C. Yuan, D. Secker, and D. Mullen, "Design of low cost QFP packages for multi-giga memory interface," in *Proceedings of IEEE Electrical Performance of Electronic Packaging Conference*, May 2009, pp. 1662-1669.
4. R. Schmitt, J.-H. Kim, J. Feng, D. Oh, and C. Yuan, "Analyzing signal and power integrity limitations for mobile memory systems in 3D packaging environments," presented at the IEC DesignCon, Santa Clara, CA, 2009.
5. D. Oh, W. Kim, J.-H. Kim, J. Wilson, R. Schmitt, C. Yuan, L. Luo, J. Kizer, J. Eble, and F. Ware, "Study of signal and power integrity challenges in high-speed memory I/O designs using single-ended signaling schemes," presented at the IEC DesignCon, Santa Clara, CA, 2008.
6. R. Palmer, J. Poulton, B. Leibowitz, Y. Frans, S. Li, A. Fuller, J Eyles, J. Wilson, M. Aleksic, T. Greer, M. Bucher, and N. Nguyen, "A 4.3GB/s mobile memory interface with power-efficient bandwidth scaling," in *Symposium on VLSI Circuits Digest of Technical Papers*, 2009, pp. 136-137.
7. K.-L. J. Wong, H. Hatamkhani, M. Mansuri, and C.-K. K. Yang, "A 27-mW 3.6-Gb/s I/O transceiver," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 4, pp. 602-612, Apr. 2004.
8. J. Poulton, R. Palmer, A. M. Fuller, T. Greer, J. Eyles, W. J. Dally, and M. Horowitz, "A 14mV 6.25-Gb/s transceiver in 90nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 12, pp. 2745-2757, Dec. 2007.
9. D. Oh, S. Chang, C. Madden, J.-H. Kim, R. Schmitt, M. Li, C. Yuan, F. Ware, B. Leibowitz, Y. Frans, and N. Nguyen, "Design and characterization of a 12.8 GB/s low power differential memory system for mobile applications," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct. 2009, pp. 33-36.
10. "Challenges and solutions for future main memory," Rambus white paper, May, 2009.
11. S. Chaudhari, J. A. McCall, and J. Salmon, "Proposal for BER based specifications for DDR4," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, Oct 2010, pp. 121-124.

12. J.-H. Kim, D. Oh, R. Kollipara, J. Wilson, S. Best, T. Giovannini, I. Shaeffer, M. Ching, and C. Yuan, "Challenges and solutions for next generation main memory systems," in *Proceedings of IEEE Electrical Performance of Electronic Packaging and Systems Conference*, pp. 93-96, Oct. 2009.
13. A. Healey, C. Liu, and W. Jin, "FEC for high-speed SerDes link system of 25-28 Gb/s," presented at the IEC DesignCon, Santa Clara, CA, 2011.
14. M. Shimanouchi, M. Li, and S. Gabriel, "Architecture/configuration explorations for 25-28 Gb/s interconnects," presented at the IEC DesignCon, Santa Clara, CA, 2011.
15. A. Amirkhany et al, "A 12.8Gb/s/link tri-modal single-ended memory interface for graphics applications," in *Symposium on VLSI Circuits Digest of Technical Papers*, 2011, pp. 232-233.
16. J.-S. Kim et al., "A 1.2V 12.8GB/s 2Gb mobile wide-I/O DRAM with 4x128 I/Os using TSV-based stacking," in *International Solid-State Circuits Conference Digest of Technical Papers*, Feb. 2011, pp. 496-497.
17. M. Kawano, N. Takahashi, Y. Kurita, K. Soejima, M. Lomuro, and S. Matsui, "Threedimensional packaging technology for stacked DRAM with 3-Gb/s data transfer," *IEEE Transactions on Electron Devices*, vol. 55, no. 7, pp. 1614-1620, Jul. 2008.
18. U. Kang et al., "8 Gb 3-D DDR3 DRAM using though-silicon-via technology," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 1, pp. 111-119, Jan. 2010.
19. A. V. Krishnamoorthy, "Photonics-to-electronics Integration for Optical Interconnects in the early 21st century," *Optoelectronics Letters*, vol. 2, No. 3, 163-168.
20. ITRS Roadmap, see http://www.itrs.net/Links/2007ITRS/Home2007.htm
21. http://www.avagotech.com/pages/en/press/micropod
22. http://www.infinera.com/technology/PIC.html
23. http://www.luxtera.com
24. http://www.research.ibm.com/photonics/
25. http://download.intel.com/pressroom/pdf/photonics/50G_Silicon_Photonics_Link.pdf? iid = pr_smrelease_vPro_materials1
26. A. Benner, "Cost effective optics: enabling exascale roadmaps," *Hot Interconnect*, 2009.

反侵权盗版声明